

TESE DE DOUTORADO N° 141

**MÉTODO DE COMANDO PARA CONVERSORES
MULTINÍVEIS COM REDUZIDO NÚMERO
DE COMUTAÇÕES – PARALELISMO
DE CONVERSORES ESTÁTICOS**

David Mattos de Andrade Ávila

DATA DA DEFESA: 15/02/2012

Universidade Federal de Minas Gerais

Escola de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

**MÉTODO DE COMANDO PARA CONVERSORES MULTINÍVEIS
COM REDUZIDO NÚMERO DE COMUTAÇÕES – PARALELISMO
DE CONVERSORES ESTÁTICOS**

David Mattos de Andrade Ávila

Tese de Doutorado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Doutor em Engenharia Elétrica.

Orientador: Prof. Marcos Antônio Severo Mendes, Dr. Ing.
Co-Orientador: Prof. Porfírio Cabaleiro Cortizo, Dr. Ing

Belo Horizonte – MG

Fevereiro de 2012

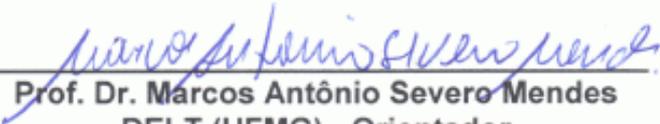
**"Método de Comando para Conversores Multiníveis com
Reduzido Número de Comutações –
Paralelismo de Conversores Estáticos"**

David Mattos de Andrade Ávila

Tese de Doutorado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Doutor em Engenharia Elétrica.

Aprovada em 15 de fevereiro de 2012.

Por:

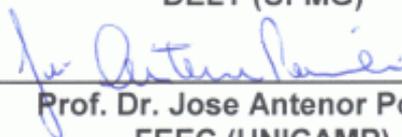

Prof. Dr. Marcos Antônio Severo Mendes
DELT (UFMG) - Orientador

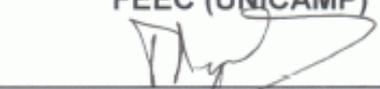


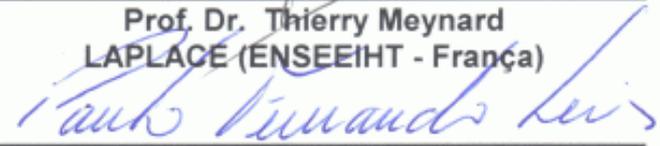
Prof. Dr. Porfirio Cabaleiro Cortizo
DELT (UFMG)



Prof. Dr. Lenin Martins Ferreira Moraes
DELT (UFMG)


Prof. Dr. Jose Antenor Pomilio
FEEC (UNICAMP)


Prof. Dr. Thierry Meynard
LAPLACE (ENSEEIH - França)


Prof. Dr. Paulo Fernando Seixas
DELT (UFMG)

Dedico este trabalho à
minha esposa, Patrícia,
e à minha filha, Alice.

AGRADECIMENTOS

A realização deste trabalho não teria sido possível sem o apoio de várias pessoas e diversas instituições, às quais serei eternamente grato.

Primeiramente, agradeço aos meus orientadores no Brasil, professores Marcos Antônio Severo Mendes e Porfírio Cabaleiro Cortizo, pelo acolhimento, orientação e pela ajuda na condução deste trabalho.

Agradeço também aos professores José Antenor Pomílio, Lenin Martins Ferreira Morais, Paulo Fernando Seixas e Thierry Meynard pelas inestimáveis contribuições a este trabalho.

Agradeço à Universidade Federal de Minas Gerais por ter possibilitado a realização deste Doutorado.

Agradeço ao CNPq por ter viabilizado financeiramente a realização do Doutorado Sanduíche no LAPLACE, em Toulouse, França.

Agradeço ao CEFET-MG pela concessão do afastamento que possibilitou a realização deste Doutorado.

Agradeço ao Marcos Tadeu pelos anos de amizade, pelo constante apoio e pelas valiosas trocas de idéias.

Agradeço aos meus pais, Antônio e Eliana, por terem me guiado até aqui e a toda a minha família pela companhia durante esta jornada.

Por último, meu mais especial agradecimento às minhas amadas Patrícia, minha esposa, e Alice, minha filha, pela paciência infinita e pelo amor e carinho em tempo integral.

DOUTORADO SANDUÍCHE

Durante este curso de Doutorado foi realizado um Doutorado Sanduíche no laboratório LAPLACE – Laboratoire Plasma ET Conversion d’Energie, situado em Toulouse, França. O LAPLACE concentra grupos de pesquisa na área de conversores estáticos, sendo um dos mais importantes centros de pesquisa nesta área em todo o mundo.

O Doutorado Sanduíche realizado no LAPLACE, sob a orientação do Prof. Dr. Thierry MEYNARD, possibilitou agregar, à base de conhecimento adquirido durante o Doutorado acerca de conversores multiníveis, um olhar para uma solução complementar a esta e pouco difundida e estudada no Brasil: a dos conversores convencionais de dois níveis conectados em paralelo e magneticamente acoplados como solução para a produção de tensão multinível com baixa distorção harmônica na carga, topologia esta denominada Inversores Paralelos Entrelaçados.

O resultado do trabalho realizado durante este Doutorado Sanduíche, cuja síntese é apresentada no Capítulo 8 deste texto, teve como primeiro fruto a produção de um artigo, submetido em uma seção especial da revista IEEE Transactions on Industrial Electronics, escrito por este autor em co-autoria com os pesquisadores do LAPLACE Bernardo COUGO, Thierry MEYNARD e Guillaume GATEAU, que aborda e soluciona um problema prático encontrado em aplicações aeronáuticas na França. Este trabalho

abre, no entanto, outras importantes frentes de pesquisa tais como a aplicação, em inversores convencionais em paralelo, do método de modulação proposto neste trabalho para conversores multiníveis em série.

Pela oportunidade de realizar este Doutorado Sanduíche no LAPLACE e por toda a importância que esta etapa representou neste desenvolvimento deste curso de Doutorado, se faz necessário registrar um agradecimento especial ao Prof. Thierry Meynar, à instituição LAPLACE e a todo o pessoal de alguma forma envolvido neste processo.

Donc, je voudrais remercier mon encadrant de thèse en France, le Prof. Thierry Meynard, de m'avoir accueilli dans le cadre de mon Stage Doctoral pendant les huit mois de mon séjour à Toulouse. Je le remercie pour le grand apport de connaissances acquis pendant cette période.

Je remercie le LAPLACE (ENSEEIH), à Toulouse, France, pour l'occasion de faire l'Etage Doctoral. Je remercie Mme Christiane Jourdaa, pour toute l'aide à mon arrivée à Toulouse. Je remercie tous les camarades du LAPLACE qui ont rendu mon séjour à Toulouse beaucoup plus agréable: Giuliano, Aurélien, Damien, Clément, Didier, Bernardo, ... , la liste est très longue. Je remercie en particulier André Andrade pour l'amitié fraternelle.

"É sábio o homem que põe em si tudo o que
leva à felicidade ou dela se aproxima"
Sócrates, 470 a.C. - 399 a.C.

SUMÁRIO

RESUMO	I
ABSTRACT	II
LISTA DE FIGURAS	III
LISTA DE TABELAS	IX
LISTA DE ABREVIATURAS E SIGLAS	X
1 INTRODUÇÃO	11
1.1 JUSTIFICATIVA DO TRABALHO	11
1.2 HIPÓTESES A SEREM TESTADAS	13
1.3 OBJETIVOS	15
1.4 METODOLOGIA	16
1.5 DELIMITAÇÕES DO TRABALHO	19
1.6 CONTRIBUIÇÕES	20
1.7 ORGANIZAÇÃO DO TEXTO	22
2 ESTUDO SOBRE INVERSORES MULTINÍVEIS	23
2.1 INTRODUÇÃO	23
2.2 TOPOLOGIAS DE CONVERSORES MULTINÍVEIS	26
2.2.1 <i>Cascata de Ponte H (HBC)</i>	26
2.2.2 <i>Neutro Grampeado a Diodo (NPC)</i>	28
2.2.3 <i>Capacitores Flutuantes (FC)</i>	30
2.2.4 <i>Cascata Híbrida Simétrica</i>	31
2.2.5 <i>Cascata Híbrida Assimétrica</i>	32
2.2.6 <i>Conversores Multinível em Paralelo</i>	39
2.3 MÉTODOS DE MODULAÇÃO	41
2.4 SEMICONDUTORES UTILIZADOS COMO CHAVES PRINCIPAIS	46
2.5 CONCLUSÕES	48
3 ESTUDO DO INVERSOR NPC TRIFÁSICO	49
3.1 O INVERSOR NPC TRIFÁSICO DE TRÊS NÍVEIS	49
3.2 O INVERSOR NPC TRIFÁSICO DE CINCO NÍVEIS	50
3.3 REGIÕES LINEAR E DE SOBRE-MODULAÇÃO DO INVERSOR	60
3.4 DIMENSIONAMENTO DO SISTEMA	62
3.5 MODELO PARA CÁLCULO DE PERDAS NOS SEMICONDUTORES	63
3.6 PROBLEMAS A SEREM RESOLVIDOS	67
3.7 CONCLUSÕES	69

4	MÉTODO DE MODULAÇÃO PROPOSTO	70
4.1	INTRODUÇÃO	70
4.2	ERROS DE REPRESENTAÇÃO VETORIAL	70
4.3	CRITÉRIO DE ESCOLHA DOS VETORES ESPACIAIS	74
4.3.1	<i>Crítério de Escolha Pelo Vetor Mais Próximo.....</i>	<i>75</i>
4.3.2	<i>Crítério de Escolha Modificado – Uso das Funções de Ajuste.....</i>	<i>81</i>
4.4	MÉTODOS DE MODULAÇÃO HÍBRIDO E COM FAIXA LINEAR ESTENDIDA	89
4.5	EQUILÍBRIO DAS TENSÕES DOS CAPACITORES E DISTRIBUIÇÃO DAS PERDAS ENTRE AS CHAVES.....	94
4.6	CONCLUSÕES	99
5	RESULTADOS DE SIMULAÇÃO.....	100
5.1	PLATAFORMA UTILIZADA.....	100
5.2	RESULTADOS DE SIMULAÇÃO	110
5.2.1	<i>Formas de Onda de Tensão e Corrente.....</i>	<i>110</i>
5.2.2	<i>Conteúdo Harmônico na Tensão Fase-Neutro.....</i>	<i>111</i>
5.2.3	<i>Distorção Harmônica Total da Tensão Fase-Neutro.....</i>	<i>118</i>
5.2.4	<i>Correntes nos Semicondutores</i>	<i>122</i>
5.2.5	<i>Relação Entre Entrada e Saída</i>	<i>127</i>
5.2.6	<i>Velocidade Angular do MI</i>	<i>128</i>
5.2.7	<i>Conjugado Elétrico no MI.....</i>	<i>130</i>
5.2.8	<i>W e Te em Função de M.....</i>	<i>132</i>
5.2.9	<i>Número de Comutações Por Período Fundamental.....</i>	<i>134</i>
5.2.10	<i>Perdas nos Semicondutores.....</i>	<i>137</i>
5.2.11	<i>Custo Computacional em Simulação.....</i>	<i>151</i>
5.3	CONCLUSÕES	152
6	RESULTADOS EXPERIMENTAIS	155
6.1	IMPLEMENTAÇÃO EM DSP	155
6.2	RESULTADOS EXPERIMENTAIS.....	157
6.2.1	<i>Tensão Fase-Neutro na Carga</i>	<i>157</i>
6.2.2	<i>Região Linear do Modulador</i>	<i>158</i>
6.2.3	<i>THD</i>	<i>159</i>
6.2.4	<i>Custo Computacional em DSP</i>	<i>159</i>
6.3	CONCLUSÕES	161

7	GENERALIZAÇÃO DO NÚMERO DE NÍVEIS DO CONVERSOR	163
7.1	INTRODUÇÃO	163
7.2	ALGUMAS CARACTERÍSTICAS RELACIONADAS A N	163
7.3	RESULTADOS DE SIMULAÇÃO	169
7.4	TAXA DE AMOSTRAGEM E CUSTO COMPUTACIONAL.....	176
7.5	CONCLUSÕES	183
8	CONVERSORES PARALELOS ENTRELAÇADOS	184
8.1	INTRODUÇÃO	184
8.2	CONEXÃO DE ENTRADA EM PARALELO OU EM SÉRIE	188
8.3	ACIONAMENTO DE CARGAS SEPARADAS	190
8.4	ACIONAMENTO DE CARGAS SEPARADAS NÃO IDÊNTICAS	197
8.5	RESULTADOS EXPERIMENTAIS.....	202
8.6	CONCLUSÕES	206
9	CONCLUSÕES E PROPOSTAS DE CONTINUIDADE.....	208
9.1	CONCLUSÕES GERAIS	208
9.2	PROPOSTAS DE CONTINUIDADE	211
	APÊNDICES	213
A.	DETERMINAÇÃO DOS RAIOS DOS CÍRCULOS LIMITE:	213
	ANEXOS.....	215
A.	FOLHA DE ESPECIFICAÇÃO DOS IGCTS:	215
B.	FOLHA DE ESPECIFICAÇÃO DOS DIODOS DE GRAMPEAMENTO:	229
	REFERÊNCIAS BIBLIOGRÁFICAS	235

Resumo

Os inversores multiníveis são apropriados para aplicações de média tensão e alta potência, como FACTS e acionamento de motores elétricos de média tensão, devido às suas vantagens em relação aos inversores convencionais de dois níveis. Nestas aplicações as perdas por comutação e o compromisso entre estas e a distorção da tensão na saída são dois dos principais problemas a serem resolvidos. A redução da frequência de chaveamento como forma de redução das perdas por chaveamento provoca um aumento do conteúdo harmônico da tensão. Este trabalho apresenta um novo método de modulação, alternativo aos métodos convencionais normalmente usados: Modulação Por Largura de Pulso Vetorial (SV-PWM), PWM Senoidal (SPWM) e com redução seletiva de harmônicos (SHE). O método proposto permite reduzir as perdas por dissipação nas chaves mais solicitadas do inversor sem produzir uma elevação significativa da distorção harmônica da tensão de saída, além de apresentar um baixo custo computacional. Este método é aplicável a inversores com três níveis ou mais, de qualquer topologia. Suas vantagens em comparação ao método SV-PWM foram comprovadas através da simulação digital de um inversor NPC trifásico de 5 níveis acionando um motor de indução de 4,16kV e 0,5MW. Resultados experimentais utilizando-se um DSP acoplado a uma placa que emula o comportamento de um inversor de 5 níveis comprovaram os resultados obtidos através de simulação.

Abstract

Multi-level inverters are suitable for applications with medium voltage and high power due to its many advantages over conventional two level inverters. In these applications the switching losses on the main switches and the tradeoff between this switching losses and the total harmonic distortion (THD) in the output voltage constitute important problems to be solved. One usual approach to solve this problem is the reduction of the switching frequency which, in turn, increases the THD in the output voltage. This paper presents a new modulation method for multilevel inverters, alternative to the most important methods, like carrier-based Sinusoidal Pulse Width Modulation (SPWM), Space Vector Pulse Width Modulation (SV-PWM) and Selective Harmonic Elimination (SHE). The proposed method reduces the switching losses in main switches in comparison with SPWM and SV-PWM methods, without the disadvantages of the SHE method of high output voltage THD and high computational cost of online calculation of switching angles. The proposed method is suitable to multi-level inverters with three or more levels. Its advantages compared to the SV-PWM method were verified by digital simulation of a system composed by a NPC 5 levels inverter driving a 4.16 kV, 0.5 MW induction motor. Experimental results using a digital signal processor (DSP) verify the performance of the proposed algorithm.

Lista de Figuras

Figura 2.1: Diagrama simplificado de uma fase para um conversor HBC de: (a) três níveis; (b) cinco níveis; (c) sete níveis.....	27
Figura 2.2: Estrutura em cascata com capacidade de regeneração.....	28
Figura 2.3: Diagrama das células da estrutura em cascata com capacidade de regeneração....	28
Figura 2.4: Diagrama simplificado de uma fase para um conversor NPC de: (a) três níveis; (b) cinco níveis.	29
Figura 2.5: Diagrama simplificado de uma fase para um conversor FC de: (a) três níveis; (b) cinco níveis.	31
Figura 2.6: Cascata de módulos de dois níveis distintos.	33
Figura 2.7: Cascata via enrolamento do motor.	33
Figura 2.8: Cascata via enrolamento do motor.	34
Figura 2.9: Cascata assimétrica resultando em um inversor de três níveis.	35
Figura 2.10: Topologia híbrida assimétrica conectada através dos terminais da carga.	36
Figura 2.11: Variação da topologia anterior com redução do número de fontes CC.	36
Figura 2.12: Topologia HBC trifásica com 4 níveis por fase.	37
Figura 2.13: Topologia multinível assimétrica com até 9 níveis. O diagrama corresponde a um inversor monofásico.	38
Figura 2.14: conversor de cinco níveis com pequeno número de chaves e apenas dois capacitores.	38
Figura 2.15: Conversor resultante da conexão em paralelo de três conversores trifásicos convencionais.	40
Figura 2.16: Método SV-PWM – síntese de vetores médios através de vetores existentes.	42
Figura 2.17: Ângulos de comutação utilizados no método SHE.	44
Figura 3.1: Inversor NPC de três níveis (braço da fase A).	49
Figura 3.2: Diagrama do Inversor Trifásico NPC de cinco níveis.	51
Figura 3.3: Carga trifásica equilibrada alimentada pelo inversor.	53
Figura 3.4: Vetores espaciais de um inversor trifásico de dois níveis.	59
Figura 3.5: Vetores espaciais de um inversor trifásico de três níveis.	59
Figura 3.6: Vetores espaciais de um inversor NPC trifásico de cinco níveis.	59
Figura 3.7: Representação do espaço vetorial no inversor NPC de cinco níveis.	60
Figura 3.8: Operação nas regiões linear (V_1^*) e de sobre-modulação (V_2^*).	61
Figura 3.9: Relação entre tensão entre os terminais e corrente de condução para: (a) chave do IGCT; (b) diodo de roda livre do IGCT. (<u> </u>) Informado pelo fabricante; (---) Extrapolação. Dados relativos ao dispositivo 5SHX 10H6010 da ABB.	65
Figura 3.10: Energia dissipada durante o desligamento em função da corrente de condução para: (a) chave do IGCT; (b) diodo de roda livre do IGCT.	66
Figura 3.11: Energia dissipada durante o desligamento em função da corrente de condução para o diodo de grampeamento.	66
Figura 4.1: (a) Espaço vetorial e (b) tensão fase-neutro correspondentes a um inversor NPC de três níveis, normalizada por $V_{dd}/4$	71
Figura 4.2: (a) Espaço vetorial e (b) tensão fase-neutro correspondentes a um inversor NPC de cinco níveis, normalizada por $V_{dd}/4$	71
Figura 4.3: Vetor erro V_e (vermelho) entre o vetor de referência V^* (verde) e o vetor mais próximo (V_s). Erros angulares máximos para vetores vizinhos. 1º caso: M baixo (cor laranja), erro entre V_1 e V_4 é θ_1 ; 2º caso: M alto (cor azul), erro entre V_{13} e V_9 é θ_2	76
Figura 4.4: Erros angulares entre o vetor de referência amostrado (V^*) e o vetor que o representa. (a) Modulador SV-PWM; (b) estratégia de uso dos vetores originais mais próximos.	77

Figura 4.5: Relação entre o índice de modulação (M) e a tensão.....	79
Figura 4.6: Círculos limite e regiões de operação para o critério de seleção por vetores mais próximos.	80
Figura 4.7: Superposição da curva $V_{AN1} \times M$ com o plano de fases e projeções verticais dos círculos limite.	81
Figura 4.8: Fluxograma do algoritmo do método proposto.....	82
Figura 4.9: Sequência de vetores espaciais usados nos métodos (a) proposto e (b) SV-PWM.	83
Figura 4.10: Representação gráfica da função de ajuste $\Psi 1$ correspondente a um conversor de cinco níveis.	84
Figura 4.11: Princípio do método de correção de ganho através da modificação do vetor de referência V^*	85
Figura 4.12: Vetores usados na região de sobre-modulação e vetor de referência V^* correspondente à operação nesta região.	85
Figura 4.13: Relação entre a tensão fundamental na saída do conversor (V_{AN1}) e o índice de modulação (M) utilizando-se as funções de ajuste $\Psi 1$ e $\Psi 2$	87
Figura 4.14: Tensão fase-neutro na carga para operação dentro (linha azul) e fora (linha vermelha) da região de sobre-modulação, para $N = 23$ e $V_{dd} = 6000V$	87
Figura 4.15: Frequência mínima de amostragem em função de M	88
Figura 4.16: Número de desligamentos das chaves de um dos ramos do inversor por período da fundamental (T_s).	89
Figura 4.17: Espaço vetorial modificado pela inclusão do vetor nulo funcionando como hexágono nulo, originando duas novas regiões de operação e dois novos círculos limite.	92
Figura 4.18: Relação entre o índice de modulação (M) e a tensão fundamental na saída (V_{AN1}) obtida a partir da utilização do vetor nulo como um hexágono nulo no algoritmo do método SSVM.	92
Figura 4.19: Relação entre o índice de modulação (M) e a tensão fundamental na saída (V_{AN1}) utilizando-se o algoritmo SSVM original (sem utilização do vetor nulo).....	93
Figura 4.20: Diferentes combinações usadas para produzir os vetores espaciais pertencentes ao hexágono H_2 (vermelho), correspondente à operação dentro da região 5.	96
Figura 4.21: Diagrama simplificado do conversor, correspondentes à aplicação do 97	97
Figura 4.22: Estado dos braços A, B e C do conversor sem a utilização do mecanismo de equalização parcial das tensões dos capacitores do barramento CC.....	98
Figura 4.23: Estado dos braços A, B e C do conversor utilizando-se o mecanismo de equalização parcial das tensões dos capacitores do barramento CC.....	98
Figura 5.1: Padrão de tensão e frequência usados na entrada do modulador nas simulações em Simulink.....	102
Figura 5.2: Modelo geral usado nas simulações em Simulink.	103
Figura 5.3: Modelos dos semicondutores usados no inversor: (a) IGCT; (b) diodo de grampeamento.	104
Figura 5.4: Corrente nos 8 IGCTs (chave) de um dos braços do inversor.(a) corrente média; (b) corrente eficaz. Método SSVM.....	108
Figura 5.5: Corrente nos 6 diodos de grampeamento de um dos braços do inversor.(a) corrente média; (b) corrente eficaz. Método SSVM.....	109
Figura 5.6: Tensões trifásicas fase-neutro, fase-fase e correntes trifásicas na carga. $M = 0,9069$ ($f_s = 60Hz$). Método SSVM	110
Figura 5.7: Tensões trifásicas fase-neutro, fase-fase e correntes trifásicas na carga. $M = 0,75575$ ($f_s = 50Hz$). Método SSVM	111
Figura 5.8: Tensão V_{AN} na carga para $M = 0,9069$ ($f_s = 60Hz$). Métodos SV-PWM (600Hz) e SSVM.	113

Figura 5.9: Espectro de frequências de V_{AN} para $M = 0,9069$ ($f_s = 60\text{Hz}$). Harmônicos dados em termos de percentual do harmônico fundamental. Métodos SV-PWM (600Hz) e SSVM.	113
Figura 5.10: Tensão V_{AN} no domínio do tempo para $M = 0,75575$ ($f_s = 50\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.	114
Figura 5.11: Espectro de frequências de V_{AN} para $M = 0,75575$ ($f_s = 50\text{Hz}$). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.	114
Figura 5.12: Tensão V_{AN} no domínio do tempo para $M = 0,6046$ ($f_s = 40\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.	115
Figura 5.13: Espectro de frequências de V_{AN} para $M = 0,6046$ ($f_s = 40\text{Hz}$). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.	115
Figura 5.14: Tensão V_{AN} no domínio do tempo para $M = 0,45345$ ($f_s = 30\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.	116
Figura 5.15: Espectro de frequências de V_{AN} para $M = 0,45345$ ($f_s = 30\text{Hz}$). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.	116
Figura 5.16: THD presente na tensão V_{AN}	119
Figura 5.17: Distorção Total (DT) presente na tensão V_{AN} : Métodos SSVM e SV-PWM.	119
Figura 5.18: THD presente na tensão V_{AN} : para os métodos SSVM e SV-PWM síncrono.	121
Figura 5.19: Distorção Total (DT) presente na tensão V_{AN} : Métodos SSVM e SV-PWM Síncrono.	121
Figura 5.20: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SSVM e $f_s = 60\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.	123
Figura 5.21: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SV-PWM e $f_s = 60\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.	124
Figura 5.22: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SSVM e $f_s = 40\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.	125
Figura 5.23: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SV-PWM e $f_s = 40\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.	126
Figura 5.24: Componentes fundamentais das tensões Fase-Neutro (V_{AN1}) e Fase-Fase (V_{AB1}) em função de M , para o método SSVM.	127
Figura 5.25: Velocidade angular do MI para os métodos SSVM e SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$).	128
Figura 5.26: Velocidade angular do MI. Detalhe do regime permanente para os algoritmos SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$) e HSSVM.	129
Figura 5.27: Espectro de frequências presente na velocidade angular do MI para os métodos SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$) e SSVM.	129
Figura 5.28: Conjugado elétrico no MI para os métodos SSVM e SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$).	130
Figura 5.29: Conjugado elétrico no MI. Detalhe do regime permanente para os métodos SSVM e SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$).	131
Figura 5.30: Espectro de frequências presentes no conjugado elétrico no MI para os métodos SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$) e SSVM.	131
Figura 5.31: Amplitude pico a pico da oscilação da velocidade angular do motor.	133
Figura 5.32: Amplitude pico a pico da pulsação de conjugado elétrico do motor.	133

Figura 5.33: Número de desligamentos, por período da fundamental, dos IGBTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono..	135
Figura 5.34: Número de desligamentos, por período da fundamental, dos IGBTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono.	136
Figura 5.35: Número de desligamentos, por período da fundamental, dos IGBTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono..	136
Figura 5.36: Perdas por condução nos IGBTs de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.	138
Figura 5.37: Perdas por comutação nos IGBTs de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.	139
Figura 5.38: Perdas por condução nos diodos de grampeamento de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.	140
Figura 5.39: Perdas por comutação nos diodos de grampeamento de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.	141
Figura 5.40: Perdas por comutação na chave mais solicitada do conversor em termos das perdas por comutação, para os métodos SSVM e SV-PWM.	143
Figura 5.41: Perdas totais na chave mais solicitada do conversor em termos das perdas totais, para os métodos SSVM e SV-PWM.	143
Figura 5.42: Soma das perdas por condução nos semicondutores do conversor (IGBTs e diodos de grampeamento). Métodos SSVM e SV-PWM.	145
Figura 5.43: Tensão fase-neutro e <i>ripple</i> de corrente de fase na carga para $M < 0,2$.	145
Figura 5.44: Soma das perdas por comutação nos semicondutores do conversor (IGBTs e diodos de grampeamento). Métodos SSVM e SV-PWM.	146
Figura 5.45: Soma das perdas totais (condução + comutação) nos semicondutores do conversor (IGBTs e diodos de grampeamento). Métodos SSVM e SV-PWM.	146
Figura 5.46: Perdas por comutação na chave mais solicitada do conversor em termos das perdas por comutação, para os métodos SSVM e SV-PWM Síncrono.	148
Figura 5.47: Perdas totais na chave mais solicitada do conversor em termos das perdas totais, para os métodos SSVM e SV-PWM Síncrono.	148
Figura 5.48: Perdas por condução no conversor. Métodos SSVM e SV-PWM Síncrono.	149
Figura 5.49: Perdas por comutação no conversor. Métodos SSVM e SV-PWM Síncrono. ..	150
Figura 5.50: Perdas totais no conversor. Métodos SSVM e SV-PWM Síncrono.	150
Figura 6.1: Forma de onda no tempo da tensão fase-neutro V_{AN} para $M = 0,9096$.	157
Figura 6.2: Forma de onda no tempo da tensão fase-neutro V_{AN} para $M = 0,6$.	158
Figura 6.3: Ganho do modulador/inversor, correspondente à relação entre V_{AN1} e M . A linha tracejada vertical corresponde ao PO nominal ($M = 0,9069$).	158
Figura 6.4: THD da tensão fase-neutro V_{an} obtida através da implementação do método SSVM em DSP. A reta vertical tracejada indica o PO nominal ($M = 0,9069$).	159
Figura 6.5: Tensão V_{AN} correspondente a $M = 0,8$ e: (a) $f_s = 60\text{Hz}$; (b) $f_s = 400\text{Hz}$; (c) 695Hz	162
Figura 7.1: Espaço vetorial de um conversor de 3 níveis.	165
Figura 7.2: Espaço vetorial de um conversor de cinco níveis.	166
Figura 7.3: Espaço vetorial de um conversor de 7 níveis.	166
Figura 7.4: Tensão fundamental (V_{AN1}) na saída do conversor de três níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.	168
Figura 7.5: Tensão fundamental (V_{AN1}) na saída do conversor de cinco níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.	168

Figura 7.6: Tensão fundamental (V_{AN1}) na saída do conversor de 7 níveis em função de M. (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho. ..	168
Figura 7.7: Tensão fundamental (V_{AN1}) na saída do conversor de 23 níveis em função de M. (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.	169
Figura 7.8: Tensão fase-neutro (V_{AN}) na carga em função de N.....	170
Figura 7.9: THD em função de M para 10 diferentes valores de número de níveis do conversor (N).....	171
Figura 7.10: Perdas totais (condução e comutação) separadas por dispositivo. (•) IGCT; (o) diodo de roda livre; (x) diodo de grampeamento; (+) soma das perdas nos três dispositivos. Conversor NPC de: três níveis (vermelho); cinco níveis (verde); sete níveis (azul escuro); nove níveis (roza); 11 níveis azul claro; 13 níveis (amarelo).....	172
Figura 7.11: Perdas no conversor separadas por tipo de perda (condução ou comutação). Conversor NPC de cinco níveis (vermelho), sete níveis (verde), nove níveis (azul escuro), onze níveis (roza) e treze níveis (azul claro).	173
Figura 7.12: Primeiro gráfico: potência ativa entregue à carga. Segundo gráfico: relação entre as perdas no conversor e a potência entregue à carga. Terceiro gráfico: relação entre as perdas por comutação e as perdas totais nos semicondutores.	174
Figura 7.13: Linha azul: relação entre número de níveis N e o valor mínimo de THD encontrado na curva de THD x M correspondente. Linha vermelha: relação entre N e o valor de THD encontrado na região de sobre-modulação da curva de THD x M correspondente.....	174
Figura 7.14: Relação entre o número de níveis N conversor e a perda máxima encontrada na curva de perda x M correspondente. Linha azul: perdas por condução; Linha vermelha: perda por chaveamento; Linha preta: perda total.	175
Figura 7.15: Região de influência do vetor espacial V_8 e distância angular entre duas amostras de V^*	178
Figura 7.16: Distância angular entre vetores vizinhos de um mesmo hexágono ou de hexágonos vizinhos.....	178
Figura 7.17: Frequência mínima de amostragem necessária no método SSVM, normalizada por f_s , em função de M, para diferentes valores de N.	179
Figura 7.18: Frequência mínima de amostragem necessária no método SSVM, normalizada pela frequência fundamental, para o M crítico, em função do número de níveis N do conversor.	180
Figura 8.1: dois inversores trifásicos acoplados em paralelo e alimentando a mesma carga trifásica	185
Figura 8.2: Diagrama simplificado para uma fase de um sistema composto por 2 inversores paralelos magneticamente acoplados acionando uma única carga.	187
Figura 8.3: Diagrama simplificado para uma fase de um sistema composto por 2 inversores paralelos magneticamente acoplados acionando cargas separadas.	187
Figura 8.4: Inversores paralelos magneticamente acoplados com: (a) entradas conectadas em paralelo; (b) entradas conectadas em série.	189
Figura 8.5: Fluxos magnéticos opostos no núcleo do ICT produzidos pela corrente em cada enrolamento.	190
Figura 8.6: Índice de modulação (M) e tensão de referência correspondente considerando-se tensão de modo comum PWMBCNP.	191
Figura 8.7: Forma de onda de I_{DIF} , de I_1 e I_2 , para M variando no tempo entre 0,1 e 1,2, com neutros desconectados, técnica POD e entradas conectadas em série ou em paralelo. ..	192
Figura 8.8: Tensão de referência (V_{ref}) para tensão de modo comum PWMBC, e correntes I_{DIF} , I_{x1} e I_{x2} correspondentes, com $M = 0,9$, $f_s = 500\text{Hz}$, neutros não conectados, técnica POD e entradas conectadas em série ou em paralelo.	192

Figura 8.9: Tensão fase-neutro (V_{AN}) nas cargas 1 e 2, com entradas conectadas em série, para M variando no tempo entre 0,1 e 1,2. Linha preta: V_{AN1} ; Linha vermelha: $V_{AN1}(RMS)$. (a) neutros conectados; (b) neutros desconectados.	194
Figura 8.10: Impacto da conexão entre os neutros sobre a corrente diferencial nos ICTs no domínio da frequência, para entradas conectadas com série ou em paralelo, $M = 0,9$, $f_{PWM} = 16kHz$ e $f_s = 500Hz$. (a) POD; (b) PD.	195
Figura 8.11: Formas de onda da corrente diferencial (I_{DIF}) e da corrente em cada enrolamento do ICT (I_{x1} e I_{x2}) com M variando no tempo de 0,1 a 1,2, com neutros conectados, técnica POD, entradas conectadas em série ou em paralelo.	196
Figura 8.12: Tensão de referência (V_{ref}) para tensão de modo comum PWMBCNP CMV, corrente diferencial (I_{dif}) e corrente nos enrolamentos do ICT (I_{x1} and I_{x2}), com $M = 0,9$, $f_s = 500Hz$, neutros conectados, técnica POD, entradas conectadas em paralelo ou em série.	196
Figura 8.13: Densidade de fluxo magnético no núcleo do ICT em função de R , L e FEM na carga (normalizados pelos valores nominais). Os parâmetros da outra carga foram mantidos em seus valores nominais.	200
Figura 8.14: Valor normalizado que os parâmetros R e E de uma das cargas deve ter, em função da permeabilidade relativa do núcleo do ICT, para que a densidade de fluxo se eleve em 0,2T.	200
Figura 8.15: <i>Ripple</i> máximo de I_{DIF} no ICT em função de M , para diferentes valores de R_2 (normalizados pelo valor nominal) para entradas conectadas em série ou em paralelo. (a) POD, neutros desconectados; (b) POD, neutros conectados; (c) PD, neutros desconectados; (d) PD, neutros conectados.	201
Figura 8.16: <i>Ripple</i> máximo de I_{DIF} no ICT em função de M , para diferentes valores de L_2 (normalizados pelo valor nominal) para entradas conectadas em série ou em paralelo. (a) POD, neutros desconectados; (b) POD, neutros conectados; (c) PD, neutros desconectados; (d) PD, neutros conectados.	201
Figura 8.17: tensão sobre o capacitor C_1 para três diferentes valores de R_2 , com $R_1 = 100\%$, entradas conectadas em série, neutros conectados ou desconectados, técnica POD, $M = 0,9$ e $f_s = 500Hz$	202
Figura 8.18: Estrutura utilizada na etapa experimental.	203
Figura 8.19: corrente diferencial no ICT para método POD e neutros conectados.	204
Figura 8.20: corrente I_{DIF} em função de M para diferentes valores de R na Carga 2: Linha vermelha: $R_2 = 100\%$ (nominal); Linha verde: $R_2 = 90\%$; Linha azul: $R_2 = 80\%$. Linha tracejada: entradas conectadas em paralelo. Linha cheia: entradas conectadas em série. (a) técnica POD com neutros desconectados; (b) técnica PD com neutros desconectados; (c) técnica POD com neutros conectados; (d) técnica PD com neutros conectados.	205
Figura 8.21: corrente I_{DIF} em função de M_i para diferentes valores de frequência fundamental na saída (f_s). Linha azul: $f_s = 50Hz$; Linha verde: $f_s = 120Hz$; Linha vermelha: $f_s = 500Hz$. Linhas tracejadas: entradas em paralelo. Linhas sólidas: entradas em série. (a) técnica POD com neutros desconectados; (b) técnica PD com neutros conectados.	205
Figura A.1: Disposição dos círculos limite em relação ao primeiro sextante do espaço vetorial do conversor trifásico de cinco níveis.	214

Lista de Tabelas

Tabela 3.1: Estados possíveis na fase A para um inversor NPC de três níveis	50
Tabela 3.2: Estados de um braço de um inversor NPC de cinco níveis	51
Tabela 3.3: Tensões de polarização reversa nos diodos de grampeamento.....	52
Tabela 3.4: estados possíveis em um inversor NPC de cinco níveis trifásico.....	55
Tabela 3.5: Dispositivos com dissipação de potência por comutação em função da transição de estado de um determinado braço do inversor	64
Tabela 4.1: Raios dos círculos limites de um inversor de cinco níveis (normalizados por Vdd/4).....	80
Tabela 4.2: Raios dos círculos limites, para N = 5 – Método SSVM com faixa estendida.....	91
Tabela 5.1: Valores máximos de corrente média e eficaz nos dispositivos semicondutores .	105
Tabela 5.2: Harmônicos em V_{AN} para $f_s = 60\text{Hz}$	117
Tabela 5.3 - Redução percentual das perdas na chave crítica obtida pelo método proposto..	143
Tabela 5.4: Relação Entre o Custo Computacional dos Métodos SSVM e SV-PWM Para Diferentes Relações f_{PWM}/f_s	151
Tabela 5.5: THD mínimo teórico para algumas topologias de inversores	153
Tabela 6.1: Pontos de operação usados nos testes experimentais	156
Tabela 6.2 – Tempos de Execução Medidos em DSP	160
Tabela 7.1: Variação Percentual de Perdas e THD a Cada Degrau de N	176
Tabela 7.2: Valor de QVP a Cada Degrau de Aumento de N	176
Tabela 7.3: f_s máximo realizável no DSP 28335 utilizando-se o método SSVM.....	183

Lista de Abreviaturas e Siglas

Sigla	Significado
DSP	Digital Signal Processor
FC	Flying Capacitor
FP	Fator de Potência
FPGA	Field-Programmable Gate Array
f_s	frequência da componente fundamental na de saída do inversor.
GTO	Gate Turn-Off Thyristor
HBC	H-Bridge Cascade
ICT	InterCell Transformer
IGBT	Insulated Gate Bipolar Transistor
IGCT	Integrated Gate-Comutated Thyristor
M	Índice de Modulação
MI	Motor de Indução
NPC	Neutral Point Clamped
N_R	Número de redundâncias (combinações redundantes) capazes de produzir um vetor espacial qualquer
$O(n)$	Ordem de um algoritmo
PO	Ponto de Operação
PWM	Pulse Width Modulation
SHE	Selective Harmonic Elimination
SPWM	Sinusoidal Pulse Width Modulation
SSVM	Singular Space-Vector Modulation (método proposto neste trabalho)
STATCOM	Static Synchronous Compensation
SV-PWM	Space-Vector Pulse Width Modulation
T_e	Conjugado elétrico
THD	Total Harmonic Distortion
\mathbf{V}^*	Vetor espacial de referência
\mathbf{V}^*_k	Amostra de \mathbf{V}^* produzida no período de amostragem k
Vdd	Tensão do barramento CC
W	Velocidade angular do motor de indução

1 Introdução

1.1 *Justificativa do Trabalho*

1. Conversores Multiníveis em Série

As topologias de conversores denominadas multiníveis se apresentam como a solução apropriada para as aplicações de alta ou média tensão, tais como FACTS e acionamentos de motores de média tensão, devido às vantagens que apresentam quando comparadas às topologias convencionais, de dois níveis:

- 1) O maior número de níveis de tensão na saída permite sintetizar formas de onda mais próximas da senoidal com uma menor frequência de chaveamento das chaves principais, o que permite melhorar as duas principais figuras de mérito associadas a inversores multiníveis empregados em aplicações de média tensão e alta potência: a qualidade da tensão de saída e as perdas nas chaves devido à comutação das mesmas.
- 2) Os vários níveis de tensão presentes na estrutura multinível fazem com que as tensões de bloqueio às quais as chaves principais do inversor são submetidas sejam menores do que em um inversor convencional com mesma tensão no barramento CC.
- 3) A existência de níveis intermediários de tensão reduz o dV/dt sobre as chaves e sobre a carga.

Os inversores multiníveis apresentam, no entanto, uma série de problemas a serem resolvidos ou minimizados, tais como:

- 1) A tendência natural ao desbalanceamento das tensões de cada nível do inversor multinível, bem como a dificuldade de se fazer este balanceamento;
- 2) O elevado custo computacional dos algoritmos de modulação para inversores multiníveis, custo este que é, geralmente, proporcional ao número de níveis do inversor;
- 3) A necessidade de múltiplas fontes CC na entrada ou de conexões em série de capacitores de forma a produzir os vários níveis de tensão necessários para o funcionamento do inversor;

Além destes três problemas intrínsecos às estruturas multiníveis, existem outros que advêm do tipo de aplicação no qual estas estruturas são usualmente empregadas, ou seja, aplicações de média tensão e alta potência. Estes problemas são:

- 1) As elevadas perdas por comutação nas chaves principais, ainda que estas perdas sejam menores do que as que seriam observadas caso fossem utilizadas estruturas convencionais de dois níveis;
- 2) Elevação no perfil de THD das tensões de saída, fruto da redução da frequência de chaveamento do inversor que é obrigatória em aplicações de média tensão e alta potência em função do problema anterior;
- 3) Relação de compromisso entre a qualidade da tensão de saída e as perdas por comutação na chave, o qual é crítico em aplicações da alta potência;
- 4) As flutuações no potencial do neutro da carga em relação ao ponto central do barramento CC (tensão de modo comum), flutuações estas tão maiores quanto maior for o número de níveis do inversor e que ocorrem quando se utiliza estratégias de equalização das tensões dos capacitores do barramento CC.

Observa-se que os inversores multiníveis ainda apresentam uma série de problemas de engenharia elétrica a serem resolvidos. Dois destes problemas são especialmente importantes, primeiro pelo fato de serem conflitantes entre si, ou seja, a minimização de um provoca, necessariamente, a maximização do outro, e segundo por se constituírem em aspectos críticos em aplicações da alta potência. Estes problemas são a qualidade da tensão da saída, medida pela distorção harmônica total (THD) presente na tensão de saída, bem como pela posição dos harmônicos no espectro de frequência, e as perdas ou dissipação de potência nas chaves principais do inversor produzidas pela comutação das mesmas.

O método Eliminação Seletiva de Harmônicos (SHE) oferece uma redução das perdas por comutação das chaves sem a contrapartida de uma piora significativa da qualidade da forma de onda de saída, mas sua implementação apresenta um elevado custo computacional, proporcional ao número de níveis do inversor. Além disso, o tamanho das tabelas onde são armazenados os ângulos de disparo ótimos fazem com que seja necessário reduzir a resolução dos valores tabelados de índice de modulação (M).

2. Conversores Multiníveis em Paralelo

A conexão de inversores convencionais de dois níveis em paralelo, por meio de acopladores magnéticos, denominados Inversores Paralelos Entrelaçados, é uma maneira adicional de produzir tensões multiníveis na carga. Esta solução possibilita também fornecer correntes de carga superiores à capacidade de corrente de cada inversor separado, além de apresentar

vantagens adicionais tais como a redução do *ripple* de corrente na carga, a redução da energia armazenada nos indutores de filtro para uma mesma distorção da corrente de saída e incremento da resposta dinâmica do sistema.

O dispositivo magnético utilizado para fazer a conexão em paralelo de dois ou mais inversores é denominado ICT (*InterCell Transformer*). Este dispositivo é especialmente susceptível ao fenômeno da saturação magnética do núcleo e o seu dimensionamento é feito de forma a evitar que isso ocorra.

Atualmente a utilização de Inversores Paralelos Entrelaçados vem sendo estudada como solução para o acionamento de cargas separadas porem iguais. Nesta área de aplicação há alguns aspectos do funcionamento do sistema ainda não estudados, tais como a influência do tipo de conexão das entradas dos inversores (série ou paralelo) sobre o funcionamento do mesmo e a influência de pequenas diferenças entre os parâmetros das cargas separadas sobre o funcionamento dos acopladores magnéticos usados para entrelaçar os inversores paralelos. Diferenças entre as correntes das cargas separadas podem levar o ICT à saturação rapidamente, comprometendo o funcionamento do sistema. Portanto, a utilização de Inversores Paralelos Entrelaçados no acionamento de cargas separadas deve ser cuidadosamente estudada, à luz dos efeitos causados no fluxo magnético no interior do núcleo dos ICTs.

1.2 Hipóteses a Serem Testadas

1. Conversores Multiníveis em Série

Em inversores convencionais, o reduzido número de níveis de tensão que se pode produzir na saída impede que se possa produzir uma forma de onda de tensão com característica senoidal. Em outras palavras, a forma de onda da tensão de saída apresenta THD elevado. O artifício utilizado para contornar este problema é utilizar estratégias de modulação, como por exemplo a Modulação por Largura de Pulso (PWM), que possibilitam produzir na saída tensões “quadradas” de alta frequência cujo valor médio varia de forma senoidal no tempo. Produz-se assim uma tensão com menor conteúdo harmônico na saída, pagando-se o preço de se elevar o número de comutações das chaves principais por período da tensão fundamental de saída.

Em aplicações de baixa tensão e baixa ou média potência, as perdas produzidas nas chaves em função da frequência de chaveamento imposta pelo método PWM ou por outros métodos similares não são relevantes e podem, na prática, focar apenas na qualidade da tensão de saída, em detrimento das perdas por chaveamento. Isso não é verdade, no entanto, em aplicações de média tensão e alta potência, quando as perdas por chaveamento produzem perda da eficiência do conversor, comprometem a temperatura de operação e, por conseguinte, a vida útil das chaves, além de elevarem o custo e o volume dos elementos de dissipação de calor a serem empregados.

A utilização de inversores multiníveis com número de níveis cada vez maior nos últimos anos sugere a possibilidade de, com o maior número de níveis de tensão disponíveis na saída, abandonar os métodos de modulação em alta frequência, como o PWM e outros, sem comprometer a qualidade da tensão de saída a ponto de não atender às normas específicas. No entanto, o estudo desta possibilidade ainda não foi devidamente contemplado na literatura técnica.

Hipótese:

O presente trabalho avalia a hipótese de que, em um inversor trifásico com cinco níveis ou mais, pode-se produzir formas de onda de tensão com baixa distorção harmônica total (THD) utilizando-se apenas os níveis de tensão de saída naturalmente disponíveis no inversor e trabalhando-se com tensões em forma de “escada”, isto é, sem a utilização de técnicas de modulação em alta frequência, como o S-PWM e o SV-PWM, que sintetizam níveis médios diferentes dos originais. Esta abordagem pode, a princípio, reduzir a frequência de chaveamento das chaves principais e, conseqüentemente, as perdas por chaveamento do inversor sem que, com isso, se tenha uma piora da qualidade da forma de onda de saída, como invariavelmente ocorre com os métodos de modulação atualmente empregados.

2. Conversores Multiníveis em Paralelo

O presente trabalho avalia a possibilidade de se conectar, tanto em série quanto em paralelo, as entradas de dois inversores paralelos magneticamente acoplados e acionando cargas separadas. A alteração da configuração de conexão das entradas permite ligar um mesmo conjunto de inversores em paralelo a barramentos CC com tensões diferentes, o que aumenta a flexibilidade do sistema.

O presente trabalho investiga também a influência de pequenos desvios entre os parâmetros das cargas separadas sobre o funcionamento dos inversores paralelos, especialmente no que diz respeito ao funcionamento dos acopladores magnéticos usados e do equilíbrio das tensões dos capacitores de entrada quando da conexão das entradas em série.

1.3 Objetivos

Objetivos Gerais

São objetivos gerais deste trabalho:

- 1) Realizar um estudo detalhado do inversor multinível na topologia NPC, bem como dos métodos de modulação atualmente empregados com estes inversores.
- 2) Identificar problemas, restrições e limitações nas topologias e métodos de modulação estudados, visando identificar possíveis pontos de contribuição.
- 3) Estudar a conexão em paralelo de inversores multiníveis usando acoplamento magnético, chamados Conversores Paralelos Entrelaçados, visando identificar possíveis pontos de contribuição.

Objetivos Específicos

Os objetivos específicos deste trabalho são:

- 1) Elaborar um método de modulação de conversores trifásicos multiníveis capaz de:
 - Minimizar as perdas por comutação observadas nas chaves principais do conversor;
 - Propiciar a melhora citada no item anterior sem aumentar as distorções harmônicas presente nas tensões de saída do inversor e, se possível, reduzir tais distorções;
 - Apresentar um custo computacional mais baixo do que o do método SV-PWM;
 - Apresentar relação linear entre variável de controle (índice de modulação) e a variável controlada (componente fundamental da tensão na saída);
 - Realizar a equalização das tensões dos capacitores do barramento CC do conversor na topologia NPC.

- 2) Comparar, em ambiente de simulação, o método proposto com o método SV-PWM do ponto de vista das perdas por comutação nas chaves e da THD na tensão.
- 3) Implementar o método de modulação proposto em um Processador Digital de Sinais (DSP) e validar esta implementação utilizando uma placa emuladora do inversor NPC de cinco níveis.
- 4) Generalizar a análise do ponto de vista do número de níveis do conversor (N).
- 5) Estudar a possibilidade de conectar em série ou em paralelo as entradas de dois inversores paralelos entrelaçados como forma de possibilitar a conexão de um mesmo sistema a barramentos CC com tensões diferentes.
- 6) Estudar a utilização de inversores paralelos entrelaçados no acionamento de cargas separadas e avaliar o impacto de pequenas diferenças entre os parâmetros destas cargas separadas sobre o funcionamento do sistema, observando em especial o funcionamento dos acopladores magnéticos utilizados e o equilíbrio das tensões dos capacitores de entrada na conexão das entradas em série.

1.4 Metodologia

1. Conversores Multiníveis em Série

De forma a atingir os objetivos propostos, este trabalho foi dividido nas seguintes etapas:

- 1) Revisão bibliográfica, apresentada no Capítulo 3, contemplando trabalhos realizados nos últimos anos sobre topologia de inversores multiníveis, métodos de modelagem para inversores multiníveis, solução de problemas relacionados a estes inversores tais como: balanceamento das tensões do barramento CC, controle do potencial de neutro e minimização das perdas por comutação.
- 2) Estudo do inversor trifásico multinível de cinco níveis na topologia Neutro Grampeado a Diodo (NPC), apresentado no Capítulo 4, no qual foram levantados vários aspectos relacionados ao seu funcionamento, como:
 - tabela de estado das chaves, relação entre estado das chaves e estados dos braços e combinações de estados entre os três braços do inversor trifásico;
 - equações matemáticas que modelam o circuito em função dos estados dos três braços;
 - representações das tensões de saída por vetores espaciais;

- tabela com combinações de estados e vetores espaciais correspondentes;
- estudo das combinações de estado redundantes e seus efeitos sobre o inversor, circuitos equivalentes, efeito sobre os ciclos de carga e descarga dos capacitores do barramento CC e sobre a equalização das tensões dos mesmos, efeito sobre as perdas por condução e comutação das chaves;
- modelagem matemática das perdas nos semicondutores principais (IGCTs e diodos de grampeamento).

3) Proposição de um método de modulação para inversores trifásicos de cinco níveis com baixa frequência de comutação das chaves principais, sem a realização de síntese de vetores médios através do chaveamento entre vetores originais.

4) Desenvolvimento de uma plataforma de testes em ambiente de simulação, utilizando a ferramenta Simulink do Matlab. Realização de uma série de simulações do sistema utilizando o método de modulação proposto e um método de comparação.

5) Elaboração de uma plataforma de testes experimental, composta por um DSP, uma placa simuladora de inversor NPC de cinco níveis e um osciloscópio. Realização de testes práticos do sistema acima, utilizando o método de modulação proposto, com o objetivo de validar os resultados obtidos em simulação.

6) Generalização do número de níveis do conversor. Generalização do método de modulação proposto de forma a utilizá-lo em inversores com qualquer número de níveis ímpar. Análise em simulação do conversor trifásico de N níveis utilizando o método de modulação proposto, e verificação da influência do número de níveis N do conversor sobre as figuras de mérito utilizadas no trabalho.

Selecionou-se um método de modulação de grande relevância na literatura para ser utilizado como método de referência a ser comparado com o método proposto, o *Space Vector PWM* (SV-PWM) proposto em [46] para inversores de três níveis e modificado para a aplicação em inversores de cinco níveis. Esta escolha foi justificada pelo fato de este método ter sido originalmente proposto com o objetivo de minimizar tanto as perdas por comutação nas chaves do conversor quanto o custo computacional da sua implementação em DSP, objetivos estes comuns ao presente trabalho. Soma-se a isso o fato de este método proposto em [46] já ter sido exaustivamente estudado e já ter sido utilizado em aplicações industriais, incluindo-se aplicações de média tensão e alta potência.

A avaliação do desempenho do método proposto bem como a sua comparação com o método SV-PWM foram feitas utilizando-se as seguintes figuras de mérito:

- 1) Perdas por comutação, por condução e perdas totais nos semicondutores do conversor (chaves, diodos de roda livre e diodos de grampeamento).
- 2) Qualidade da forma de onda de tensão produzida na saída do conversor, expressa através da Distorção Harmônica Total (THD) da mesma através da equação (1.1)

$$THD = 100\% \times \frac{\sqrt{\sum V_i^2 - V_1^2}}{V_1} \quad (1.1)$$

onde V_1 é o valor de pico da componente fundamental da tensão;

V_i é o valor de pico do i -ésimo harmônicos, sendo $1 < i \leq 51$.

- 3) Qualidade da forma de onda expressa pela Distorção Total (DT), calculada através da equação (1.2) e que leva em consideração a distorção provocada por todos os harmônicos, sub-harmônicos e inter-harmônicos presentes.

$$DT = 100\% \times \frac{\sqrt{V_{rms}^2 - V_{1rms}^2}}{V_{1rms}} \quad (1.2)$$

onde V_{rms} é o valor eficaz da tensão levando-se em conta todos os harmônicos, sub-harmônicos e inter-harmônicos presentes;

V_{1rms} é o valor eficaz do harmônico fundamental desta tensão.

- 4) Relação entre a redução percentual da THD e o aumento percentual correspondente das perdas totais no conversor à medida que N aumenta. Esta é uma figura de mérito proposta neste trabalho, denominada QVP (Qualidade Versus Perdas).
- 5) Ordem de complexidade do algoritmo do método de modulação proposto.
- 6) Custo computacional do método proposto na implementação em DSP, normalizado para $N = 5$.

O cálculos da THD (equações (1.1)) foi feito utilizando-se a função FFT, do MATLAB[®]. Nestes cálculos utilizou-se uma resolução de 0,5Hz e uma janela de frequências de 0 a 200kHz, embora apenas os 51 primeiros harmônicos tenham sido considerados no cálculo. Esta mesma metodologia foi utilizada no cálculo do valor eficaz da componente fundamental da tensão (V_{1rms}) utilizada na da equação (1.2) para se determinar a DT.

Para a implementação do método proposto em DSP utilizou-se o modelo TMS320F28335, da Texas Instruments Inc. (Dallas, TX, USA), de ponto flutuante e que trabalha com frequência máxima de 150MHz.

2. Conversores Multiníveis em Paralelo

O estudo abordando os Inversores Paralelos Entrelaçados foi dividido nas seguintes etapas:

- 1) Revisão bibliográfica da produção científica publicada até aqui sobre Inversores Paralelos Entrelaçados acionando cargas separadas.
- 2) Análise, em ambiente de simulação, do funcionamento de um sistema composto por dois inversores trifásicos de dois níveis magneticamente acoplados, acionando cargas separadas, com as entradas conectadas em série e em paralelo, com e sem conexão elétrica entre os neutros das cargas separadas.
- 3) Obtenção de dados experimentais utilizando-se um protótipo existente no LAPLACE – *Laboratoire Plasma et Conversion d’Energie*, situado em Toulouse, França, protótipo este composto por dois inversores trifásicos de dois níveis magnéticamente acoplados através de três ICTs e acionando duas cargas trifásicas separadas, ajustáveis, de 10kVA cada uma.

A intensidade do fluxo magnético no núcleo dos ICTs é proporcional à corrente diferencial nos mesmos. Por esta razão, a corrente diferencial nos ICTs foi a principal figura de mérito utilizada neste estudo. A outra figura de mérito adotada foi a diferença entre as tensões nos capacitores de entrada dos inversores.

1.5 Delimitações do Trabalho

No estudo dos conversores multiníveis em série, o presente trabalho considera a utilização de dispositivos IGCT como chaves principais do inversor. O tipo de semicondutor utilizado para este fim é determinante nos valores de perdas por condução e por comutação no conversor. Os resultados quantitativos obtidos relativos às perdas por condução e por chaveamento apresentados ao longo deste texto não são válidos para o caso de utilização de dispositivos semicondutores com características diferentes das dos IGCT, tais como IGBT e GTO.

O presente trabalho aborda apenas os conversores multiníveis com número ímpar de níveis.

1.6 Contribuições

1. Conversores Multiníveis em Série

Este trabalho apresenta uma estratégia de modulação aplicável em inversores multiníveis com número de níveis N ímpar igual ou maior que três, na qual o número de comutações das chaves por período de fundamental é reduzido na comparação com o método SV-PWM.

Na extensa pesquisa bibliográfica realizada foi encontrado apenas um trabalho [67] que propõe uma estratégia de modulação semelhante à proposta neste trabalho. A estratégia proposta em [67], contudo, utiliza uma técnica de busca de vetores espaciais diferente, bem como apresenta alguns vários problemas não resolvidos, tais como: (i) falta de linearidade entre variável de entrada do modulador (o índice de modulação M ou o módulo do vetor de referência) e a variável de saída do sistema (o valor de tensão fundamental produzido na saída) [68]; (ii) faixa operacional do método limitada a $M > 0,38$ para $N = 7$ [68]; (iii) ausência de abordagem da operação na região de sobre-modulação; (iv) ausência de abordagem do problema da equalização das tensões dos capacitores do barramento CC; (v) ausência de um estudo da estratégia proposta para um valor genérico de N .

O presente trabalho propõe um novo método de modulação baseado na abordagem proposta em [67] para conversores multiníveis e apresenta as seguintes contribuições inéditas:

- 1) Proposição de uma nova técnica de cálculo do vetor espacial a ser utilizado em cada período de amostragem, a qual apresenta baixo custo computacional e pode ser implementada nos DSPs atualmente disponíveis para inversores com até 15 níveis.
- 2) Eliminação da não linearidade entre M e a tensão fundamental na saída para toda a faixa operacional de M através das funções de ajuste Ψ_1 e Ψ_2 propostas;
- 3) Redução do limite inferior da faixa de trabalho de $M = 0,38$ para $M = 0,0293$;
- 4) Definição de um conceito denominado Círculo Limite que melhora o mapeamento do espaço vetorial do conversor e permite reduzir o custo computacional do método de modulação;
- 5) Generalização do número de níveis do conversor. O algoritmo do método de modulação proposto pode ser usado em conversores com qualquer número de níveis N ímpar. Além disso, é apresentado um estudo sobre o impacto do valor de N sobre importantes figuras de mérito utilizadas para avaliar conversores multiníveis, tais

como a THD na tensão de saída, as perdas por condução e por comutação nas chaves de potência, o custo computacional do método e a frequência de amostragem necessária.

- 6) Proposição de um mecanismo incorporado ao método de modulação que é capaz de realizar a equalização parcial das tensões dos capacitores do barramento CC, de forma a reduzir a potência e a complexidade do circuito externo empregado para realizar a equalização final. O mecanismo proposto minimiza o número de comutações das chaves necessárias para realizar a equalização parcial das tensões;
- 7) Tratamento da operação do conversor na região de sobre-modulação, estendendo o limite superior da faixa de operação para $M = 0,969$.

2. Conversores Multiníveis em Paralelo

Através de resultados de simulação e experimentais o presente trabalho valida a estratégia de se alterar a forma de conexão das entradas de inversores paralelos entrelaçados, de paralelo para série, como forma de possibilitar a conexão do sistema a um barramento CC com tensão igual a duas vezes a tensão usada no caso de entradas conectadas em paralelo.

Este trabalho apresenta também um estudo inédito do impacto de diferenças nos parâmetros R, L e V (resistência, indutância e força eletromotriz) das cargas separadas acionadas pelo sistema sobre o funcionamento dos acopladores magnéticos utilizados (ICTs).

O trabalho aborda também o efeito de diferenças nos parâmetros das cargas separadas sobre o equilíbrio das tensões dos capacitores de entrada quando da conexão das estradas dos inversores em série.

1.7 Organização do Texto

No **Capítulo 2** é feita uma revisão da literatura acerca dos inversores multiníveis em série. São apresentadas as principais topologias destes inversores, bem como os métodos de modulação atualmente empregados.

O **Capítulo 3** apresenta um estudo detalhado sobre os conversores trifásicos de cinco níveis na topologia NPC, através do qual se buscou levantar as características de funcionamento, das representações vetoriais, dos modelos matemáticos do inversor e dos semicondutores empregados. Também neste capítulo são levantados os principais problemas e limitações relacionados à este conversor.

O **Capítulo 4** apresenta o método de modulação para conversores multiníveis proposto neste trabalho, abordando os vários aspectos operacionais do mesmo.

O **Capítulo 5** apresenta os resultados de simulação obtidos utilizando-se o método de modulação proposto e dois outros métodos de modulação disponíveis na literatura

No **Capítulo 6** são apresentados resultados experimentais obtidos através da implementação do método proposto em DSP. Uma placa de circuito impresso emula o conversor NPC de 5 níveis.

O **Capítulo 7** apresenta um estudo sobre a utilização do método proposto em conversores de N níveis. É mostrado o impacto do valor de N sobre importantes figuras de mérito tais como o conteúdo harmônico da tensão na saída, as perdas nas chaves do conversor e o custo computacional do método proposto.

No **Capítulo 8** é apresentado um estudo sobre inversores convencionais de dois níveis em paralelo. Uma solução para a utilização de um sistema reconfigurável em barramentos CC com tensões diferentes é proposto. Um estudo sobre diferenças entre os parâmetros das cargas acionadas pelo conversor sobre o funcionamento do acoplador magnético é apresentado.

Finalmente, no **Capítulo 9** são apresentadas as conclusões finais, e propostas de continuidade a este trabalho são sugeridas.

2 Estudo Sobre Inversores Multiníveis

2.1 Introdução

Os conversores multiníveis são topologias capazes de produzir níveis intermediários da tensão total do barramento CC e que são submúltiplos desta. Um conversor de N níveis tem a tensão de entrada do barramento CC dividida em (N-1) parcelas iguais. Estes níveis intermediários de tensão são utilizados para sintetizar na carga uma forma de onda de tensão variável em diversos níveis, em forma de escada, o que permite uma maior aproximação em relação à forma senoidal quando comparada à tensão quadrada produzida por conversores convencionais de dois níveis. Os conversores multiníveis vêm recebendo atenção crescente, nos últimos anos, devido às vantagens que apresentam em relação aos inversores convencionais de dois níveis [1], [2], [3], [4], [5], [6]:

- Possibilidade de serem diretamente conectados aos sistemas de média tensão (2,3 kV, 3,3 kV, 4,16 kV e 6,9 kV);
- Presença de menor conteúdo harmônico na tensão de saída, o que significa uma forma de onda de melhor qualidade, produzindo menores perdas na carga, menos interferência eletromagnética e menor pulsação de conjugado nas aplicações em acionamentos elétricos;
- Existência de tensões de bloqueio mais baixas nas chaves de potência, o que permite utilizar chaves convencionais do ponto de vista da tensão de bloqueio (mais baratas) em aplicações de alta tensão onde normalmente chaves especiais seriam necessárias;
- Permitem utilizar frequências de chaveamento mais baixa nas chaves de potência;
- Produzem menor dV/dt na carga.

Estas vantagens tornam os inversores multiníveis especialmente indicados para aplicações de alta e média tensão, tais como FACTS e acionamento de motores CA de média tensão e alta potência [1], [2], [6].

Os inversores multiníveis apresentam, no entanto, algumas desvantagens em relação aos inversores convencionais de dois níveis [2], [4], [6], [7], tais como:

- Maior número de dispositivos semicondutores (chaves e diodos de grampeamento), maior número de elementos reativos (capacitores) e maior complexidade do circuito;
- Dificuldade para se realizar a equalização das tensões dos diversos capacitores usados para gerar os níveis intermediários de tensão;
- Maior complexidade e custo computacional dos algoritmos de modulação;
- Distribuição não uniforme dos tempos de condução entre as chaves de um braço e conseqüente distribuição não uniforme das perdas por condução entre estas chaves.

Algumas topologias de conversores multiníveis foram propostas, nos últimos anos, com o objetivo de resolver ou atenuar alguns destes problemas. As topologias atualmente mais utilizadas são:

- (a) Neutro Grampeado a Diodo (NPC) [1], [2], [7];
- (b) Capacitores Flutuantes (FC) [3], [4];
- (c) Cascata de Módulos Ponte-H (HBC) [4], [5], [8];
- (d) Cascatas híbridas simétricas e assimétricas [9], [10], [11], [12], [13], [14], [15].

Outras topologias menos comuns também podem ser encontradas na literatura [6], [9], [16], [17], [18], [19], [20], [21] e [22].

Em função dos tipos de aplicações nas quais os inversores multiníveis são usualmente empregados, duas figuras de mérito são freqüentemente usadas para avaliá-los:

- A potência dissipada nas chaves, especialmente a parcela produzida pela comutação das mesmas [23];
- A distorção harmônica total (THD) da tensão produzida na saída e entregue à carga
- [24], [25].

Existe um compromisso entre estas duas figuras de mérito de tal forma que a melhora de uma geralmente leva a uma piora da outra. Para um determinado número de níveis (N) do inversor, o equilíbrio entre uma e outra é determinado pela frequência de chaveamento adotada. Uma frequência mais alta reduz a THD da tensão, mas tem como inconveniente aumentar o número de comutações das chaves por período de fundamental, o que pode aumentar as perdas por comutação nas mesmas. Uma frequência mais baixa produz efeito contrário nestas duas figuras de mérito.

Uma possível solução para reduzir a THD e as perdas por comutação de maneira simultânea pode ser o aumento do número de níveis N do conversor, uma vez que isso permite reduzir significativamente a THD da tensão com um impacto teoricamente menor sobre as perdas nas chaves. No entanto, a presença de um maior número de chaves no circuito pode aumentar as perdas por condução e mesmo as perdas por comutação. A influência do aumento de N sobre as perdas, portanto, deve ser estudada de forma a validar ou não esta solução.

Encontram-se disponíveis na literatura outras soluções para se reduzir a THD e as perdas por comutação de maneira simultânea, ou para reduzir uma destas figuras de mérito sem elevar a outra. Shinya Tsujishima *et al* [26] sugere utilizar um conversor multinível duplo (retificador + inversor) e utilizar o retificador para controlar a tensão dos N níveis de forma a se utilizar duas estratégias de modulação (PWM e PAM) nas regiões de baixo e alto índice de modulação (M) respectivamente, reduzindo assim as perdas por chaveamento sem elevar a THD na saída. A desvantagem desta solução é a alta complexidade tanto do conversor quanto do método de modulação.

A topologia Z-Source apresentada em [27], [28], [29] utiliza um *chopper* na entrada do conversor e possibilita utilizar o inversor sempre em faixas de M mais apropriadas para a otimização das duas figuras de mérito acima (THD e perdas por comutação). Mas esta também é uma topologia de complexidade elevada quando comparada a topologias básicas tais como NPC e cascata, que serão apresentadas na Seção 2.2.

Por outro lado, em aplicações típicas de inversores multiníveis, como em FACTS e acionamento de motores CA de média tensão, as perdas por chaveamento atingem valores especialmente elevados. Nos últimos anos três linhas de soluções vêm sendo estudadas com o objetivo de minimizar este problema: (i) adoção de baixas frequências de chaveamento, da ordem de 600Hz, valor este que prioriza a redução destas perdas em detrimento do perfil de THD [30], [31], [32], [33]; (ii) utilização de topologias que possibilitem a comutação das chaves com tensão ou corrente igual a zero (Inversores ZVS e ZCS respectivamente), o que possibilita elevar a frequência de chaveamento (reduzindo a THD) sem aumentar as perdas por comutação [34], [35], [36], [37]; (iii) utilização de métodos de modulação que minimizem as perdas por chaveamento [38].

Todas as soluções apontadas acima apresentam limitações e aspectos negativos. Uma solução definitiva para o problema das perdas por chaveamento em conversores de alta potência, e para o problema do compromisso entre perdas e THD em conversores gerais ainda não foi encontrada.

2.2 Topologias de Conversores Multiníveis

Várias topologias de conversores multiníveis podem ser encontradas na literatura, cada uma delas apresentando vantagens e desvantagens em relação às demais. A lista a seguir apresenta as principais topologias atualmente estudadas, bem como suas principais características, vantagens e desvantagens.

2.2.1 Cascata de Ponte H (HBC)

A topologia Cascata de Pontes-H ou HBC [5], [8], [39], [40] se constitui na ligação em série de inversores Ponte-H convencionais, cada uma delas alimentado por uma fonte CC independente. Cada Ponte-H possui três estados $\{1,0,-1\}$, se constituindo elas mesmas em inversores monofásicos de três níveis, embora, na configuração trifásica, com três braços, possuam apenas os níveis '+1' e '-1'.

A Figura 2.1 apresenta os diagramas simplificados para uma fase da topologia HBC de três, cinco e sete níveis.

Dentre as vantagens desta topologia, estão [4]: (i) possibilidade de modularização dos inversores multiníveis, podendo-se construir conversores com qualquer número de níveis N a partir da conexão em série do número de módulos Ponte-H necessários; (ii) é a topologia que requer o menor número de componentes necessários para se obter um conversor com dado número de níveis. Outra vantagem é a não utilização de elementos reativos (capacitores) e de diodos de grampeamento.

A principal desvantagem desta topologia é a necessidade de fontes CC independentes para cada um dos módulos Ponte-H utilizados [4]. Um conversor HBC trifásico de sete níveis utiliza nove módulos Ponte-H e, portanto, nove fontes CC independentes. Atualmente encontram-se na literatura alguns trabalhos que propõem formas de reduzir o número de fontes independentes necessárias, como será mostrado mais a frente.

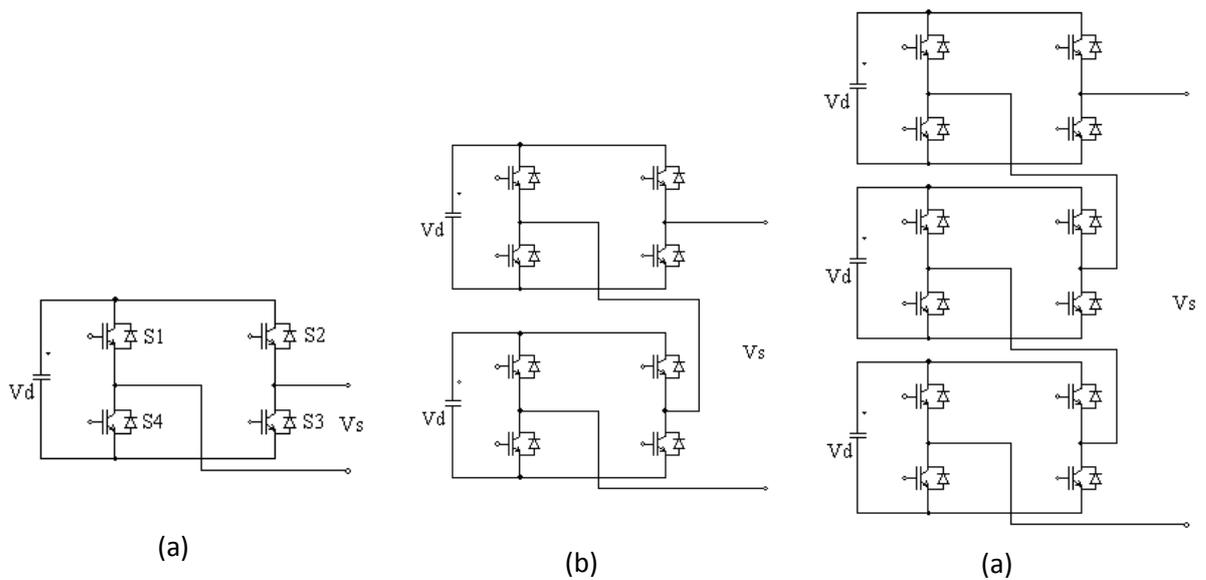


Figura 2.1: Diagrama simplificado de uma fase para um conversor HBC de: (a) três níveis; (b) cinco níveis; (c) sete níveis..

Considerando a utilização de fontes CC isoladas de mesma amplitude, o número de níveis (N) do inversor HBC será determinado pelo número de módulos por fase (N_m) através da equação (2.1).

$$N = 2 \cdot N_m + 1 \quad (2.1)$$

Em termos de demanda de dispositivos, um conversor HBC trifásico de N níveis utiliza:

$$(N-1)/2 \text{ capacitores no barramento CC} \quad (2.2)$$

$$6 \cdot (N-1) \text{ chaves principais} \quad (2.3)$$

$$6 \cdot (N-1) \text{ diodos de roda livre} \quad (2.4)$$

A referência [41] apresenta um inversor em cascata com módulos com capacidade de regeneração de potência, mostrada na Figura 2.2. O diagrama dos módulos utilizados nesta ligação em cascata é mostrado na Figura 2.3. A principal desvantagem desta solução é o custo dos módulos usados, cada um sendo composto por um transformador completo (primário e secundário) e duas pontes H conectadas através de um barramento CC capacitivo.

A Figura 2.4 apresenta os diagramas simplificados para uma fase das topologias NPC de três e cinco níveis. Nesta topologia as chaves principais são submetidas a tensões máximas iguais a $V_{dd}/(N-1)$, onde V_{dd} é a tensão total do barramento CC, o que a torna uma topologia atraente para aplicações de média e alta tensão. Suas desvantagens são [4]: (i) a necessidade de se utilizar elementos reativos (capacitores) no barramento CC; (ii) a dificuldade em se equalizar as tensões nestes capacitores; (iii) a diferença entre as tensões de bloqueio nos diodos de grampeamento, o que obriga a conexão de diodos em série onde estas tensões são mais altas; (iv) o crescimento quadrático do número de diodos de grampeamento em função do número de níveis N do inversor, aumentando a complexidade do circuito; (v) a limitação na frequência de chaveamento e o aumento da complexidade do modulador causados pelo tempo de recuperação reversa dos diodos de grampeamento quando é utilizado o método PWM em aplicações de média tensão e alta potência [14].

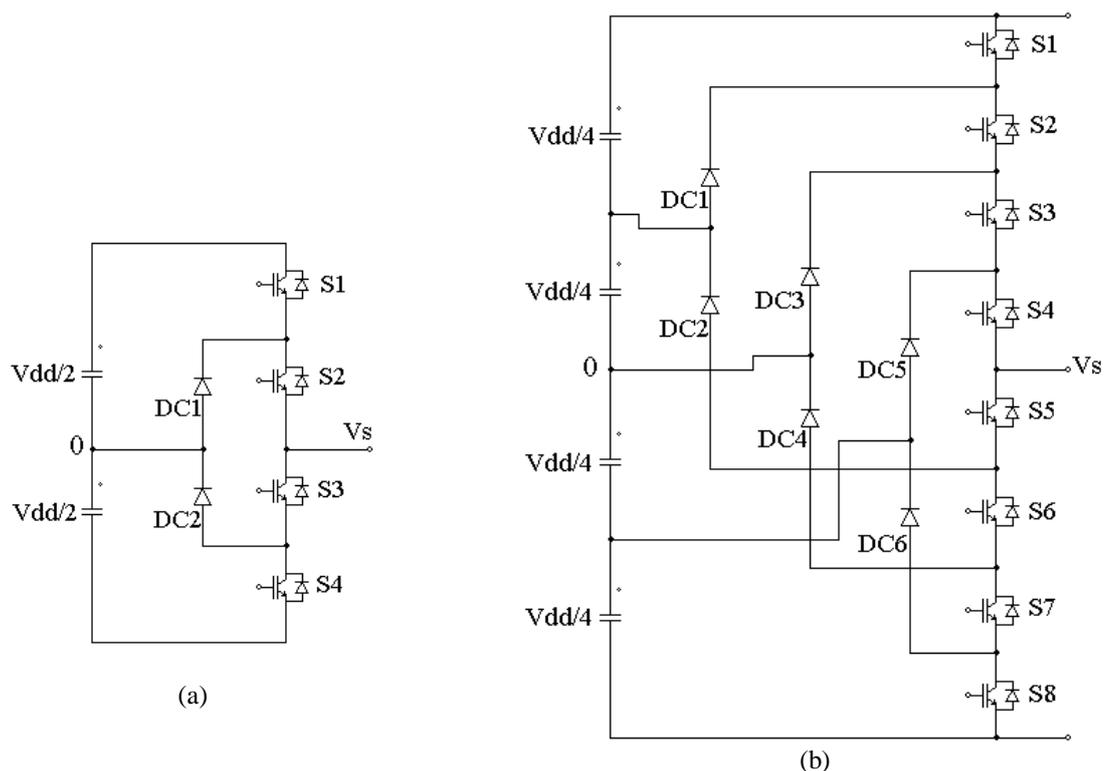


Figura 2.4: Diagrama simplificado de uma fase para um conversor NPC de: (a) três níveis; (b) cinco níveis.

Um conversor NPC de N níveis trifásico utiliza um total de:

$$(N-1) \text{ capacitores no barramento CC} \quad (2.5)$$

$$6 \cdot (N-1) \text{ chaves principais} \quad (2.6)$$

$$6 \cdot (N-2) \text{ diodos de grampeamento} \quad (2.7)$$

As equações acima consideram o livre dimensionamento de cada diodo de grampeamento em função da tensão máxima solicitante em cada um deles. Na prática é freqüente se utilizar componentes de dimensionamento idêntico, dimensionados em função da menor tensão que solicita cada tipo de componente (chave, diodo ou capacitor), e se conectar componentes em série onde as tensões solicitantes são maiores que as adotadas no dimensionamento. Utilizando-se esta estratégia, a equação (2.7) deve ser substituída pela equação (2.8), a qual demonstra o crescimento quadrático do número deste componente em função de N.

$$\text{No. de diodos de grampeamento} = 3 \cdot (N-1) \cdot (N-2) \quad (2.8)$$

2.2.3 Capacitores Flutuantes (FC)

A topologia Capacitores Flutuantes (FC) [3], [42], foi originalmente proposta em 1992. Esta topologia utiliza capacitores para fazer o grampeamento dos potenciais de tensão intermediários, o que na topologia NPC é feito por meio dos diodos de grampeamento. A Figura 2.5 apresenta os diagramas simplificados para uma fase da topologia FC com três e com cinco níveis.

A principal vantagem da topologia FC sobre a NPC consiste na existência de estados redundantes em cada braço do inversor cujo efeito sobre a carga dos capacitores de grampeamento são opostos, de tal forma que a alternância entre estes estados possibilita realizar o controle das tensões nestes capacitores. Isso torna o balanceamento das tensões dos capacitores da topologia FC uma tarefa mais simples do que nos inversores NPC. Outra vantagem é a eliminação dos $3 \cdot (N-1) \cdot (N-2)$ diodos de grampeamento necessários na topologia NPC. Um problema operacional presente nesta topologia é o transitório de partida, durante o qual os valores das tensões dos capacitores são diferentes dos valores requeridos.

Dentre as desvantagens desta topologia, estão [4]: (i) o elevado número de capacitores requeridos quando N é elevado, o que eleva o volume e o custo do conversor; (ii) no fornecimento de potência ativa a utilização dos estados redundantes para equalização das tensões dos capacitores exige que a frequência de comutação seja muito maior do que a frequência fundamental, o que eleva as perdas por comutação nas chaves.

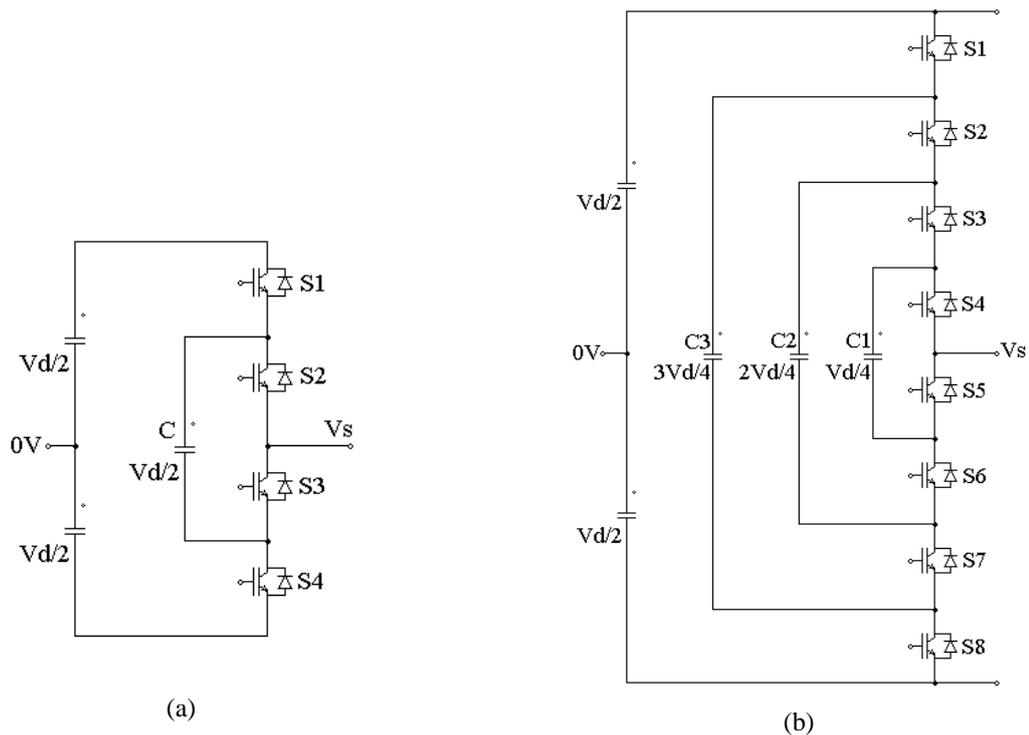


Figura 2.5: Diagrama simplificado de uma fase para um conversor FC de: (a) três níveis; (b) cinco níveis.

Um conversor FC trifásico de N níveis utiliza um total de:

$$(N-1) \text{ capacitores no barramento CC} \quad (2.9)$$

$$6 \cdot (N-1) \text{ chaves principais} \quad (2.10)$$

$$3 \cdot (N-2) \text{ capacitores de grameamento} \quad (2.11)$$

De forma análoga à topologia anterior, a equação (2.11) considera o livre dimensionamento dos capacitores de grameamento em função das tensões solicitantes sobre cada um, que são diferentes. No caso de capacitores idênticos dimensionados para a menor tensão solicitante observada, devem ser feitas conexões em série destes dispositivos nas posições em que as tensões solicitantes são mais altas. Neste caso, a equação (2.11) deve ser substituída pela equação (2.12) abaixo.

$$\text{No. de capacitores de grameamento} = 3 \cdot (N-1) \cdot (N-2) / 2 \quad (2.12)$$

2.2.4 Cascata Híbrida Simétrica

A topologia Cascata Híbrida Simétrica se caracteriza pela adoção de módulos multiníveis idênticos em toda a estrutura em cascata. O nome híbrido advém do fato de se utilizar módulos da topologia NPC, FC ou outra qualquer em uma estrutura em cascata.

A substituição do módulo padrão Ponte-H de três níveis por módulos NPC ou FC com $N > 3$ é útil para reduzir o total de módulos necessários para se atingir um determinado número de níveis total, o que reduz o número de fontes independentes necessárias. Esta solução vem sendo adotada especialmente em aplicações de média e alta tensão [14].

2.2.5 Cascata Híbrida Assimétrica

As topologias híbridas assimétricas consistem em inversores multiníveis em Cascata nos quais os módulos utilizados para compor a estrutura em cascata diferem entre si. Esta diferença pode estar no valor da tensão CC de alimentação, na frequência de chaveamento ou na topologia de cada módulo.

A utilização de diferentes valores de tensão para as fontes independentes de cada módulo de um inversor em cascata permite aumentar o número de níveis do inversor com o mesmo número e tipo de módulos, reduzindo-se a distorção harmônica da tensão de saída. Tome-se, por exemplo, o inversor HBC com dois módulos por fase apresentado na Figura 2.1(b), o qual possui cinco níveis. Se ao invés de se utilizar a mesma tensão V_{dd} nos dois módulos de cada fase, for utilizada a tensão V_{dd} em um módulo e $V_{dd}/2$ no outro, este inversor passará a ter sete níveis.

Topologias diferentes dentre os módulos de um inversor em cascata também podem caracterizar um inversor Híbrido Assimétrico. A referência [11] apresenta uma variação da topologia HBC na qual módulos Ponte-H diferentes são conectados em série, conforme Figura 2.6. Um módulo de baixa tensão e alta frequência, utilizando IGBTs é conectado a um módulo de alta tensão e baixa frequência utilizando IGCTs. O inversor resultante possui sete níveis.

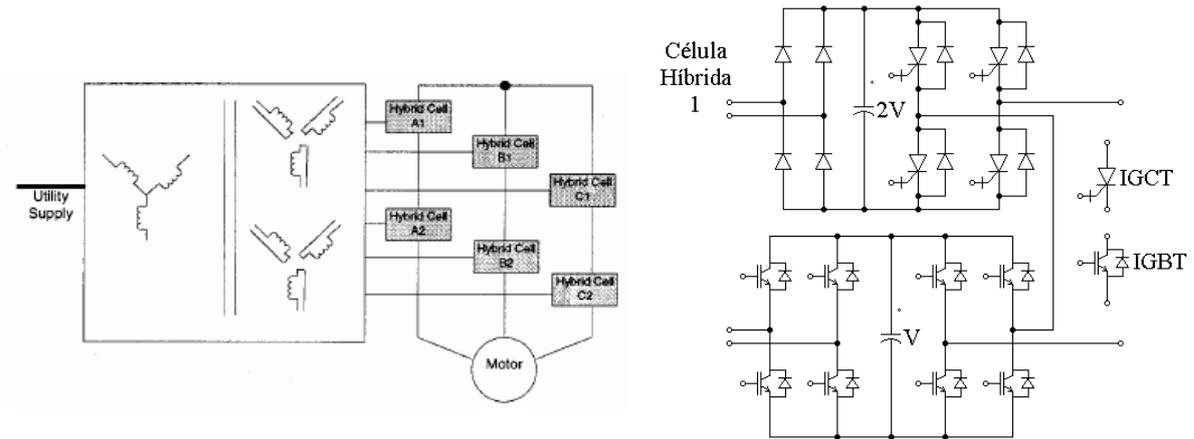


Figura 2.6: Cascata de módulos de dois níveis distintos.

Em [12] é apresentado um sistema no qual dois módulos, um deles um inversor NPC trifásico de três níveis, e o outro um inversor convencional de dois níveis, ambos consistindo em um retificador chaveado mais um inversor, são conectados em série através dos enrolamentos abertos de uma máquina CA, conforme diagrama mostrado na Figura 2.7.

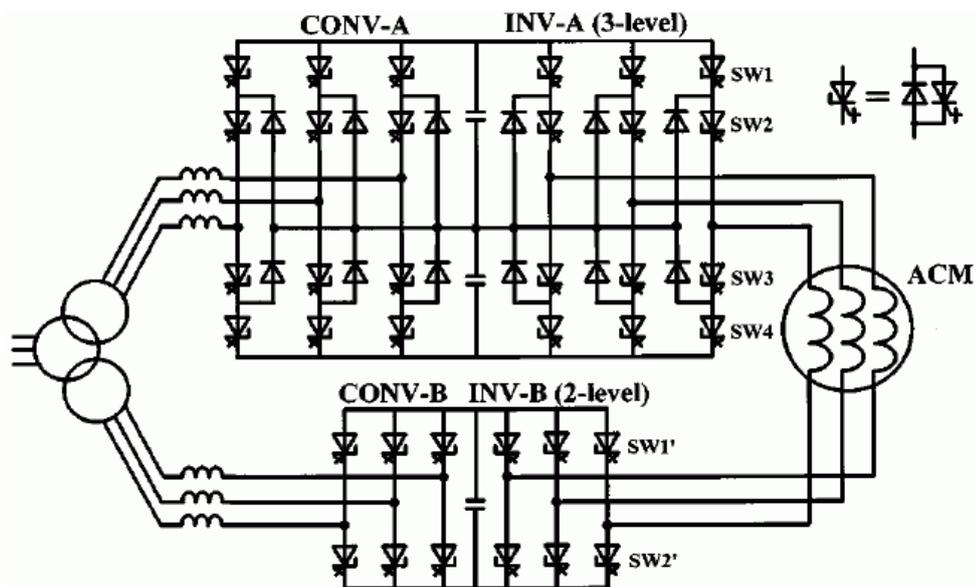


Figura 2.7: Cascata via enrolamento do motor.

Em [9] é apresentada uma conexão em cascata via enrolamentos abertos de uma máquina CA de dois inversores NPC trifásicos de três níveis, um deles trabalhando em alta frequência e com baixa potência e o outro trabalhando em baixa frequência e com alta potência. A topologia proposta, mostrada na Figura 2.8, equivale a um inversor de sete níveis e produz uma tensão com THD de 7%, além de necessitar de apenas uma fonte CC, já que o módulo

NPC três níveis de baixa potência é alimentado por um barramento CC composto por capacitores.

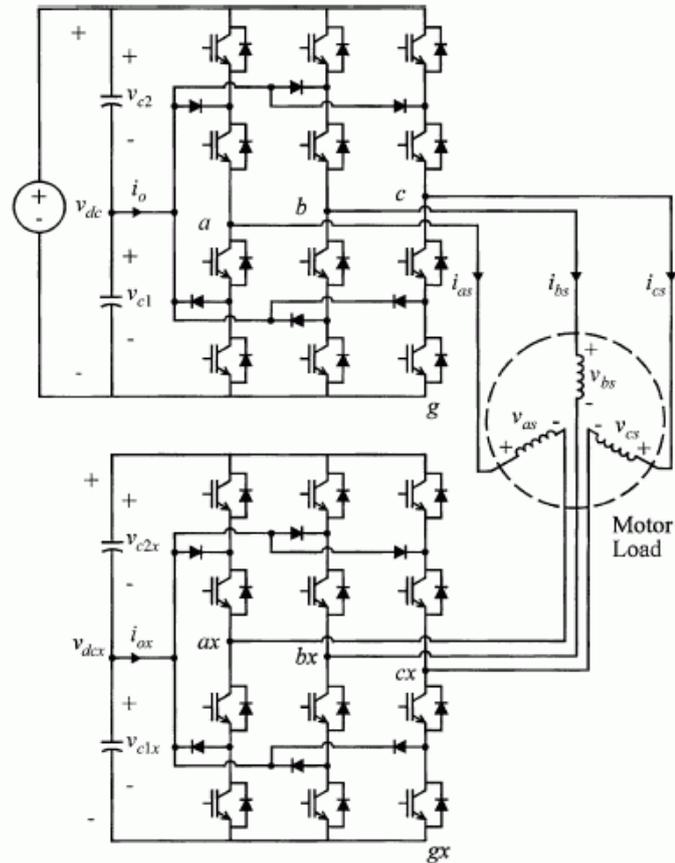


Figura 2.8: Cascata via enrolamento do motor.

Em [10] é apresentada uma ligação em cascata, mostrada na Figura 2.9, composta por dois inversores trifásicos de dois níveis, cada um deles alimentado por um retificador, estes retificadores, por sua vez, alimentados a partir de enrolamentos secundários independentes de um mesmo transformador. O espaço vetorial do inversor resultante é equivalente ao de um inversor trifásico de três níveis. A solução proposta utiliza um número de chaves, capacitores do barramento CC, retificadores e secundários de transformador equivalentes ao de um inversor NPC trifásico de três níveis. As vantagens são a economia dos diodos de grameamento e a não ocorrência de flutuações no potencial do neutro.

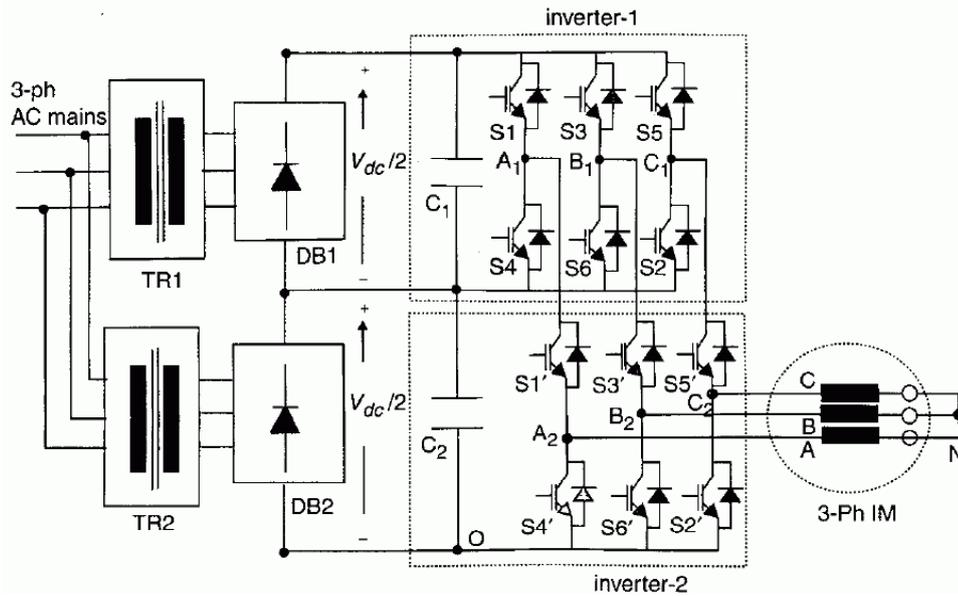


Figura 2.9: Cascata assimétrica resultando em um inversor de três níveis.

Em [13] os mesmos autores apresentam uma ligação em série, via carga trifásica, de dois módulos trifásicos de três níveis iguais ao mostrado na Figura 2.9, resultando no inversor de cinco níveis mostrado na Figura 2.10. Os dois módulos usados nesta cascata se constituem, eles próprios, numa associação de dois inversores trifásicos convencionais de dois níveis. A vantagem sobre a topologia usual de três níveis, a NPC, é a eliminação dos diodos de grampeamento sem que haja aumento no número de chaves principais nos módulos de três níveis. Desta forma, um inversor de cinco níveis é obtido a partir de quatro inversores de dois níveis, utilizando o mesmo número de chaves principais, economizando 36 diodos de grampeamento e possibilitando uma equalização das tensões dos capacitores tão simples quanto a observada em inversores NPC de três níveis. As desvantagens desta solução são a necessidade de quatro fontes CC separadas e a necessidade de uma carga com terminais abertos. Em [22] estes autores propõem uma alteração na topologia apresentada em [13] que consiste na troca de um dos inversores de três níveis em cascata por um inversor trifásico de dois níveis, o que resulta em um inversor de seis níveis que requer três fontes CC independentes, mostrado na Figura 2.11. Esta topologia permite a estratégia de modulação proposta pelos autores, que consiste em chavear apenas um dos inversores para baixos valores do índice de modulação (M), enquanto que, para médios valores de M , dois inversores são chaveados e para altos valores de M os três inversores são chaveados, alcançando-se assim, uma redução nas perdas por chaveamento para baixos e médios valores de M .

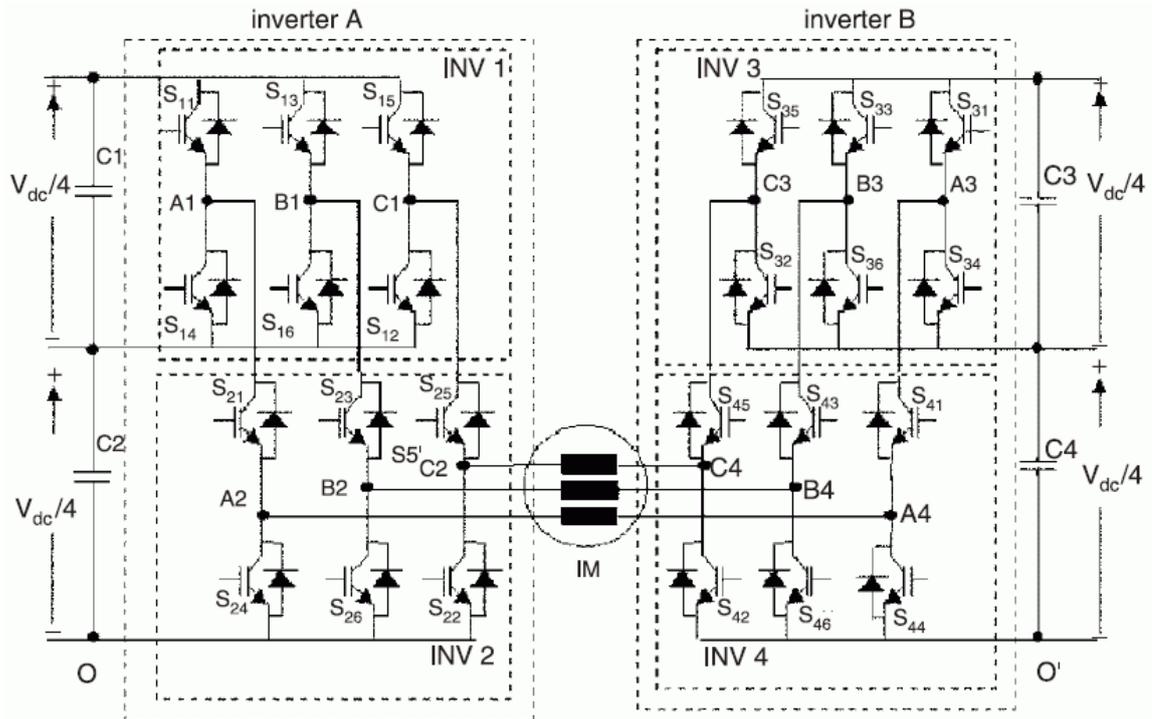


Figura 2.10: Topologia híbrida assimétrica conectada através dos terminais da carga.

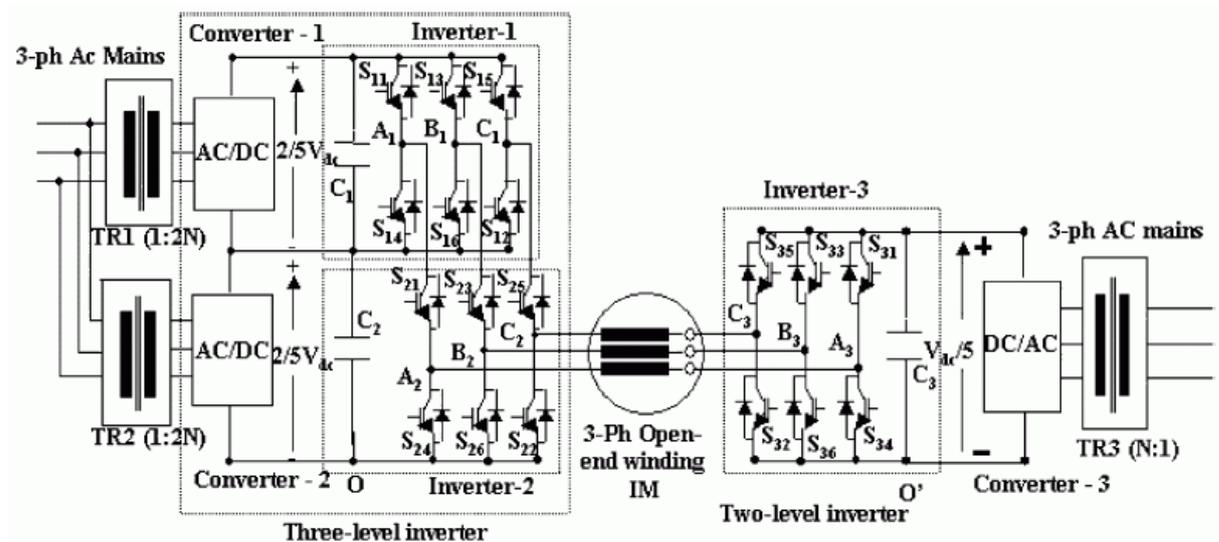


Figura 2.11: Variação da topologia anterior com redução do número de fontes CC.

As referências [39] e [43] sugerem a utilização de três inversores trifásicos de dois níveis para alimentar, cada um, uma das fases de um motor trifásico, fornecendo a esta o triplo da potência de cada inversor. São utilizados transformadores na saída com o objetivo de realizar a soma das tensões dos módulos trifásicos, como pode ser visto na Figura 2.12. Esta ligação em cascata resulta em um inversor trifásico de quatro níveis.

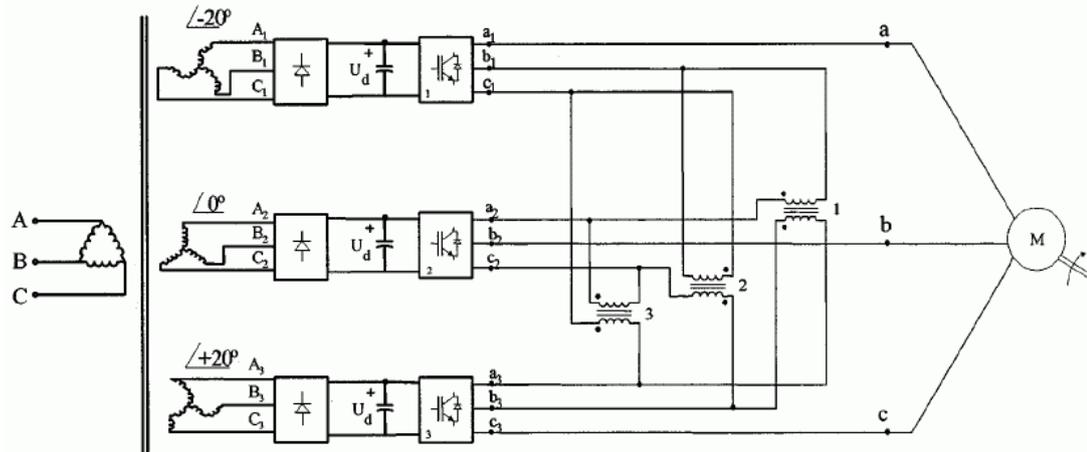


Figura 2.12: Topologia HBC trifásica com 4 níveis por fase.

A topologia proposta por [15] e mostrada na Figura 2.13 apresenta vantagens em relação à topologia multinível NPC. Fazendo-se $V_{ac1} = V_{ac2} = V_{ac3}/2$, tem-se um inversor com cinco níveis que, comparado à topologia NPC de cinco níveis, apresenta redução no número de diodos de grameamento (seis para dois) em cada braço, além da redução no número de capacitores no barramento CC (quatro para dois), embora haja o acréscimo de um capacitor flutuante (C_3) pertencente à ponte H de dois níveis. No entanto, este capacitor pode ter sua tensão controlada através da escolha adequada das redundâncias disponíveis em cada braço.

Outra possibilidade oferecida por esta topologia é utilizar $V_{ac1} = V_{ac2} = V_{ac3}/3$. Neste caso o inversor passa a ter 9 níveis mas desaparecem as redundâncias por braço, o que dificulta o controle da tensão de C_3 . Este capacitor pode ser substituído por uma fonte CC independente ou pode-se usar as redundâncias presentes entre os vetores espaciais, no caso de inversor trifásico.

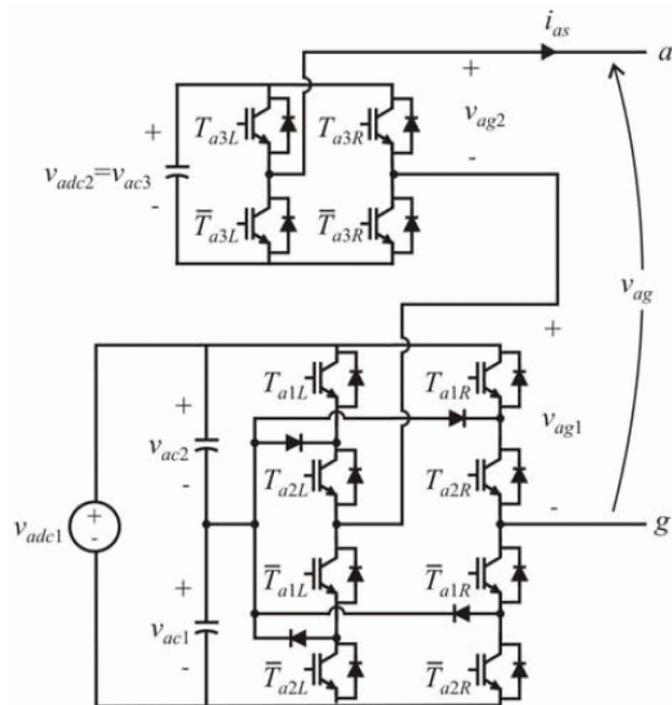


Figura 2.13: Topologia multinível assimétrica com até 9 níveis. O diagrama corresponde a um inversor monofásico.

Em [44] é apresentada uma topologia que utiliza uma ponte H e uma quinta chave e é capaz de produzir cinco níveis de tensão na carga utilizando apenas cinco chaves, quatro diodos de grameamento e dois capacitores, conforme mostrado na Figura 2.14. Na versão trifásica deste circuito, contudo, cada braço terá apenas três níveis. Neste caso, comparado ao conversor NPC trifásico de três níveis, a topologia proposta utiliza uma chave a menos e um diodo a mais por braço.

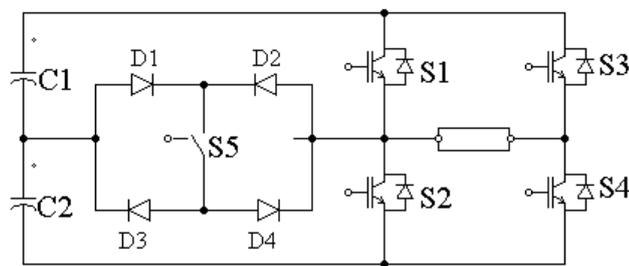


Figura 2.14: conversor de cinco níveis com pequeno número de chaves e apenas dois capacitores.

2.2.6 Conversores Multinível em Paralelo

As topologias apresentadas até aqui, tais como NPC, FC e cascata, se caracterizam pela conexão em série de dois ou mais conversores convencionais de dois níveis, resultando em um conversor multinível. Essa não é, no entanto, a única forma de conectar conversores de dois níveis visando obter conversores multiníveis. Uma outra abordagem que vem recebendo atenção nos últimos anos é o dual dos conversores multiníveis conectados em série, isto é, a conexão em paralelo de conversores convencionais.

A Figura 2.15 mostra a conexão em paralelo de três conversores convencionais. A conexão em paralelo de fontes de tensão deve ser feita utilizando-se fontes de corrente que funcionam como acopladores entre as diversas células inversoras. Os três enrolamentos de cada acoplador mostrado na Figura 2.15 podem ser magneticamente acoplados entre si ou não.

O principal objetivo ao se conectar conversores em paralelo é aumentar a capacidade de corrente do conversor final, a qual será dada pelo produto entre a capacidade de corrente de cada conversor pelo número de conversores em paralelo. No entanto, outras vantagens advêm da conexão em paralelo de conversores convencionais, dentre elas o aparecimento de tensão multinível na saída. Um conversor com n células inversoras em paralelo, sendo cada célula um conversor de dois níveis como o mostrado na Figura 2.15, produz na saída uma tensão com $2 \cdot n - 1$ níveis. Além disso, o *ripple* de alta frequência observado na corrente de carga possui frequência n vezes maior que a frequência do *ripple* observado na corrente em cada célula. Isso possibilita a redução no filtro utilizado e, conseqüentemente, na energia total armazenada nos indutores, a qual é proporcional a $1/n^2$.

No Capítulo 8 é apresentado um estudo envolvendo um sistema constituído por dois inversores em paralelo com acoplamento magnético.

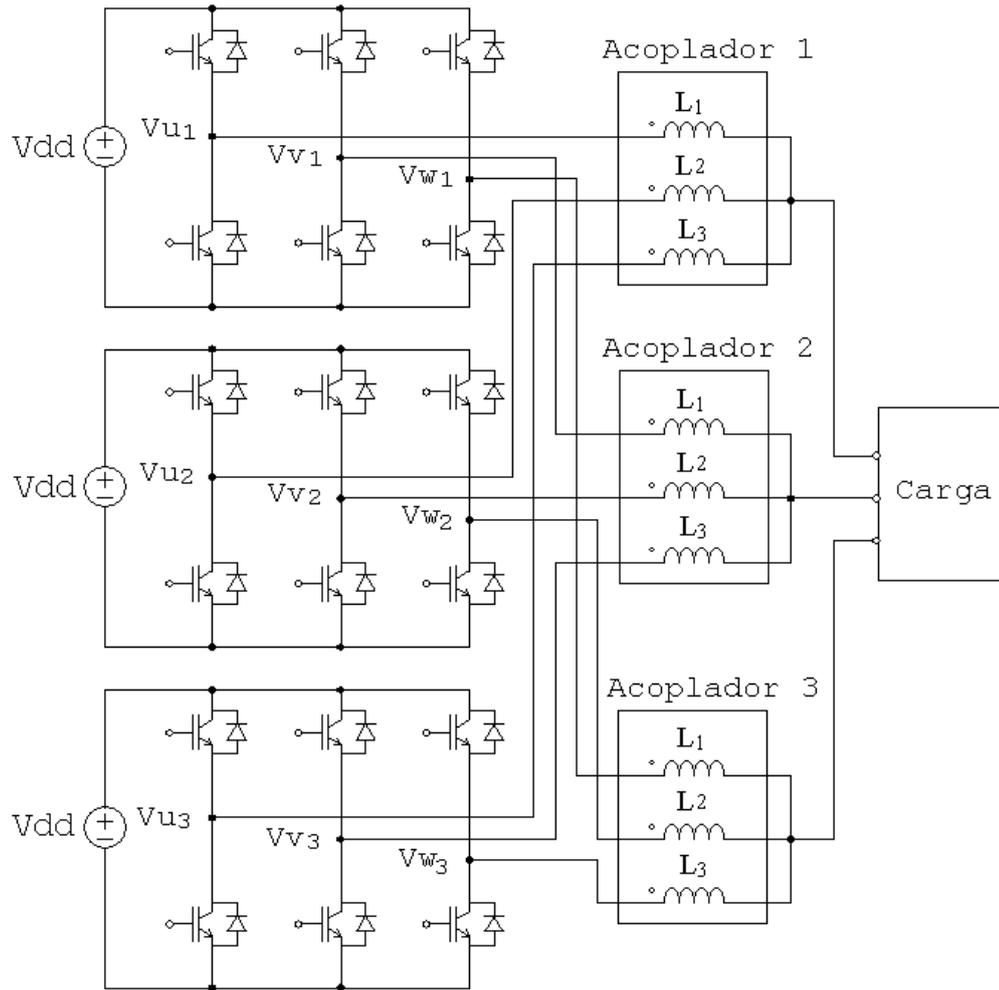


Figura 2.15: Conversor resultante da conexão em paralelo de três conversores trifásicos convencionais.

2.3 Métodos de Modulação

Diferentes métodos de modulação para inversores multiníveis foram propostos ao longo das últimas duas décadas com o objetivo de otimizar as duas principais figuras de mérito associadas aos inversores multiníveis (perdas por chaveamento e THD), bem como resolver os demais problemas associados aos inversores multiníveis listados, em especial o problema do balanceamento das tensões nos capacitores do barramento CC e o problema do custo computacional dos algoritmos de modulação. Os principais métodos de modulação atualmente empregados são: 1) Modulação por Portadora Senoidal (SPWM) [45], [59]; 2) Modulação por Vetores Espaciais (SV-PWM) [38], [45], [46], [47]; 3) Eliminação Seletiva de Harmônicos (SHE) [48], [49], [50]. Outros métodos de modulação podem ser encontrados na literatura [51], [52], [54]. Abaixo são descritas as principais características dos principais métodos encontrados.

1) Space-Vector PWM (SV-PWM)

O método de modulação SV-PWM baseia-se no conceito de vetores espaciais introduzido por *Kovács* e *Rácz* em 1984. Os vetores espaciais presentes no plano de fases de um inversor trifásico qualquer são definidos por

$$\mathbf{V}(t) = (2/3) \cdot [\mathbf{V}_a(t) + a \cdot \mathbf{V}_b(t) + a^2 \cdot \mathbf{V}_c(t)] \quad (2.13)$$

$$\text{onde } a = -1/2 + j\sqrt{3}/2$$

\mathbf{V}_a , \mathbf{V}_b e \mathbf{V}_c são as três tensões fase-neutro do inversor

A Figura 2.16 apresenta o primeiro sextante do espaço vetorial de um inversor trifásico de três níveis. No método SV-PWM, um vetor espacial “médio” é sintetizado na saída através da comutação entre três vetores originais. Os vetores escolhidos para este fim são aqueles que estão nos vértices do triângulo dentro do qual está o vetor de referência \mathbf{V}^* . No exemplo mostrado na Figura 2.16, estes vetores são \mathbf{V}_2 , \mathbf{V}_4 e \mathbf{V}_5 . Os tempos de aplicação de cada um deles devem ser tais que a média ponderada pelo tempo dos três seja igual ao vetor de referência \mathbf{V}^* amostrado em um determinado instante. Os maiores vetores médios sintetizáveis utilizando-se o método SV-PWM, dentro da região linear do inversor, têm amplitude igual a $V_{dd}/\sqrt{3}$.

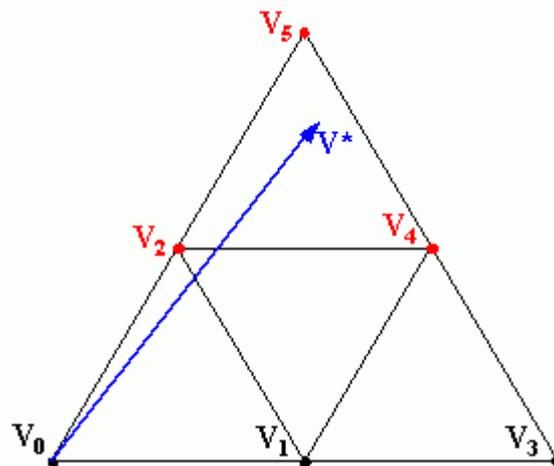


Figura 2.16: Método SV-PWM – síntese de vetores médios através de vetores existentes.

Definindo-se o índice de modulação do inversor como sendo a relação entre a amplitude do vetor sintetizado na saída e a componente fundamental da tensão *six-step*, tem-se que o valor máximo do índice de modulação obtido com o método SV-PWM, dentro da região linear, vale

$$M_{\text{MÁX}} = \frac{V_{\text{dd}}/\sqrt{3}}{(2/\pi) \cdot V_{\text{dd}}} = 0,9096$$

O método SV-PWM apresenta uma boa relação entre a distorção harmônica da tensão de saída e as perdas por comutação nas chaves do inversor. Suas principais desvantagens são seu custo computacional elevado de suas equações, o que obriga a utilização de tabelas (*look-up tables*) que auxiliam a determinação do triângulo onde está o vetor de referência.

Algumas variações do método SV-PWM, como a proposta por M. A. Severo Mendes [38], objetivam reduzir o custo computacional do algoritmo de modulação. Outras variações visam reduzir a distorção harmônica na tensão de saída [53], [54].

2) Modulação PWM Senoidal Com Portadora (SPWM)

O método de modulação PWM Senoidal Com Portadora (SPWM), também denominado PWM Natural, consiste na determinação dos sinais de comando das chaves do inversor através da comparação da tensão senoidal de referência com uma portadora triangular de frequência mais alta. Este método, originalmente proposto para inversores convencionais de dois níveis, foi posteriormente estendido para inversores multiníveis. Em um modulador para um inversor multinível com N níveis, a tensão senoidal de referência é comparada com N-1 portadoras triangulares de mesma amplitude e frequência, deslocadas verticalmente, gerando-

se assim sinais de comando para $(N-1)/2$ chaves de cada braço do inversor. As demais $(N-1)/2$ chaves do mesmo braço recebem sinais de comandos complementares aos das primeiras.

Neste método a frequência de comutação do inversor será igual à frequência das portadoras triangulares. Frequências mais altas reduzem as distorções harmônicas na tensão de saída, mas, em contrapartida, aumentam o número de comutações das chaves por período da fundamental, aumentando as perdas por comutação.

Uma desvantagem atribuída a este método é a reduzida faixa de índice de modulação dentro da região de operação linear do inversor. Como o valor de pico da tensão fase-neutro na saída de um inversor trifásico de três níveis vale $V_{dd}/2$, o índice de modulação máximo, dado como relação entre este valor e a componente fundamental da tensão *six-step* é:

$$M_{MÁX} = \frac{V_{dd}/2}{(2/\pi) \cdot V_{dd}} = \frac{\pi}{4} = 0,785$$

valor este menor do que o obtido pelo método SV-PWM, cujo $M_{MÁX}$ vale 0,907. No entanto, esta desvantagem pode ser facilmente contornada se for feita a injeção de terceiro harmônico na tensão de referência [54], [55]. Neste caso, o limite de tensão de saída obtido com o método SPWM passa a ser o mesmo daquele correspondente ao método SV-PWM.

Os métodos SPWM e SV-PWM, embora utilizando abordagens diferentes, são equivalentes se for feita uma injeção de seqüência zero adequada na tensão de referência utilizada no método SPWM [41], [43], [45], [56].

Outros problemas do método, de solução bem mais complexa, são:

- custo computacional da sua implementação digital;
- não prevê a operação dentro da região de sobre-modulação do inversor;
- ao contrário do método SV-PWM, ele não apresenta uma maneira natural de se utilizar as redundâncias presentes no circuito de forma a equalizar as tensões dos capacitores.

3) Eliminação Seletiva de Harmônicos (SHE)

O método de modulação por Eliminação Seletiva de Harmônicos (SHE), se baseia na eliminação de harmônicos pré-determinados à partir da escolha dos ângulos de comutação que determinam a passagem de um nível para outro, conforme mostrados na Figura 2.17 para um inversor com um número de níveis N igual a $2 \cdot m + 1$ operando com um índice de modulação elevado.

Com n comutações por quarto de onda, é possível controlar a amplitude da componente fundamental e eliminar $n-1$ harmônicos. Para isso, é necessário determinar os ângulos de comutação $\alpha_1, \alpha_2, \dots, \alpha_m$ de forma a se obter as amplitudes desejadas da componente fundamental e dos $n-1$ harmônicos utilizando-se a equação (2.14)

$$h_n = \frac{4}{n\pi} \sum_{k=1}^m [V_k \cos(n\alpha_k)] \quad (2.14)$$

A principal desvantagem do método SHE é o seu elevado custo computacional. A determinação dos m ângulos de disparo necessários para a eliminação dos harmônicos selecionados implica encontrar a solução de equações transcendentais, o que impede que estes cálculos sejam feitos em tempo real. A solução é a utilização de tabelas (*look-up tables*) com valores de ângulos de disparo previamente calculados e armazenados. Esta solução, por sua vez, apresenta como inconveniente o fato de o tamanho destas tabelas ser diretamente proporcional tanto ao número de níveis do inversor quanto à resolução que se deseja ter do índice de modulação M . Para se limitar o seu tamanho de forma a viabilizar o seu armazenamento em dispositivos como o DSP, deve-se limitar a resolução de M , o que é um inconveniente em acionamentos elétricos. Algumas soluções para este problema podem ser encontradas na literatura [57], [58].

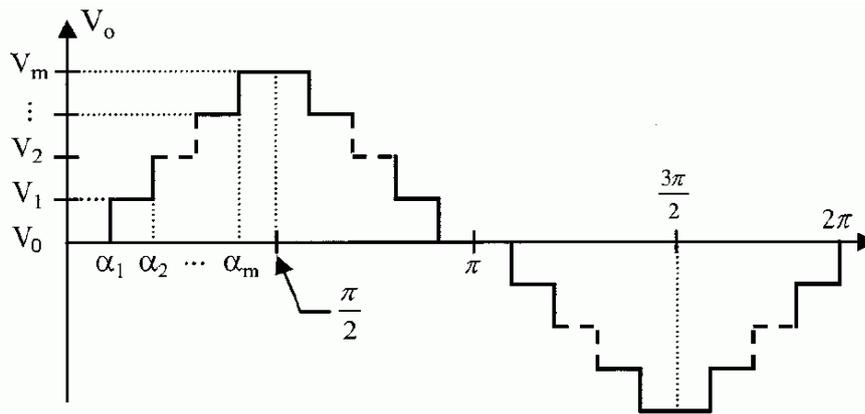


Figura 2.17: Ângulos de comutação utilizados no método SHE.

4) Outros Métodos de Modulação

Encontram-se na literatura uma série de variações dos três principais métodos de modulação apresentados acima, as quais apresentam objetivos e aplicações específicos.

Na referência [59] os autores apresentam um método de modulação para conversores multiníveis nas topologias HBC e Cascata Híbrida que produz o mesmo resultado, em termos de distorção harmônica, que aquele alcançado utilizando-se o método SPWM com deslocamento de fase nos conversores NPC.

Em [60] é apresentado um método de modulação baseado no método SV-PWM, voltado para a aplicação em conversores NPC a GTO, cujo objetivo é minimizar a distorção harmônica na tensão utilizando uma estratégia para contornar a limitação de largura de pulso mínima imposta pelo GTO.

Uma técnica de modulação baseada no método SV-PWM objetivando reduzir a distorção harmônica em conversores na topologia FC é apresentada em [61].

Em [62] é apresentado um método de modulação desenvolvido para o conversor HBC de sete níveis usado como STATCOM e baseado no método *Step Modulation*, capaz de trabalhar com baixa frequência de comutação sem ultrapassar o limite de distorção harmônica na corrente injetada no sistema, não necessitando de filtros na saída. Em [63] o mesmo autor apresenta uma técnica de cálculo dos ângulos ótimos usados no método *Step Modulation* que permite que tais ângulos sejam calculados em tempo real, eliminando uma das principais desvantagens deste método, seu elevado custo computacional.

2.4 Semicondutores Utilizados como Chaves Principais

Os semicondutores utilizados como chaves principais nos inversores precisam ter capacidade de bloqueio através de comando no terminal de gatilho ou base. Três dispositivos são atualmente empregados nestas aplicações: o GTO (*Gate Turn-Off Tiristor*), o MOSFET (*Metal–Oxide–Semiconductor Field-Effect Transistor*), o IGBT (*Insulated Gate Bipolar Transistor*) e o IGCT (*Integrated Gate-Comutated Thyristor*).

O GTO foi o primeiro dispositivo com comando de desligamento pelo terminal de controle a ser utilizado em inversores. Sua estrutura é derivada do SCR, com modificações no terminal de gatilho visando permitir o desligamento através de comando neste terminal. Seu principal inconveniente é seu baixo ganho de desligamento, o que exige elevada corrente proveniente do módulo de controle para executar este tipo de manobra.

O MOSFET possui terminal de comando isolado e controlado em tensão, exigindo pequena potência de comando, o que juntamente à sua elevada capacidade de frequência são suas principais vantagens em relação ao GTO. Sua principal limitação é sua queda de tensão em condução, que cresce rapidamente com o aumento da capacidade de bloqueio do dispositivo.

O IGBT foi o passo seguinte de dispositivo de potência com disparo e bloqueio controlados pelo terminal de gatilho, e conserva a vantagem de controle em tensão do MOSFET, possuindo terminal de controle eletricamente isolado. No entanto sua estrutura interna é derivada do Transistor de Junção Bipolar (TJB), o que ao contrário do MOSFET, lhe confere uma baixa tensão de condução.

O IGCT possui estrutura interna derivada do tiristor e, portanto, semelhante à do GTO. No entanto, apresenta elevado ganho de comando de desligamento, eliminando a principal desvantagem do GTO. Em relação ao IGBT, o IGCT apresenta capacidade de tensão de bloqueio similar e capacidade de corrente mais alta. Sua frequência de trabalho máxima é inferior à do IGBT e superior à do GTO. O IGCT é fornecido com o circuito de comando de base incorporado ao seu encapsulamento, sendo necessário apenas conectar uma fonte de alimentação independente. O IGBT e o GTO são fornecidos sem o circuito de disparo.

O IGBT apresenta, em relação ao IGCT, a vantagem de permitir o controle da taxa de variação da corrente de anodo via comando de base. No IGCT este controle não é disponível e deve-se utilizar um circuito externo capaz de limitar a taxa de crescimento da corrente. No entanto, o IGCT apresenta uma vantagem em relação ao IGBT que justifica a sua escolha em

aplicações de média tensão e alta potência: o IGCT apresenta perdas ligeiramente menores que as do IGBT em condução e muito menores durante o transitório de disparo (cerca de 8% das perdas apresentadas pelo IGBT). O IGBT apresenta perdas um pouco menores durante o bloqueio [64]. A soma das perdas em disparo e bloqueio, no entanto, são geralmente favoráveis ao IGCT. Em aplicações de média tensão e alta potência, isso significa poder utilizar frequências de comutação um pouco maiores, o que permite reduzir a THD da tensão.

Sendo assim, as aplicações atuais se limitam aos dois últimos dispositivos acima (IGBT e IGCT), sendo o primeiro vantajoso em aplicações de média potência ou que exijam menores frequências de comutação, e sendo o último a melhor escolha em aplicações de alta potência.

Além das diferenças listadas acima, outras diferenças funcionais devem ser consideradas ao se escolher e especificar um dispositivo de potência para aplicação em um conversor multinível.

Estas características são:

- T_{ON} e T_{OFF} : são os tempos mínimos que estes dispositivos devem permanecer ligados (t_{ON}) ou desligados (t_{OFF}) antes de uma nova comutação;
- t_{ON} e t_{OFF} : são os tempos de duração dos transitórios de disparo e bloqueio respectivamente;
- f_{MAX} : é a máxima frequência de chaveamento na qual os dispositivos podem operar;

2.5 Conclusões

Inversores multiníveis são uma solução atrativa para elevar a tensão e a potência da carga a partir da utilização de semicondutores com tensões de bloqueio e capacidade de corrente padrão. Isso permite a utilização de chaves mais baratas, reduzindo o custo da solução final e flexibilizando a fase de projeto do conversor, uma vez que estas chaves são fornecidas por um grande número de fabricantes em uma vasta gama de parâmetros de corrente, tensão e frequência.

Diversas topologias de conversores multiníveis podem ser encontradas na literatura, cada qual apresentando uma ou mais vantagens com relação às demais, tais como facilidade para a equalização das tensões dos capacitores, redução do número total de chaves para um determinado número de níveis N , capacidade de modularização, eliminação de elementos reativos (indutores e capacitores), redução do número de fontes de tensão CC independentes necessárias, etc.

As duas principais figuras de mérito usadas para avaliar conversores multiníveis são as perdas por comutação nas chaves e a THD na tensão de saída. Existe um *trade-off* entre as duas e a melhora de uma geralmente implica na piora da outra.

Os principais métodos de modulação utilizados em inversores convencionais de dois níveis, como o SV-PWM, o SPWM e o SHE, podem também ser usados em conversores multiníveis. Os métodos SPWM e SV-PWM se equivalem e apresentam boa relação entre perdas por comutação e THD da tensão de saída. O método SHE produz menores perdas por comutação que os dois métodos anteriores, mas apresenta elevado custo computacional.

Em aplicações de média tensão e alta potência as perdas por comutação tornam-se um problema importante a ser resolvido. Diversas soluções em termos de topologias e de métodos de modulação já foram propostas visando minimizar estas perdas, a maioria delas impactando negativamente no THD da tensão de saída.

Dois dispositivos de potência são preferencialmente utilizados em inversores multi-níveis, o IGBT e o IGCT. O IGCT é o mais vantajoso em aplicações de média tensão e alta potência devido às menores perdas durante o disparo quando comparado ao IGBT.

3 Estudo do Inversor NPC Trifásico

A topologia Neutro Grampeado a Diodo (NPC) é uma das mais estudadas e a mais utilizada comercialmente dentre as topologias de conversores multiníveis existentes. Embora tenha sido proposta após a topologia HBC, a topologia NPC foi a primeira a ser largamente usada na indústria. A sua versão de três níveis responde pela maior parte das aplicações comerciais, mas a versão de cinco níveis é atualmente mais estudada e já responde por um número considerável de aplicações comerciais.

As vantagens da topologia NPC com relação à topologia HBC são a necessidade de uma única fonte de tensão CC e a menor complexidade do circuito. Comparado à topologia FC, o conversor NPC não apresenta o problema relacionado ao transitório de partida observado no conversor FC, quando diferentes tensões sobre os capacitores flutuantes precisam ser previamente ajustadas, o que exige a utilização de circuitos externos dedicados a este fim.

A seguir é apresentado um estudo detalhado das características da topologia NPC.

3.1 O Inversor NPC Trifásico de Três Níveis

O circuito correspondente a um dos braços do inversor com neutro grampeado a diodo (NPC) de três níveis é mostrado na Figura 3.1. Os diodos D_1 e D_2 têm como objetivo limitar as tensões nas chaves externas (S_1 e S_4) e por isso são denominados diodos de grampeamento. Outra função destes diodos é permitir que se possa aplicar o potencial do ponto 0 no ponto V_s do braço, no qual é conectada uma das fases da carga.

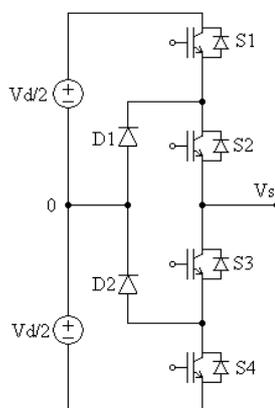


Figura 3.1: Inversor NPC de três níveis (braço da fase A).

Cada braço do inversor pode assumir três estados diferentes, caracterizados pela tensão no ponto V_s em relação ao ponto 0. Estes estados são função da combinação de estados das 4 chaves S_1 , S_2 , S_3 e S_4 , e são mostrados na Tabela 3.1, juntamente com a combinação de estados das chaves necessária para gerar cada um deles.

Tabela 3.1: Estados possíveis na fase A para um inversor NPC de três níveis
L = ligado; D = desligado

Estados	V_s	Estado das Chaves			
		S_1	S_2	S_3	S_4
1	$V_{dd}/2$	L	L	D	D
0	0	D	L	L	D
-1	$-V_{dd}/2$	D	D	L	L

3.2 O Inversor NPC Trifásico de Cinco Níveis

O conversor NPC de cinco níveis, mostrado na Figura 3.2, é uma extensão do inversor NPC de três níveis, no qual, além de ser possível gerar na saída de cada braço (pontos V_a , V_b e V_c desta figura) os potenciais $+V_{dd}/2$, 0 e $-V_{dd}/2$, é possível também gerar outros dois potenciais intermediários: $+V_{dd}/4$ e $-V_{dd}/4$. Para que isso seja possível, são necessárias 8 chaves e, pelo menos, 6 diodos de grameamento em cada braço do conversor. Na maioria das aplicações, não há conexão elétrica entre o ponto de neutro da carga (ponto N) e o ponto central do barramento CC do inversor (ponto 0).

A Tabela 3.2 apresenta os cinco estados que cada braço do inversor NPC de cinco níveis pode assumir, bem como a combinação de estados das 8 chaves necessária para gerar cada um destes estados. Cada um destes estados é caracterizado pelo potencial dos pontos V_a , V_b e V_c em relação ao ponto 0.

Os diodos de grameamento DC_1 a DC_6 indicados no braço A do conversor da Figura 3.2 são submetidos a diferentes valores de tensão de polarização reversa, especificados na Tabela 3.3. Para evitar o superdimensionamento daqueles submetidos às tensões mais baixas ($V_{dd}/4$ e $2 \cdot V_{dd}/4$), pode-se: (a) especificar diodos com tensões reversas diferentes, adequados a cada posição no circuito; (b) utilizar diodos idênticos e especificados para a menor tensão de polarização reversa da Tabela 3.3 e, nas posições onde as tensões reversas são maiores, utilizar conexões em série de dois ou três diodos. Esta última é a solução normalmente adotada na prática, já que elimina o problema da especificação de diodos diferentes em um mesmo circuito. Seguindo-se este raciocínio, no diagrama da Figura 3.2 os símbolos DC_2 e DC_5 correspondem a três diodos em série especificados para a tensão $V_{dd}/4$, enquanto que os

símbolos DC_3 e DC_4 equivalem a dois destes diodos em série, também especificados para $V_{dd}/4$.

Com relação às chaves principais de cada braço do inversor NPC de cinco níveis, indicadas como S_1 a S_8 no diagrama da Figura 3.2, todas elas são submetidas a uma mesma tensão de polarização direta máxima, igual a $V_{dd}/4$. Esta é uma das grandes vantagens dos inversores multiníveis, ou seja, a menor solicitação de tensão sobre as chaves principais do circuito. De forma genérica, a tensão direta máxima sobre as chaves de um inversor de N níveis será igual a $V_{dd}/(N-1)$.

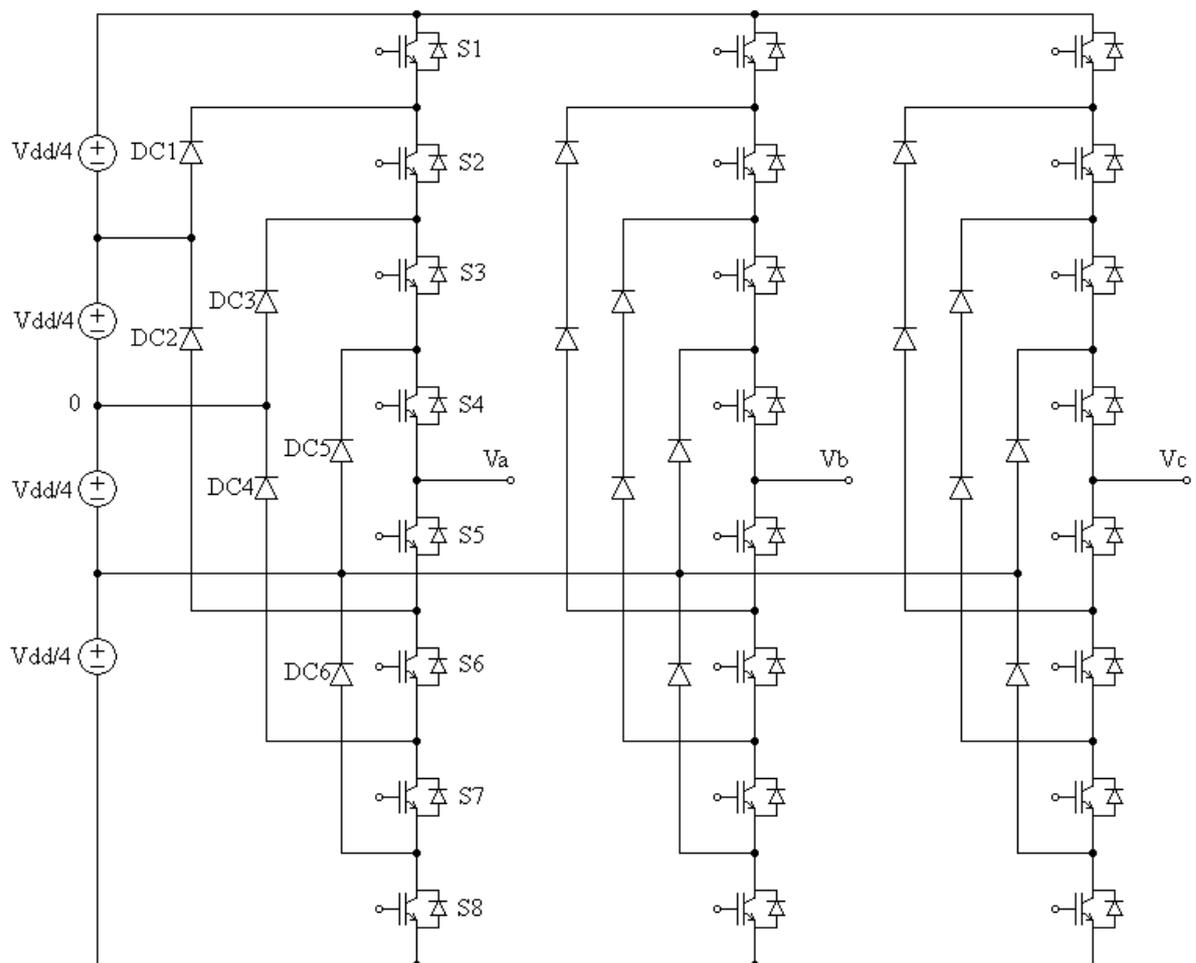


Figura 3.2: Diagrama do Inversor Trifásico NPC de cinco níveis.

Tabela 3.2: Estados de um braço de um inversor NPC de cinco níveis

Estados	V_s	Estado das Chaves (L = ligado; D = desligado)							
		S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
2	$V_{dd}/2$	L	L	L	L	D	D	D	D
1	$V_{dd}/4$	D	L	L	L	L	D	D	D
0	0	D	D	L	L	L	L	D	D
-1	$-V_{dd}/4$	D	D	D	L	L	L	L	D
-2	$-V_{dd}/2$	D	D	D	D	L	L	L	L

Tabela 3.3: Tensões de polarização reversa nos diodos de grampeamento

	Diodos de Grampeamento		
	DC ₁ e DC ₆	DC ₃ e DC ₄	DC ₂ e DC ₅
Tensão Reversa	Vdd/4	2·Vdd/4	3·Vdd/4

Cada braço do inversor de cinco níveis pode assumir cinco diferentes estados, dependendo de quais das oito chaves estão ligadas ou desligadas, conforme Tabela 3.2. Desta forma, a tensão do ponto central de cada braço em relação ao ponto 0 pode ser igual a $+V_{dd}/2$, $+V_{dd}/4$, 0, $-V_{dd}/4$ ou $-V_{dd}/2$ (estados +2, +1, 0, -1 e -2 respectivamente). Havendo três braços, com cinco estados possíveis cada um, o número de diferentes combinações de estados deste inversor será igual a $5^3 = 125$ estados. Muitos destes estados são redundantes, isto é, produzem as mesmas tensões fase-neutro nas três fases da carga.

A tensão no ponto central de cada braço em relação ao ponto 0 indicado no diagrama da Figura 3.2 (V_{XO} onde $X = \{A,B,C\}$) pode ser expressa em função do estado em que se encontra esta fase. Seja C_A uma variável cujo valor equivale ao estado em que se encontra a fase A do inversor, ou seja, $C_A = \{2,1,0,-1,-2\}$. A tensão V_{AO} pode ser expressa através da seguinte equação em função de C_A :

$$V_{AO} = f(C_A) = (V_{dd}/4) \cdot C_A$$

Pode-se escrever expressões análogas para as fases B e C, ou, de forma genérica,

$$V_{XO} = (V_{dd}/4) \cdot C_X \quad \text{para } X = \{A,B,C\} \quad (3.1)$$

Considerando-se carga trifásica equilibrada conectada em Y e sem conexão entre o neutro e o ponto 0, pode-se determinar as tensões fase-neutro V_{AN} , V_{BN} e V_{CN} em função das tensões V_{XO} no inversor aplicando-se o teorema da superposição ao circuito mostrado na Figura 3.3, obtendo-se:

$$\begin{aligned} V_{AN} &= +(2/3) \cdot V_{AO} - (1/3) \cdot V_{BO} - (1/3) \cdot V_{CO} \\ V_{BN} &= -(1/3) \cdot V_{AO} + (2/3) \cdot V_{BO} - (1/3) \cdot V_{CO} \\ V_{CN} &= -(1/3) \cdot V_{AO} - (1/3) \cdot V_{BO} + (2/3) \cdot V_{CO} \end{aligned}$$

ou, em notação matricial,

$$\begin{pmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{pmatrix} = \begin{pmatrix} +2/3 & -1/3 & -1/3 \\ -1/3 & +2/3 & -1/3 \\ -1/3 & -1/3 & +2/3 \end{pmatrix} \cdot \begin{pmatrix} V_{AO} \\ V_{BO} \\ V_{CO} \end{pmatrix} \quad (3.2)$$

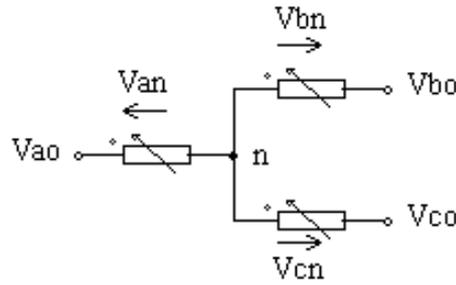


Figura 3.3: Carga trifásica equilibrada alimentada pelo inversor.

Substituindo (3.1) em (3.2), vem

$$\begin{vmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{vmatrix} = (V_{dd}/4) \cdot \begin{vmatrix} +2/3 & -1/3 & -1/3 \\ -1/3 & +2/3 & -1/3 \\ -1/3 & -1/3 & +2/3 \end{vmatrix} \cdot \begin{vmatrix} C_A \\ C_B \\ C_C \end{vmatrix} \quad \text{com } C_x = \{2,1,0,-1,-2\} \quad (3.3)$$

A equação (3.3) permite calcular as tensões fase-neutro na carga em função da tensão Vdd do barramento CC e dos estados dos três braços do inversor de cinco níveis. A Tabela 3.4 apresenta as 125 combinações possíveis das variáveis Ca, Cb e Cc, bem como as tensões fase-neutro correspondentes calculadas segundo a equação (3.3) e mostradas nas colunas 5, 6 e 7 da tabela.

A partir das tensões fase-neutro na carga, determina-se as componentes nos eixos d e q do plano de fases das tensões V_{AN} , V_{BN} e V_{CN} utilizando-se a transformada de Clark:

$$V_d = (2/3) \cdot (V_{AN} \cdot \cos(0^\circ) + V_{BN} \cdot \cos(120^\circ) + V_{CN} \cdot \cos(240^\circ))$$

$$V_q = (2/3) \cdot (V_{AN} \cdot \sin(0^\circ) + V_{BN} \cdot \sin(120^\circ) + V_{CN} \cdot \sin(240^\circ))$$

ou, em notação matricial,

$$\begin{vmatrix} V_d \\ V_q \end{vmatrix} = (2/3) \cdot \begin{vmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{vmatrix} \cdot \begin{vmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{vmatrix} \quad (3.4)$$

Substituindo (3.3) em (3.4) vem:

$$\begin{vmatrix} V_d \\ V_q \end{vmatrix} = (V_{dd}/6) \cdot \begin{vmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{vmatrix} \cdot \begin{vmatrix} C_A \\ C_B \\ C_C \end{vmatrix} \quad (3.5)$$

A equação (3.5) é usada para determinar as coordenadas d e q dos vetores espaciais (colunas 8 e 9 da Tabela 3.4) em função dos sinais de comando. Para se obter as coordenadas polares (módulo e ângulo) deste vetor, mostradas nas colunas 10 e 11 da Tabela 3.4, utiliza-se

$$|\mathbf{V}| = (\mathbf{V}d^2 + \mathbf{V}q^2)^{1/2} \quad (3.6)$$

$$\angle \mathbf{V} = \tan^{-1}(\mathbf{V}q/\mathbf{V}d) \quad (3.7)$$

O módulo do vetor espacial pode também ser expresso em função do índice de modulação M do inversor e da tensão do barramento CC deste através da equação

$$|\mathbf{V}| = M \cdot (2/\pi) \cdot \mathbf{V}dd \quad (3.8)$$

O valor de pico da componente fundamental da tensão fase-neutro na carga é numericamente igual ao módulo do vetor espacial correspondente, isto é,

$$\mathbf{V}_{AN1} = M \cdot (2/\pi) \cdot \mathbf{V}dd \quad (3.9)$$

A matriz da equação (3.5) é singular, isto é, uma das colunas é linearmente dependente das outras duas, o que demonstra que não é possível se determinar, de forma unívoca, as variáveis C_A , C_B e C_C a partir do vetor espacial que se deseja sintetizar. Ao contrário, há varias combinações possíveis destas três variáveis capazes de produzir um determinado vetor espacial, combinações essas chamadas redundâncias. Na Tabela 3.4 os vetores redundantes são agrupados e ordenados em função do seu módulo e ângulo. Há, por exemplo, cinco diferentes combinações das variáveis C_a , C_b e C_c capazes de produzir o vetor nulo. No total, há 61 diferentes vetores espaciais resultantes produzidos pelas 125 combinações de estados do inversor de cinco níveis trifásico. Os 24 vetores com módulo igual ou superior a $2,31 \cdot (\mathbf{V}dd/4)$ são produzidos por apenas um estado do inversor, isto é, não possuem redundância. Para os demais 37 vetores, existem redundâncias que permitem escolher a combinação mais apropriada de forma a atingir objetivos tais como:

- (i) minimizar o número de comutações das chaves;
- (ii) equalizar as potências dissipadas em cada chave;
- (iii) equalizar as tensões dos 4 capacitores do barramento CC;
- (iv) produzir uma determinada forma de onda de tensão entre o ponto de neutro da carga e o ponto central do barramento CC do inversor.

Tabela 3.4: estados possíveis em um inversor NPC de cinco níveis trifásico
 Ordenação em função do módulo e do ângulo do vetor espacial produzido na saída

Estado	Estado dos Braços do Inversor			Tensões e Vetores Resultantes (em função de $V_{dd}/4$)						
	Sa	Sb	Sc	Tensões Fase-Neutro			Vetor Resultante		Vetor Resultante	
				V _{an}	V _{bn}	V _{cn}	d	q	Módulo	Ângulo
1	-2	-2	-2	0,000	0,000	0,000	0,00	0,000	0,00	0
2	-1	-1	-1							
3	0	0	0							
4	1	1	1							
5	2	2	2							
6	-1	-2	-2	0,667	-0,333	-0,333	0,67	0,000	0,67	0
7	0	-1	-1							
8	1	0	0							
9	2	1	1							
10	-1	-1	-2	0,333	0,333	-0,667	0,33	0,577	0,67	60
11	0	0	-1							
12	1	1	0							
13	2	2	1							
14	-2	-1	-2	-0,333	0,667	-0,333	-0,33	0,577	0,67	120
15	-1	0	-1							
16	0	1	0							
17	1	2	1							
18	-2	-1	-1	-0,667	0,333	0,333	-0,67	0,000	0,67	180
19	-1	0	0							
20	0	1	1							
21	1	2	2							
22	-2	-2	-1	-0,333	-0,333	0,667	-0,33	-0,577	0,67	240
23	-1	-1	0							
24	0	0	1							
25	1	1	2							
26	-1	-2	-1	0,333	-0,667	0,333	0,33	-0,577	0,67	300
27	0	-1	0							
28	1	0	1							
29	2	1	2							
30	0	-1	-2	1,000	0,000	-1,000	1,00	0,577	1,15	30
31	1	0	-1							
32	2	1	0							
33	-1	0	-2	0,000	1,000	-1,000	0,00	1,155	1,15	90
34	0	1	-1							
35	1	2	0							
36	-2	0	-1							
37	-1	1	0	-1,000	1,000	0,000	-1,00	0,577	1,15	150
38	0	2	1							
39	-2	-1	0							
40	-1	0	1	-1,000	0,000	1,000	-1,00	-0,577	1,15	210
41	0	1	2							
42	-1	-2	0							
43	0	-1	1							
44	1	0	2	0,000	-1,000	1,000	0,00	-1,155	1,15	270
45	0	-2	-1							
46	1	-1	0							
47	2	0	1	1,000	-1,000	0,000	1,00	-0,577	1,15	330

Estado	Estado dos Braços do Inversor			Tensões e Vetores Resultantes (em função de $V_{dd}/4$)						
				Tensões Fase-Neutro			Vetor Resultante		Vetor Resultante	
	Sa	Sb	Sc	Van	Vbn	Vcn	d	q	Módulo	Ângulo
48	0	-2	-2	1,333	-0,667	-0,667	1,33	0,000	1,33	0
49	1	-1	-1							
50	2	0	0							
51	0	0	-2	0,667	0,667	-1,333	0,67	1,155	1,33	60
52	1	1	-1							
53	2	2	0							
54	-2	0	-2	-0,667	1,333	-0,667	-0,67	1,155	1,33	120
55	-1	1	-1							
56	0	2	0							
57	-2	0	0	-1,333	0,667	0,667	-1,33	0,000	1,33	180
58	-1	1	1							
59	0	2	2							
60	-2	-2	0	-0,667	-0,667	1,333	-0,67	-1,155	1,33	240
61	-1	-1	1							
62	0	0	2							
63	0	-2	0	0,667	-1,333	0,667	0,67	-1,155	1,33	300
64	1	-1	1							
65	2	0	2							
66	1	-1	-2	1,667	-0,333	-1,333	1,67	0,577	1,76	19
67	2	0	-1							
68	1	0	-2							
69	2	1	-1	1,333	0,333	-1,667	1,33	1,155	1,76	41
70	0	1	-2							
71	1	2	-1							
72	-1	1	-2	-0,333	1,667	-1,333	-0,33	1,732	1,76	101
73	0	2	-1							
74	-2	1	-1							
75	-1	2	0	-1,333	1,667	-0,333	-1,33	1,155	1,76	139
76	-2	1	0							
77	-1	2	1							
78	-2	0	1	-1,667	0,333	1,333	-1,67	-0,577	1,76	199
79	-1	1	2							
80	-2	-1	1							
81	-1	0	2	-1,333	-0,333	1,667	-1,33	-1,155	1,76	221
82	-1	-2	1							
83	0	-1	2							
84	0	-2	1	0,333	-1,667	1,333	0,33	-1,732	1,76	281
85	1	-1	2							
86	1	-2	0							
87	2	-1	1	1,333	-1,667	0,333	1,33	-1,155	1,76	319
88	1	-2	-1							
89	2	-1	0							

Estado	Estado dos Braços do Inversor			Tensões e Vetores Resultantes (em função de $V_{dd}/4$)						
				Tensões Fase-Neutro			Vetor Resultante		Vetor Resultante	
	Sa	Sb	Sc	Van	Vbn	Vcn	d	q	Módulo	Ângulo
90	1	-2	-2	2,000	-1,000	-1,000	2,00	0,000	2,00	0
91	2	-1	-1							
92	1	1	-2	1,000	1,000	-2,000	1,00	1,732	2,00	60
93	2	2	-1							
94	-2	1	-2	-1,000	2,000	-1,000	-1,00	1,732	2,00	120
95	-1	2	-1							
96	-2	1	1	-2,000	1,000	1,000	-2,00	0,000	2,00	180
97	-1	2	2							
98	-2	-2	1	-1,000	-1,000	2,000	-1,00	-1,732	2,00	240
99	-1	-1	2							
100	1	-2	1	1,000	-2,000	1,000	1,00	-1,732	2,00	300
101	2	-1	2							
102	2	0	-2	2,000	0,000	-2,000	2,00	1,155	2,31	30
103	0	2	-2	0,000	2,000	-2,000	0,00	2,309	2,31	90
104	-2	2	0	-2,000	2,000	0,000	-2,00	1,155	2,31	150
105	-2	0	2	-2,000	0,000	2,000	-2,00	-1,155	2,31	210
106	0	-2	2	0,000	-2,000	2,000	0,00	-2,309	2,31	270
107	2	-2	0	2,000	-2,000	0,000	2,00	-1,155	2,31	330
108	2	-1	-2	2,333	-0,667	-1,667	2,33	0,577	2,40	14
109	2	1	-2	1,667	0,667	-2,333	1,67	1,732	2,40	46
110	1	2	-2	0,667	1,667	-2,333	0,67	2,309	2,40	74
111	-1	2	-2	-0,667	2,333	-1,667	-0,67	2,309	2,40	106
112	-2	2	-1	-1,667	2,333	-0,667	-1,67	1,732	2,40	134
113	-2	2	1	-2,333	1,667	0,667	-2,33	0,577	2,40	166
114	-2	1	2	-2,333	0,667	1,667	-2,33	-0,577	2,40	194
115	-2	-1	2	-1,667	-0,667	2,333	-1,67	-1,732	2,40	226
116	-1	-2	2	-0,667	-1,667	2,333	-0,67	-2,309	2,40	254
117	1	-2	2	0,667	-2,333	1,667	0,67	-2,309	2,40	286
118	2	-2	1	1,667	-2,333	0,667	1,67	-1,732	2,40	314
119	2	-2	-1	2,333	-1,667	-0,667	2,33	-0,577	2,40	346
120	2	-2	-2	2,667	-1,333	-1,333	2,67	0,000	2,67	0
121	2	2	-2	1,333	1,333	-2,667	1,33	2,309	2,67	60
122	-2	2	-2	-1,333	2,667	-1,333	-1,33	2,309	2,67	120
123	-2	2	2	-2,667	1,333	1,333	-2,67	0,000	2,67	180
124	-2	-2	2	-1,333	-1,333	2,667	-1,33	-2,309	2,67	240
125	2	-2	2	1,333	-2,667	1,333	1,33	-2,309	2,67	300

Um inversor trifásico qualquer pode ser representado pelo seu espaço vetorial, que consiste no conjunto de vetores espaciais que este inversor pode produzir em função das combinações dos estados dos seus braços. Na Figura 3.4, na Figura 3.5 e na Figura 3.6 são mostrados os planos de fases e vetores espaciais correspondentes aos inversores trifásicos de dois, três e cinco níveis, respectivamente. A escala destas figuras foi normalizada em função da tensão do barramento CC (V_{dd}). Nas três figuras o círculo pontilhado menor (preto) indica o limite da região linear do inversor, equivalente a $M = 0,9069$, enquanto que o círculo pontilhado maior (azul) delimita a região não linear ou de sobre-modulação do mesmo e equivale a $M = 1$. Para sintetizar na saída um vetor cujo módulo seja superior ao raio dos círculos menores, o inversor terá que operar na região de sobre-modulação.

Na Figura 3.6 são mostrados quatro hexágonos. O hexágono menor (H_1) delimita todos os vetores que podem ser gerados caso a diferença entre as variáveis de estado de cada braço (Ca, Cb e Cc) tenha módulo máximo igual a 1, ($[\max(Ca,Cb,Cc) - \min(Ca,Cb,Cc)] = 1$), como por exemplo $\{2,2,1\}$, $\{1,0,1\}$ e $\{-2,-2,-1\}$. Estas combinações geram as menores tensões de fase possíveis na carga. O segundo hexágono em ordem crescente de tamanho, H_2 , representa as combinações possíveis para as quais $[\max(Ca,Cb,Cc) - \min(Ca,Cb,Cc)] = 2$, como por exemplo, $\{2,2,0\}$, $\{1,0,-1\}$ e $\{-2,0,0\}$. Da mesma forma o hexágono H_3 é caracterizado por $[\max(Ca,Cb,Cc) - \min(Ca,Cb,Cc)] = 3$, enquanto que o hexágono maior, H_4 , por $[\max(Ca,Cb,Cc) - \min(Ca,Cb,Cc)] = 4$, como por exemplo $\{2,2,-2\}$, $\{2,-2,0\}$, $\{2,-1,-2\}$, $\{-1,2,-2\}$ e $\{0,2,-2\}$.

O número de redundâncias N_R de um vetor pertencente ao hexágono H_i , onde $i = \{1,2,3,4\}$, é dado por

$$N_R = 4 - i \quad (3.10)$$

Pode-se escrever também

$$N_R = 4 - [\max(Ca,Cb,Cc) - \min(Ca,Cb,Cc)] \quad (3.11)$$

que expressa o número de redundâncias em função das variáveis de estado. Isto significa que os vetores do hexágono H_1 possuem três redundâncias, os de H_2 , duas redundâncias, os do H_3 , uma redundância, e os do H_4 não possuem redundância.

O vetor nulo é gerado por qualquer combinação na qual as três variáveis de estado são iguais em módulo e sinal ($\{2,2,2\}$, $\{1,1,1\}$, $\{0,0,0\}$, $\{-1,-1,-1\}$ e $\{-2,-2,-2\}$).

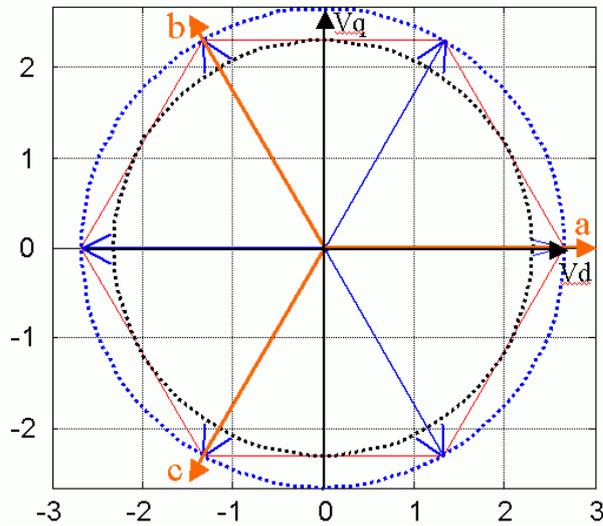


Figura 3.4: Vetores espaciais de um inversor trifásico de dois níveis.

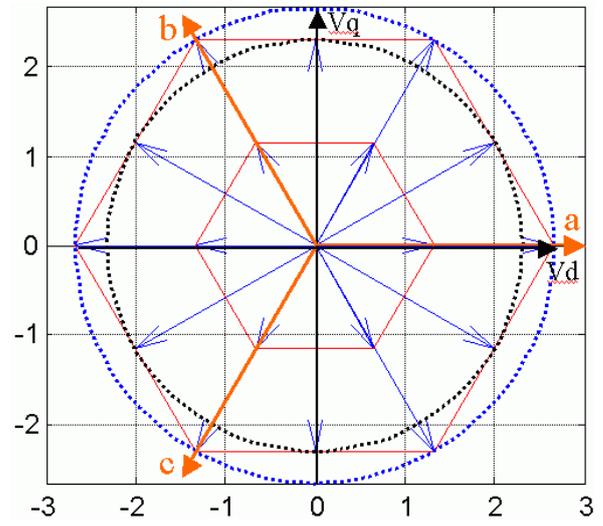


Figura 3.5: Vetores espaciais de um inversor trifásico de três níveis.

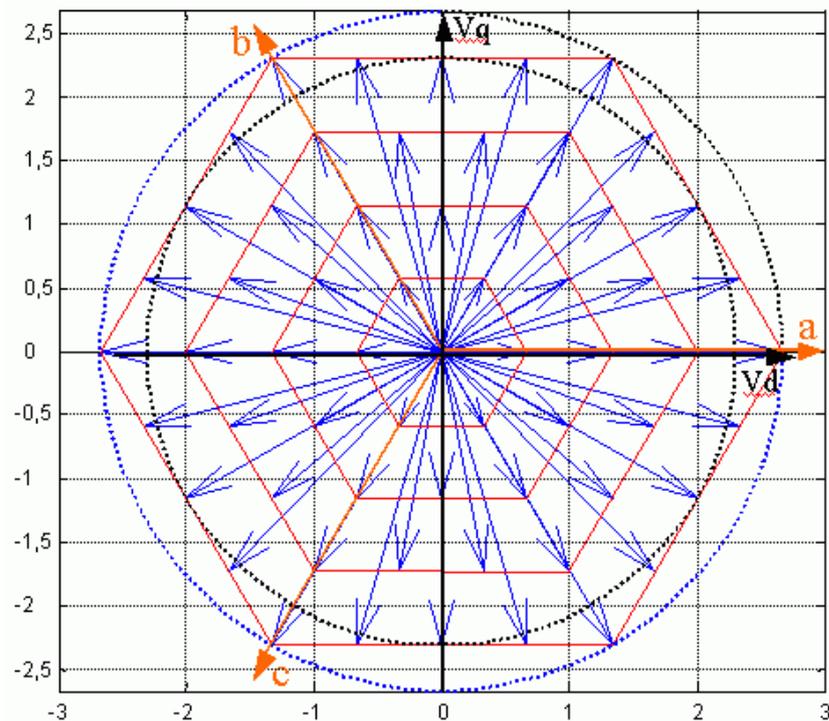


Figura 3.6: Vetores espaciais de um inversor NPC trifásico de cinco níveis.

Uma forma mais usual de representação gráfica dos vetores espaciais no plano de fases é a mostrada na Figura 3.7 (correspondente a um inversor de cinco níveis) na qual os vetores espaciais são representados pelos vértices dos triângulos mostrados.

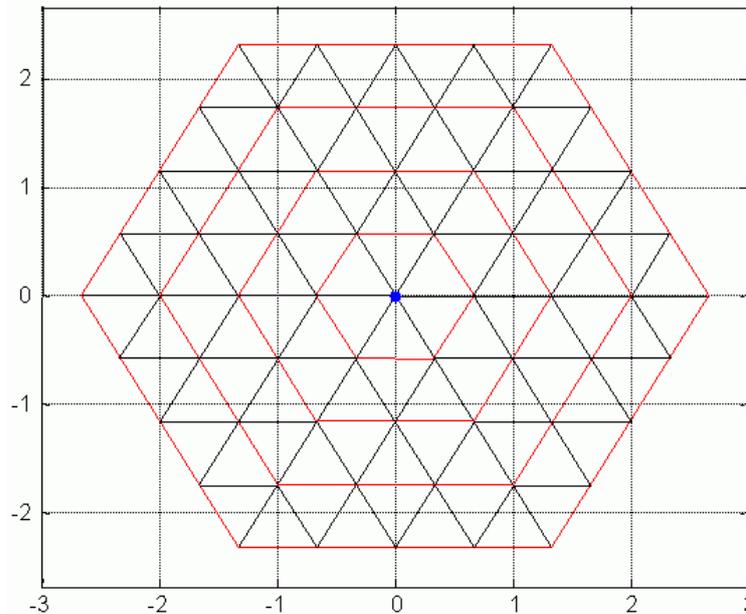


Figura 3.7: Representação do espaço vetorial no inversor NPC de cinco níveis.

3.3 Regiões Linear e de Sobre-modulação do Inversor

O círculo pontilhado menor na Figura 3.8, inscrito no hexágono maior (H_4), determina a fronteira entre as regiões linear e de sobre-modulação do inversor. Qualquer vetor espacial de referência com módulo igual ou inferior ao raio deste círculo, como o vetor de referência \mathbf{V}_1^* mostrado nesta figura, implicará na operação dentro da região linear do inversor.

Se, por outro lado, o vetor de referência possui um módulo maior que o raio do círculo menor, como o vetor \mathbf{V}_2^* mostrado na figura, ele estará dentro da região não linear ou de sobre-modulação do inversor. Como a amplitude do vetor produzido na saída do inversor tem como limite o hexágono H_4 da figura, a operação na região de sobre-modulação implica da produção de vetores espaciais na saída do inversor com módulos diferentes do módulo do vetor de referência (\mathbf{V}^*). Enquanto \mathbf{V}^* gira com amplitude constante no plano de fases, os vetores espaciais produzidos na saída têm sua amplitude delimitada pelo hexágono H_4 e, portanto, variando em função do seu ângulo de fase. Esta variação implica em um funcionamento não linear do inversor, caracterizada por uma maior distorção harmônica da tensão de saída.

Os maiores vetores disponíveis no inversor pertencem ao hexágono H_4 da Figura 3.8 e apresentam amplitude de $2,666 \cdot V_{dd}/4 = (2/3) \cdot V_{dd}$. Os vetores \mathbf{V}_1 e \mathbf{V}_2 nesta figura são dois dos seis vetores com este módulo. O círculo que limita a região de operação linear do inversor

tem raio que equivale ao módulo dos vetores de menor amplitude pertencentes ao hexágono H_4 , como o vetor V_3 , por exemplo. Este vetor corresponde à bissetriz do ângulo interno formado pelos vetores V_1 e V_2 e sua amplitude vale $V_{dd}/\sqrt{3}$. Portanto, $V_{dd}/\sqrt{3}$ é o valor do raio do círculo inscrito no hexágono H_4 e é o maior comprimento possível do vetor de referência V^* na operação dentro da região linear do inversor. Substituindo-se este limite em (4.8), vem:

$$V_{dd}/\sqrt{3} = M \cdot (2/\pi) \cdot V_{dd}$$

donde se conclui que $M = 0,9069$ é o valor limite de índice de modulação para a operação na região linear do inversor.

Como o valor de pico da componente fundamental da tensão fase-neutro na carga é igual ao módulo de V^* , o maior valor de pico da componente fundamental desta tensão será:

$$\max(V_{\text{fase-neutro,pico}}) = V_{dd}/\sqrt{3} \quad (3.12)$$

Com relação à tensão fase-fase, o valor de pico máximo da componente fundamental será:

$$\max(V_{\text{fase-neutro,pico}}) = \sqrt{3} \cdot V_{dd}/\sqrt{3} = V_{dd} \quad (3.13)$$

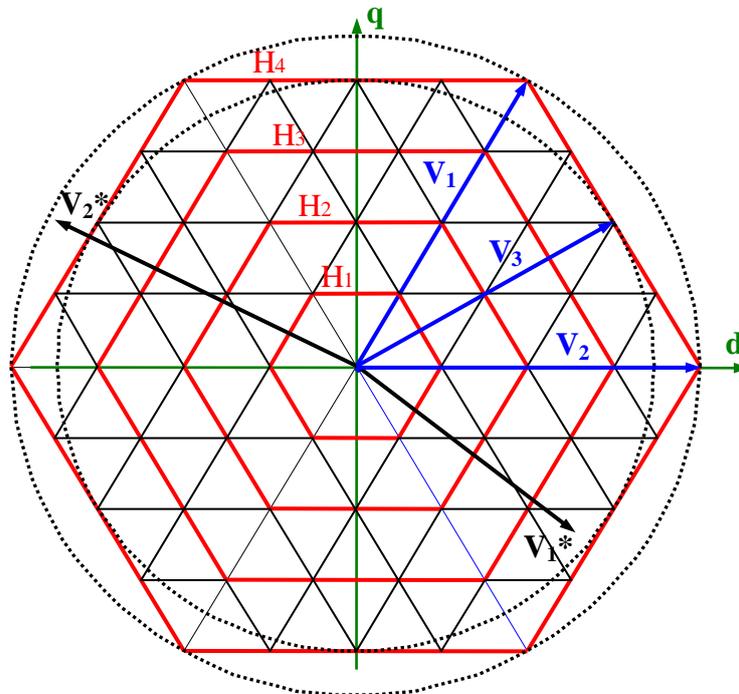


Figura 3.8: Operação nas regiões linear (V_1^*) e de sobre-modulação (V_2^*).

3.4 Dimensionamento do Sistema

Os inversores multiníveis são frequentemente utilizados em aplicações de média tensão e alta potência, em FACTS (frequência fixa) ou em acionamento de máquinas elétricas (frequência variável). Optou-se por estudar uma aplicação em acionamento, sendo a carga um motor de indução de 4,16 kV e 0,5 MW. Com base nesta escolha, dimensionou-se o inversor (barramento CC e semicondutores).

1) Dimensionamento do barramento CC do inversor:

Sendo a tensão eficaz fase-fase do motor igual a 4,16 kV, tem-se que o valor de pico desta tensão é $\sqrt{2} \cdot 4,16 \text{ kV} = 5,88 \text{ kV}$. A equação (3.13) demonstra que a tensão do barramento CC é igual ao valor de pico da tensão fase-fase da carga. Esta equação não leva em conta as quedas de tensão nos semicondutores. De forma a compensar tais quedas, selecionou-se para o barramento CC do inversor a tensão $V_{dd} = 6 \text{ kV}$.

2) Dimensionamento em Tensão dos Semicondutores Principais:

(i) IGCT:

A tensão de bloqueio direta sobre as chaves do inversor NPC é dada por

$$V_{\text{BLOQUEIO}} = V_{dd} / (N - 1) \quad (3.14)$$

onde N é o número de níveis do inversor.

Tem-se então que $V_{\text{BLOQUEIO}} = 6000 / (5 - 1) = 1500\text{V}$

Segundo o fabricante, para que o IGCT apresente uma taxa de falhas de 100 FIT (100 falhas a cada 10^8 horas de utilização), este dispositivo deve ter o parâmetro V_{DClink} igual a duas vezes a tensão CC de bloqueio à qual ele é submetido. Tem-se, portanto, que

$$V_{\text{DClink}} = 2 \cdot 1500\text{V} = 3000\text{V}$$

(ii) Diodo de Roda Livre:

A tensão reversa sobre os diodos de roda livre é igual à tensão direta sobre o IGCT quando este está desligado, uma vez que a chave e o diodo são ligados em anti-paralelo. O dimensionamento de um IGCT compatível com as tensões de bloqueio observadas em um

determinado conversor garante que o diodo de roda livre presente neste IGCT também terá capacidade de bloqueio compatível com este conversor.

(iii) Diodo de Grampeamento:

Considerando-se a estratégia de utilizar diodos de grampeamento de mesma especificação e utilizar dispositivos em série nos pontos onde as tensões solicitantes são maiores, deve-se dimensionar tais diodos para a tensão $V_{dd}/4$, conforme Tabela 3.3.

O parâmetro V_{RRM} destes dispositivos deve ser duas vezes maior que a tensão reversa máxima solicitante de forma a conferir uma confiabilidade igual a 100 FIT. Tem-se portanto que

$$V_{Dlink} = 2 \cdot V_{dd}/4 = 3000V$$

3.5 Modelo Para Cálculo de Perdas Nos Semicondutores

A potência dissipada nas chaves do inversor é composta de duas parcelas: (a) potência devido à condução de corrente através dos dispositivos; (b) potência devido à comutação dos dispositivos.

A potência instantânea dissipada por condução nas chaves é dada pelo produto entre a corrente de condução e a queda de tensão que esta corrente provoca sobre o dispositivo. Tal potência depende unicamente da corrente de condução (a qual depende da carga) e dos parâmetros do semicondutor, não sendo possível alterá-la significativamente através da estratégia de controle do conversor, embora seja possível transferir parte desta potência de uma chave para a outra através do método de modulação.

A parcela da potência dissipada devido à comutação dos dispositivos é função das características do dispositivo, do valor da corrente antes do bloqueio ou após o disparo deste. Em chaves do tipo IGCT a dissipação de potência durante o disparo é muito pequena e normalmente desprezada nos cálculos práticos, levando-se em conta apenas as perdas produzidas durante o bloqueio. Nos IGBTs, no entanto, a parcela correspondente ao disparo não é desprezível e deve ser somada às perdas de bloqueio de forma a se obter as perdas totais por comutação.

O cálculo das perdas por comutação dos semicondutores em ambiente de simulação leva em conta parâmetros dos fabricantes dos dispositivos, as mudanças de estado que ocorrem neste braço e o sentido da corrente de carga. As mudanças de estado de cada semiconductor podem ser determinadas pela mudança de estado do braço. A Tabela 3.5 relaciona, para o inversor NPC de cinco níveis, os semicondutores principais que apresentam perdas por comutação em cada mudança de estado possível e sentido de corrente em um determinado braço. Nesta tabela, as chaves e os diodos de roda livre são tratados de forma separada, embora façam parte de um mesmo dispositivo semiconductor. Nesta tabela são consideradas apenas as operações de bloqueio dos dispositivos. As perdas por comutação nas operações de disparo são consideradas desprezíveis.

Tabela 3.5: Dispositivos com dissipação de potência por comutação em função da transição de estado de um determinado braço do inversor

Mudança de Estado do Braço		Sentido da Corrente de Carga	
C(i-1)	C(i)	I > 0	I < 0
2	1	IGCT 1	D ₁ , D ₂ , D ₃ , D ₄
1	2	DC 1	IGCT 5
1	0	IGCT 2	DC 2
0	1	DC 3	IGCT 6
0	-1	IGCT 3	DC 4
-1	0	DC 5	IGCT 7
-1	-2	IGCT 4	DC 6
-2	-1	D ₅ , D ₆ , D ₇ , D ₈	IGCT 8

Considera-se ainda que não ocorrem desligamentos de dois ou mais IGCTs (chave) simultaneamente. Em outras palavras, as mudanças de estado dos braços devem satisfazer o seguinte critério:

$$|C(i-1) - C(i)| \leq 1$$

No entanto, dependendo do método de modulação utilizado, podem ocorrer transições nas quais $|C(i-1) - C(i)| > 1$. Este tipo de transição apresenta como inconveniente a produção de dados de simulação relativos às perdas por comutação diferentes daqueles obtidos de maneira experimental. Em um conversor real, quando dois dispositivos recebem comandos simultâneos para desligar, um deles (o mais rápido) desliga primeiro e dissipa toda a potência devida a esta operação. Esta situação não pode ser reproduzida em simulação com base nos parâmetros disponíveis dos semicondutores. No presente trabalho, este tipo de transição foi tratado dividindo-se igualmente a potência total dissipada por comutação entre as duas chaves envolvidas neste processo.

Os modelos para cálculo das perdas por comutação podem ser elaborados a partir das folhas de especificação dos dispositivos utilizados, fornecidas pelo fabricante. Estes modelos são apresentados a seguir:

(i) Potência devido à condução:

É determinada pelo produto entre a corrente que o dispositivo conduz e a queda de tensão no dispositivo produzida por esta corrente: $P_{(cond)} = V_F \cdot I_F$. A corrente de condução instantânea é determinada a partir do valor instantâneo e sentido da corrente de carga e do estado do braço do inversor. A queda de tensão produzida por esta corrente é obtida de forma indireta através da curva $V \times I$ do dispositivo semiconductor fornecida pelo seu fabricante. A Figura 3.9 apresenta um exemplo desta curva para o IGCT (chave) e para o diodo de roda livre correspondente. Das retas mostradas na figura pode-se obter as relações matemáticas entre corrente de condução e queda de tensão correspondente para estes dispositivos. O mesmo pode ser feito para o diodo de grampeamento a partir da sua curva $V \times I$ característica.

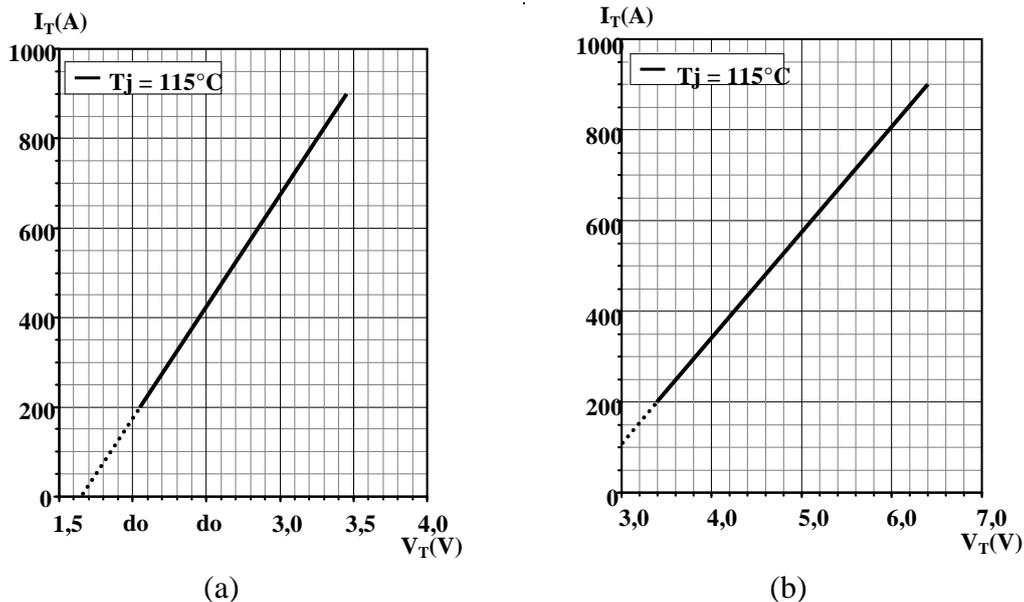


Figura 3.9: Relação entre tensão entre os terminais e corrente de condução para: (a) chave do IGCT; (b) diodo de roda livre do IGCT. (—) Informado pelo fabricante; (---) Extrapolação. Dados relativos ao dispositivo 5SHX 10H6010 da ABB.

(ii) Potência Devida À Comutação:

A potência dissipada nos dispositivos semicondutores durante a comutação (desligamento) pode ser obtida a partir da energia de desligamento, calculada em função da corrente através do dispositivo no instante do desligamento através de curvas fornecidas pelo fabricante. Um exemplo deste tipo de curva é mostrado na Figura 3.10 para o IGCT e na Figura 3.11 para o diodo de grampeamento.

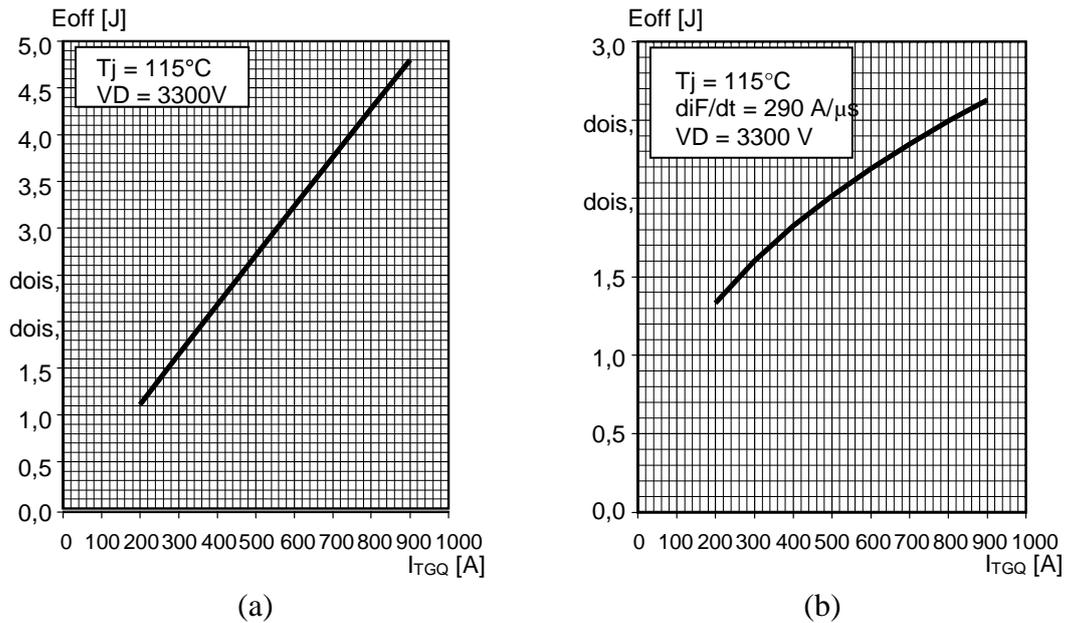


Figura 3.10: Energia dissipada durante o desligamento em função da corrente de condução para: (a) chave do IGCT; (b) diodo de roda livre do IGCT.

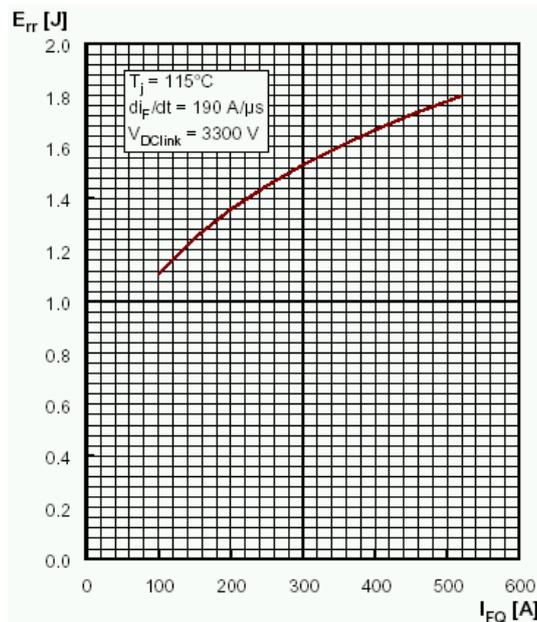


Figura 3.11: Energia dissipada durante o desligamento em função da corrente de condução para o diodo de grampeamento.

Pode-se extrair pares ordenados destas curvas e, através de regressão, determinar suas equações equivalentes. Detectando-se os instantes de desligamento dos semicondutores, tendo-se valor e sentido da corrente de carga e utilizando-se as equações $E \times I$, determina-se as perdas por comutação nos mesmos.

3.6 Problemas a Serem Resolvidos

O inversor NPC de cinco níveis trifásico possui uma série de problemas de engenharia a serem resolvidos, tais como:

1º - Desbalanceamento de tensão nos capacitores do barramento CC:

O problema do desbalanceamento das tensões dos capacitores do barramento CC do inversor é inerente aos inversores multiníveis de topologia NPC e tão mais difícil de resolver quanto maior é o número de níveis destes. Duas abordagens diferentes vêm sendo utilizadas para resolver este problema e manter a tensão de cada capacitor no seu valor teórico $V_{dd}/(N-1)$, onde N é o número de níveis do inversor.

A primeira abordagem consiste em utilizar circuitos externos para realizar a equalização das tensões dos capacitores. Dentre as soluções que utilizam esta abordagem encontram-se: (a) adoção de 4 fontes CC independentes para a alimentação de cada capacitor; (b) variações desta solução que utilizam uma fonte independente e um *chopper* de equalização para cada par de capacitores [6]; (c) utilização de um único retificador de dois níveis na entrada e de *choppers* para equalização das tensões de cada par de capacitores associado a uma estratégia de controle que garanta o balanceamento entre o par superior e o inferior [65]; (d) utilização de um único retificador de entrada e de 4 *choppers* para a equalização dos 4 capacitores [66].

A segunda abordagem utilizada consiste em introduzir, no método de modulação, o controle dos tempos de carga e descarga dos capacitores de forma a manter as tensões dos mesmos dentro de faixas pré-determinadas.

A primeira linha de solução acima apresenta o inconveniente de aumentar a complexidade e elevar o custo do conversor. Além disso, a maioria das topologias utilizadas para corrigir o problema não permite a operação com fluxo de potência da carga para a fonte. A segunda linha de solução citada tem como principais desvantagens a elevação do custo computacional dos moduladores e a necessidade de se utilizar uma malha fechada de controle da tensão nestes capacitores, uma vez que as capacitâncias dos mesmos não são idênticas.

2° - Determinação de estratégias para se escolher a melhor combinação de estados ao se produzir vetores com redundância:

A maioria dos vetores espaciais pertencentes ao espaço de estados de um inversor de cinco níveis apresenta redundâncias, ou seja, pode ser produzido por diferentes combinações de estados dos braços deste inversor. Embora todas estas combinações produzam as mesmas tensões na carga, cada uma delas implica em um circuito equivalente diferente e, portanto, produz resultados diferentes no que diz respeito à descarga dos capacitores do barramento CC, à tensão entre o ponto N da carga e o ponto 0 do inversor e à dissipação de potência nas chaves principais e diodos de grampeamento. Desta forma, critérios de escolha da redundância ideal para produzir um determinado vetor espacial podem ser usados para distribuir de forma equilibrada a potência dissipada entre os semicondutores do inversor, bem como minimizar o desbalanceamento das tensões dos capacitores do barramento CC, além de sintetizar uma determinada forma de onda da tensão V_{N0} quando não há conexão com o neutro da carga.

3° – Compromisso entre perdas por comutação, THD da tensão de saída e custo computacional do modulador:

As perdas por comutação nas chaves e a THD da tensão de saída apresentam uma relação de compromisso de tal forma que a melhora de um destes parâmetros implica na piora do outro. Em contrapartida, métodos de modulação capazes de reduzir as perdas por chaveamento sem elevar em demasia a THD da tensão apresentam um elevado custo computacional, especialmente quando aplicados em inversores com número de níveis elevados, e grande parte destes cálculos tem que ser efetuados “off line” e os resultados armazenados em tabelas. Dois problemas de engenharia se apresentam neste contexto: (i) selecionar a figura de mérito a ser priorizada em cada caso ou encontrar o compromisso ideal entre elas; (ii) propor novos métodos de modulação que consigam minimizar simultaneamente a THD e perdas por comutação e, ainda assim, apresentar um custo computacional que permita a execução “on line” do algoritmo de cálculo do modulador.

5° – Confiabilidade:

Uma das desvantagens apontadas para os inversores multiníveis é a da menor confiabilidade quando comparados aos inversores convencionais de dois níveis. Esta queda da confiabilidade se deve ao aumento no número de componentes em função do número de níveis. Como uma falha em um único dispositivo de potência do inversor pode comprometer o funcionamento do

inversor, o aumento no número de dispositivos aumenta a probabilidade de uma falha do circuito.

O aumento de dispositivos nos inversores multiníveis pode, contudo, ser compensado por outras características desta topologia. Se forem fixados a THD desejada na saída e os dispositivos de dissipação térmica utilizada, o aumento no número de níveis permitirá reduzir a frequência de comutação das chaves e, portanto, a temperatura de operação destas, o que leva a um aumento da confiabilidade destas chaves. Além disso, o aumento do número de níveis diminui a tensão sobre as chaves, sendo que a confiabilidade destas também é função da relação entre a tensão solicitante e a tensão máxima de catálogo.

Do ponto de vista da confiabilidade do inversor, apresenta-se então uma relação de compromisso entre o número de níveis, a temperatura de trabalho e o custo do inversor (estes últimos definidos pela especificação dos dissipadores utilizados) e a THD desejada na saída. O estudo detalhado das relações entre estas grandezas e a definição do ponto de equilíbrio ideal entre elas é um importante problema de engenharia a ser resolvido.

3.7 Conclusões

A topologia NPC é a mais utilizada dentre as topologias multiníveis atualmente disponíveis.

O espaço vetorial de um conversor como o mostrado na Figura 3.6 é uma maneira compacta de representar os vetores espaciais que o conversor pode produzir na saída. Todos os vetores espaciais, à exceção daqueles pertencentes ao hexágono maior, podem ser produzidos por duas ou mais combinações diferentes dos estados dos três braços do conversor, denominadas combinações redundantes. Estas combinações redundantes fornecem um grau de liberdade que pode ser usado para distribuir de maneira uniforme as perdas nas chaves do conversor ou para equalizar as tensões dos capacitores do barramento CC.

Dentre as limitações da topologia NPC uma das mais importantes é a dificuldade de se balancear as tensões dos capacitores do barramento CC quando $N \geq 5$.

4 Método de Modulação Proposto

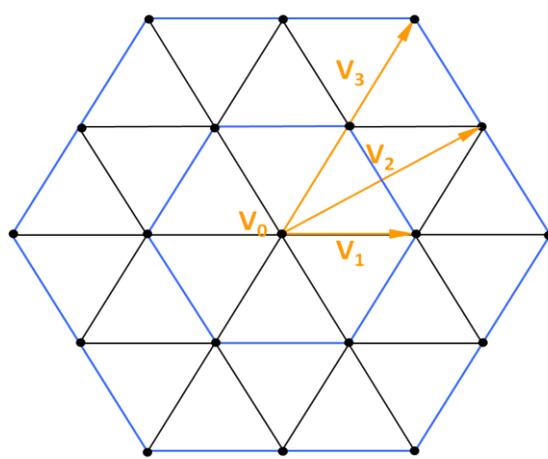
4.1 Introdução

No presente trabalho são feitas as seguintes considerações:

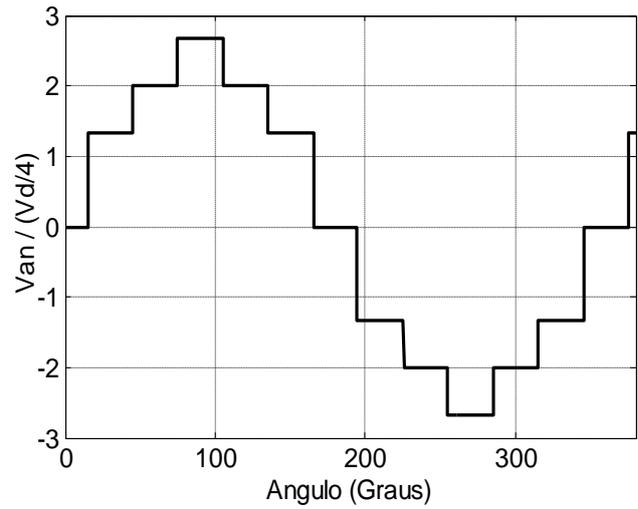
- 1) Denomina-se vetor espacial àquele vetor pertencente ao espaço vetorial de um conversor caracterizado por um par de coordenadas polares (módulo e ângulo) ou retangulares.
- 2) Denomina-se vetor espacial original ou singular de um conversor àquele vetor espacial que pertence ao espaço vetorial deste conversor, ou seja, que pode ser sintetizado a partir da simples escolha dos estados C_A , C_B e C_C das três fases do mesmo.
- 3) No presente trabalho, deste ponto em diante do texto, todas as grandezas vetoriais serão indicadas em negrito de forma a diferenciá-las das grandezas escalares.

4.2 Erros de Representação Vetorial

Um conversor trifásico com N níveis possui um número finito de vetores espaciais originais em seu espaço vetorial, número este que é função de N . O análogo no domínio do tempo do número de vetores espaciais é o número de níveis de tensão diferentes que podem ser observados na forma de onda de tensão na saída do conversor. Estas duas representações podem ser observadas na Figura 4.1 e na Figura 4.2, que correspondem aos conversores NPC trifásicos de três e cinco níveis, respectivamente, ambos operando com o mesmo índice de modulação.

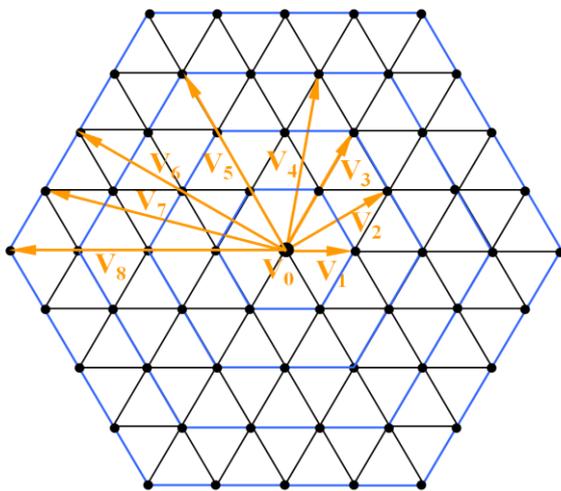


(a)

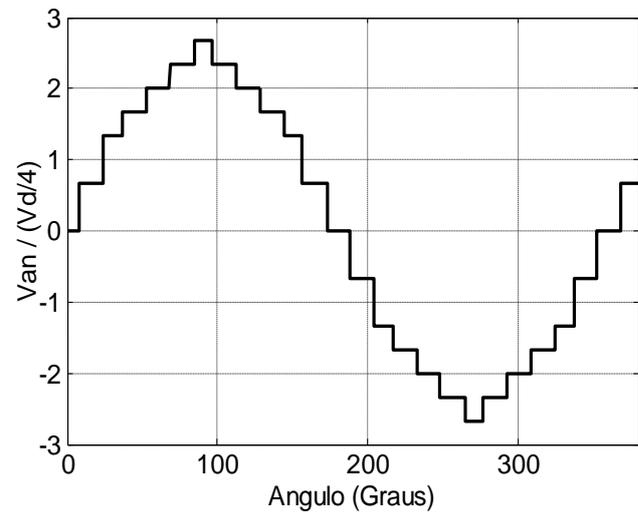


(b)

Figura 4.1: (a) Espaço vetorial e (b) tensão fase-neutro correspondentes a um inversor NPC de três níveis, normalizada por $V_{d/4}$.



(a)



(b)

Figura 4.2: (a) Espaço vetorial e (b) tensão fase-neutro correspondentes a um inversor NPC de cinco níveis, normalizada por $V_{d/4}$.

O aumento do número de níveis N em um conversor trifásico produz um aumento no número de vetores espaciais originais no espaço vetorial deste conversor, bem como no número de módulos diferentes dentre estes vetores, conforme se pode observar nas representações vetoriais da Figura 4.1 e da Figura 4.2. No espaço vetorial da Figura 4.1, correspondente a $N = 3$, há 19 vértices de 24 triângulos diferentes. Os 19 vértices correspondem aos 19 vetores espaciais originais existentes. Dentre estes 19 vetores há apenas três valores diferentes de módulos não nulos, exemplificados na Figura 4.1 pelos vetores V_1 , V_2 e V_3 , e cujos valores são:

$$\begin{aligned}
|\mathbf{V}_1| &= (1/3) \cdot V_{dd} \\
|\mathbf{V}_2| &= (\sqrt{3}/3) \cdot V_{dd} \\
|\mathbf{V}_3| &= (2/3) \cdot V_{dd}
\end{aligned} \tag{4.1}$$

onde V_{dd} é a tensão do barramento CC do inversor.

Sete destes 19 vetores possuem redundância: os seis vetores do hexágono menor e o vetor nulo.

Na Figura 4.2, correspondente a $N = 5$, observam-se 61 vetores espaciais, representados pelos 61 vértices dos 96 triângulos mostrados. Destes, 37 vetores possuem redundância. Dentre os 61 vetores espaciais existentes há 8 diferentes valores de módulo não nulo, além do vetor nulo \mathbf{V}_0 . Estes 8 valores de módulo, dados abaixo, podem ser exemplificados pelos vetores \mathbf{V}_1 a \mathbf{V}_8 mostrados na Figura 4.2:

$$\begin{aligned}
|\mathbf{V}_1| &= (1/6) \cdot V_{dd} & |\mathbf{V}_2| &= (\sqrt{3}/6) \cdot V_{dd} \\
|\mathbf{V}_3| &= (2/6) \cdot V_{dd} & |\mathbf{V}_4| &= (\sqrt{7}/6) \cdot V_{dd} \\
|\mathbf{V}_5| &= (3/6) \cdot V_{dd} & |\mathbf{V}_6| &= (2\sqrt{3}/6) \cdot V_{dd} \\
|\mathbf{V}_7| &= (\sqrt{13}/6) \cdot V_{dd} & |\mathbf{V}_8| &= (4/6) \cdot V_{dd}
\end{aligned} \tag{4.2}$$

Em um conversor como o da Figura 4.1, devido ao pequeno número de vetores espaciais e de módulos não nulos existentes (19 e 3, respectivamente), não se deve, a princípio, utilizar apenas estes vetores para representar os vetores de referência amostrados na entrada do modulador, sob pena de uma baixa qualidade na forma de onda de tensão na saída. Torna-se necessário adotar uma estratégia de modulação que permita, a partir destes 19 vetores, sintetizar novos vetores espaciais mais próximos dos vetores de referência amostrados.

No método de modulação SV-PWM isso é feito alternando-se, durante cada período de PWM (T_{PWM}), entre os três vetores correspondentes aos vértices do triângulo dentro do qual está o vetor de referência de entrada amostrado no período k (\mathbf{V}^*_k). Cada um destes três vetores é usado durante intervalos de tempo específicos, de forma que a média ponderada pelo tempo dos três (\mathbf{V}_{kavg}) seja exatamente igual ao vetor de referência amostrado (\mathbf{V}^*_k). Neste caso, o erro entre o vetor de referência amostrado (\mathbf{V}^*_k) e o vetor médio sintetizado na saída do inversor (\mathbf{V}_{kavg}) será tanto menor quanto menor for o período de PWM adotado, desde que a frequência de amostragem (f_a) seja pelo menos igual à frequência f_{PWM} (no método SV-PWM

é freqüente se utilizar $f_a = 2 \cdot f_{\text{PWM}}$). Nesta estratégia os erros entre os vetores amostrados e os vetores médios correspondentes produzidos na saída são geralmente menores que os erros entre os vetores amostrados e os vetores espaciais originais do conversor.

Entretanto, uma vez que o vetor de referência (\mathbf{V}^*) gira no plano de fases na frequência da tensão fundamental de saída, ao passo que o vetor amostrado na entrada (\mathbf{V}^*_k) e o vetor médio produzido na saída (\mathbf{V}_{Kavg}) são constantes durante todo o período de chaveamento (T_{PWM}), sempre haverá um erro de fase, variável com o tempo, entre \mathbf{V}^* e os outros dois vetores, erro este intrínseco a qualquer sistema de controle amostrado.

Considerando-se que à medida que cresce o número de níveis N de um inversor, também cresce o número de vetores espaciais originais, bem como o número de módulos diferentes dentre estes vetores, pode-se concluir que em inversores com elevado número de níveis os erros de representação vetorial cometidos ao se utilizar apenas os vetores originais tende a ficar menor do que aqueles cometidos por estratégias de modulação que sintetizam vetores médios, como o método SV-PWM, por exemplo, especialmente em aplicações de alta potência nas quais se utiliza frequências de PWM reduzidas, em torno de 500Hz. Neste contexto, pode-se pensar em uma estratégia de modulação que utilize apenas os vetores espaciais originais para representar os vetores amostrados. Esta abordagem foi originalmente proposta em [67] e revisitada pelos mesmos autores em [68]. Este método foi denominado *Nearest Vector Control* (NVC).

Um problema importante a ser resolvido neste tipo de abordagem é determinar se, e a partir de qual número de níveis N do conversor, a estratégia de modulação que utiliza apenas vetores originais passa a superar a estratégia de modulação na qual são sintetizados novos vetores médios, considerando-se nesta análise, sobretudo, as aplicações de alta potência, nas quais as frequências de PWM ficam em torno de 500Hz, pois é neste tipo de aplicação que as perdas por comutação se tornam um problema importante a ser resolvido.

O presente trabalho investiga a viabilidade de uma estratégia de modulação que utiliza apenas os vetores originais do conversor e compara esta estratégia com o método de modulação SV-PWM, no qual são sintetizados vetores médios. Com este objetivo, foi elaborado um método de modulação que utiliza a primeira estratégia acima. O princípio de funcionamento deste método, bem como detalhes da sua implementação, são apresentados a seguir.

4.3 Critério de Escolha dos Vetores Espaciais

A estratégia de modulação a ser elaborada e avaliada neste trabalho consiste em utilizar apenas os vetores originais disponíveis em um conversor qualquer para representar os vetores de referência amostrados na entrada. Como ponto de partida, considere-se a utilização desta estratégia em um inversor trifásico de cinco níveis, o qual possui 61 vetores espaciais distintos. A partir do valor amostrado de \mathbf{V}^* no período de amostragem k ($\mathbf{V}^*_{\mathbf{K}}$), o método de modulação proposto encontra, dentre estes 61 vetores espaciais (\mathbf{V}_N , com $N = \{0, 2, \dots, 60\}$), aquele que melhor representa \mathbf{V}^* segundo critérios que serão explicados mais adiante. O vetor escolhido é então mantido na saída do inversor durante as próximas amostragens de \mathbf{V}^* até que uma amostragem futura resulte em um vetor \mathbf{V}^* que seja mais bem representado por outro vetor espacial original. Este novo vetor singular passa então a ser aplicado na saída do inversor, e assim sucessivamente.

A principal vantagem desta abordagem é a redução do número de comutações das chaves do inversor por período de tensão fundamental, uma vez que comutações extras utilizadas para sintetizar novos vetores médios não são realizadas.

As grandezas $\mathbf{V}^*_{\mathbf{K}}$, originadas da amostragem de \mathbf{V}^* , são grandezas complexas cujos módulo e ângulo de fase são determinados por

$$|\mathbf{V}^*_{\mathbf{K}}| = M \cdot (2/\pi) \cdot V_{dd} \quad (4.3)$$

$$\angle \mathbf{V}^*_{\mathbf{K}} = 2 \cdot \pi \cdot f_s \cdot t \quad (4.4)$$

onde V_{dd} é a tensão do barramento CC;
 f_s é a frequência da tensão na saída;
 M é o índice de modulação usado.

De (3.9) vem:

$$M = (\pi/2) \cdot V_{AN1} / V_{dd} \quad (4.5)$$

sendo V_{AN1} o valor de pico da tensão fundamental fase-neutro na saída do inversor.

O critério para se determinar o vetor singular \mathbf{V}_N que melhor representa cada um dos vetores amostrados $\mathbf{V}^*_{\mathbf{K}}$ deve, qualquer que seja ele, garantir que a seqüência de vetores espaciais usada para representar as sucessivas amostragens de \mathbf{V}^* no tempo produza na saída do conversor três tensões defasadas de 120° e que atendam aos seguintes requisitos mínimos:

1. A componente fundamental da tensão fase-neutro produzida na saída (V_{AN1}) deve ter amplitude igual ao módulo de \mathbf{V}^* . Em outras palavras o modulador deve produzir uma relação linear entre $|\mathbf{V}^*|$ e V_{AN1} ou entre M e V_{AN1} ;
2. As componentes fundamentais das tensões fase-neutro na saída devem ter frequência igual à da tensão trifásica representada por \mathbf{V}^* ;
3. O fasor representado pelas três tensões fase-neutro na saída deve ter ângulo de fase igual ao de \mathbf{V}^* .

Outros requisitos tais como a distribuição das componentes harmônicas presentes na tensão de saída no domínio da frequência e a THD desta tensão também devem ser considerados na análise.

4.3.1 Critério de Escolha Pelo Vetor Mais Próximo

O primeiro critério testado neste trabalho para a escolha do vetor singular \mathbf{V}_N que melhor representa o vetor amostrado \mathbf{V}^*_k é o proposto em [67], que considera a minimização da distância geométrica entre estes dois vetores, o qual pode ser chamado de critério da representação pelo vetor mais próximo. Este critério é exemplificado através da Figura 4.3, a qual apresenta o primeiro sextante do plano de fases da Figura 4.2(a). Considere-se neste exemplo o vetor de referência \mathbf{V}^* mostrado (cor verde). O vetor \mathbf{V}_e (cor vermelha) é o vetor erro entre \mathbf{V}^* e um dos 61 vetores espaciais existentes, neste caso, o vetor \mathbf{V}_8 . $V_e = |\mathbf{V}_e|$ é o módulo da distância geométrica entre \mathbf{V}^* e \mathbf{V}_8 . Segundo o critério de escolha do vetor mais próximo, o algoritmo do modulador deve encontrar o vetor \mathbf{V}_N , onde $N \in \{1, \dots, 61\}$, para o qual V_e é mínimo. Esta busca deve ser executada para cada novo vetor de referência amostrado pelo modulador (\mathbf{V}^*_k).

Devido ao grande número de vetores espaciais disponíveis no conversor trifásico de cinco níveis, os erros entre os vetores amostrados e os vetores originais mais próximos a estes são pequenos, ficando estes erros próximos aos erros angulares observados no modulador SV-PWM quando este é aplicado a esta mesma topologia de inversor. Esta afirmação é especialmente verdadeira quando se considera conversores de média tensão e alta potência, nos quais as frequências de chaveamento usadas no método SV-PWM (f_{PWM}) são geralmente baixas, da ordem de 600Hz. Neste caso os valores reduzidos de f_{PWM} levam a aumentos dos erros angulares máximos entre \mathbf{V}^*_k e $\bar{\mathbf{V}}_k$.

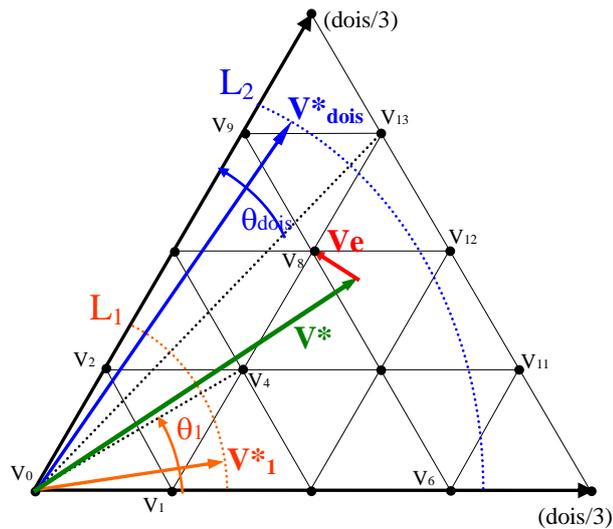
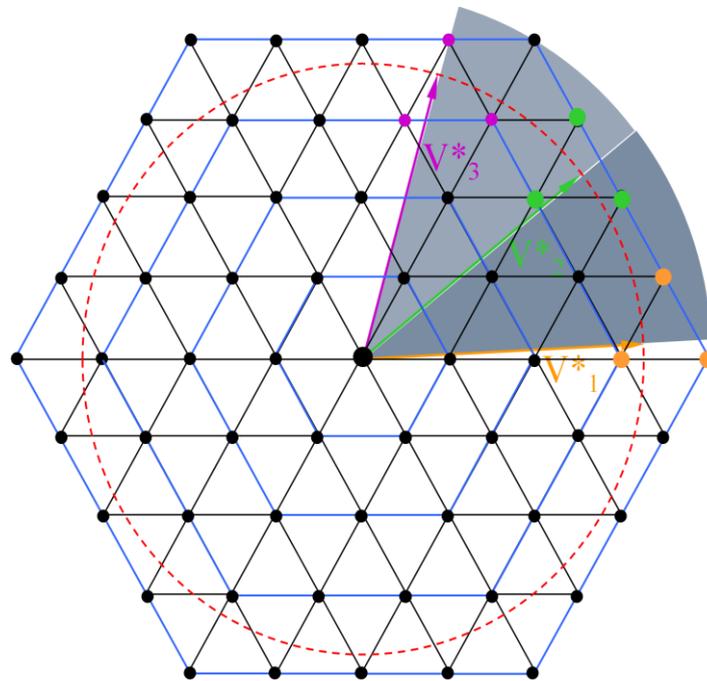


Figura 4.3: Vetor erro \mathbf{V}_e (vermelho) entre o vetor de referência \mathbf{V}^* (verde) e o vetor mais próximo (\mathbf{V}_8). Erros angulares máximos para vetores vizinhos. 1º caso: M baixo (cor laranja), erro entre \mathbf{V}_1 e \mathbf{V}_4 é θ_1 ; 2º caso: M alto (cor azul), erro entre \mathbf{V}_{13} e \mathbf{V}_9 é θ_2 .

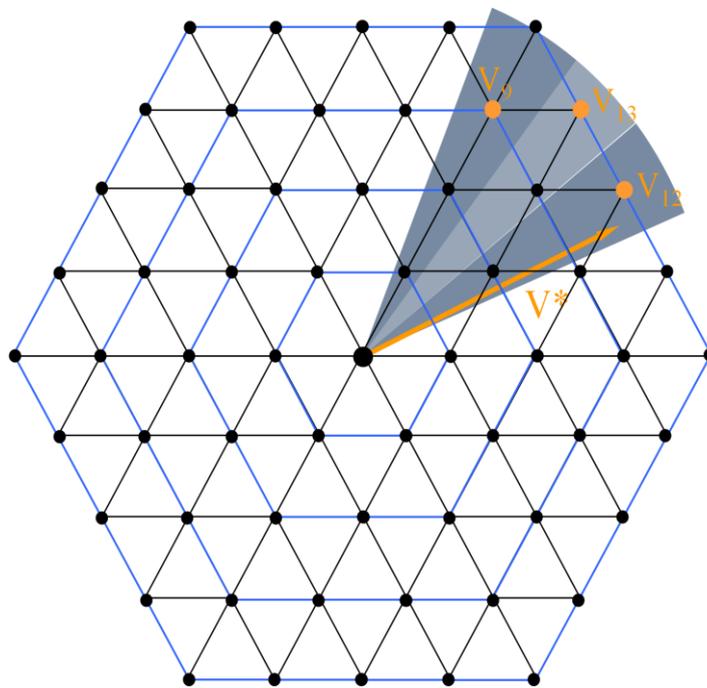
Isso pode ser verificado através do exemplo mostrado na Figura 4.4(a), que considera o uso de um modulador SV-PWM produzindo uma tensão com frequência fundamental (f_s) igual a 60Hz e trabalhando com frequência de chaveamento (f_{PWM}) de 600Hz. Neste caso haverá $600/60 = 10$ períodos de chaveamento para cada período da tensão fundamental de saída. Os períodos de chaveamento corresponderão a um deslocamento angular de \mathbf{V}^* no plano de fases igual a $360^\circ/10 = 36^\circ$ (áreas sombreadas). Na Figura 4.4(a) são mostradas amostragens sucessivas de \mathbf{V}^* (\mathbf{V}^*_1 , \mathbf{V}^*_2 e \mathbf{V}^*_3) e os vetores originais usados para sintetizar cada uma das amostras. O erro angular máximo entre $\bar{\mathbf{V}}_K$ e \mathbf{V}^* será igual a 36° . O erro angular instantâneo variará entre 0 e 36° durante cada período de chaveamento do conversor e pode-se dizer que o erro médio no tempo será a metade deste valor, ou seja, 18° . Se, ao invés da utilização de vetores médios sintetizados pelo SV-PWM, forem utilizados apenas os 61 vetores originais disponíveis, conforme mostrado na Figura 4.4(b), os erros angulares entre \mathbf{V}^*_K e $\bar{\mathbf{V}}_K$ serão iguais ou menores do que 15° , conforme se observa através das áreas sombreadas mostradas nesta última figura. O vetor de referência de entrada \mathbf{V}^* mostrado nesta figura (cor laranja), será representado, sucessivamente, por \mathbf{V}_{12} , \mathbf{V}_{13} e \mathbf{V}_9 se for usado o critério de escolha do vetor mais próximo. A distância angular máxima entre dois vetores vizinhos nesta sequência (\mathbf{V}_{13} e \mathbf{V}_9) é $\theta_2 = \text{tg}^{-1}(\sqrt{3}/7) = 13,90^\circ$. O erro de fase neste caso é igual a $13,90^\circ/2 = 6,95^\circ$.

O pior caso é observado para baixos índices de modulação, quando os vetores pertencentes ao menor hexágono são usados. Neste caso a diferença de fase máxima entre vetores vizinhos em

uma seqüência para baixo M é de 30° o que significa que o erro de fase máximo entre \mathbf{V}^*_1 e o vetor que o representa é igual a 15° (ver θ_1 na Figura 4.3).



(a)



(b)

Figura 4.4: Erros angulares entre o vetor de referência amostrado (\mathbf{V}^*) e o vetor que o representa. (a) Modulador SV-PWM; (b) estratégia de uso dos vetores originais mais próximos.

Embora, comparado ao SV-PWM, o critério de escolha por vetores mais próximos produza reduções nos erros angulares entre o vetor de referência e o vetor escolhido para representá-lo,

ele não atende ao primeiro requisito mínimo estabelecido, uma vez que não garante que a amplitude da componente fundamental de tensão de saída (V_{AN1}) seja igual ao módulo do vetor de referência \mathbf{V}^* . O gráfico entre estas duas grandezas, cuja inclinação representa o ganho do inversor, apresenta uma série de degraus, conforme se observa na Figura 4.5. Esta característica é intrínseca ao critério de escolha por vetores mais próximos e não pode ser eliminada com o aumento no número de níveis do inversor, embora o seu efeito diminua com o aumento de N .

A aparência de escada da curva $V_{AN1} \times M$ mostrada na Figura 4.5 se deve à introdução de erros de magnitude nas representações dos vetores amostrados pelos vetores singulares disponíveis, uma vez que dentre os 61 vetores originais disponíveis em um inversor trifásico de cinco níveis há apenas 8 diferentes valores de módulos não nulos, conforme equação (4.2). Estes erros afetam o valor da componente fundamental da tensão produzida na saída, fazendo com que seu valor não seja igual a $|\mathbf{V}^*|$.

A influência dos erros de amplitude entre os vetores originais e os vetores de referência amostrados sobre a relação não linear entre V_{AN1} e M pode ser mais facilmente compreendida observando-se a Figura 4.6, que apresenta um plano de fases com o espaço vetorial do inversor de cinco níveis dividido em sete regiões circulares (R_1 a R_7) por seis círculos limite (L_1 a L_6). O conceito de Círculo Limite é uma importante contribuição do presente trabalho e consiste em uma ferramenta útil para otimizar o algoritmo de busca do vetor mais próximo, uma vez que reduz consideravelmente o universo de vetores originais a serem testados na busca pelo vetor ideal. Estes círculos limite passam por baricentros de um ou de dois triângulos em cada sextante do plano de fases. Na Figura 4.6 são mostradas as interseções entre os círculos limites e os baricentros dos triângulos pertencentes ao primeiro sextante. Os raios dos círculos limite, normalizados por $V_{dd}/4$, são mostrados na Tabela 4.1, juntamente com os índices de modulação correspondentes a cada um destes raios. A dedução dos valores destes raios é apresentada no Apêndice A.

Os círculos limite reduzem o total de vetores originais a serem testados, na busca pelo vetor ideal, aos vetores pertencentes a um ou a, no máximo, dois hexágonos. Se um vetor de referência \mathbf{V}^* está dentro de uma região par (R_2, R_4 ou R_6), este será representado por vetores pertencentes a dois diferentes hexágonos. Se \mathbf{V}^* está em uma região ímpar (R_1, R_3, R_5 ou R_7), ele será representado por vetores pertencentes a um único hexágono. O vetor de referência \mathbf{V}_1^* mostrado na Figura 4.6, que está dentro da região R_6 , será representado por vetores singulares pertencentes aos hexágonos H_3 ou H_4 , em função da sua posição angular. Já o vetor

de referência V_2^* na mesma figura está dentro da região R_5 e, independentemente de sua fase, será representado apenas por vetores pertencentes a H_3 .

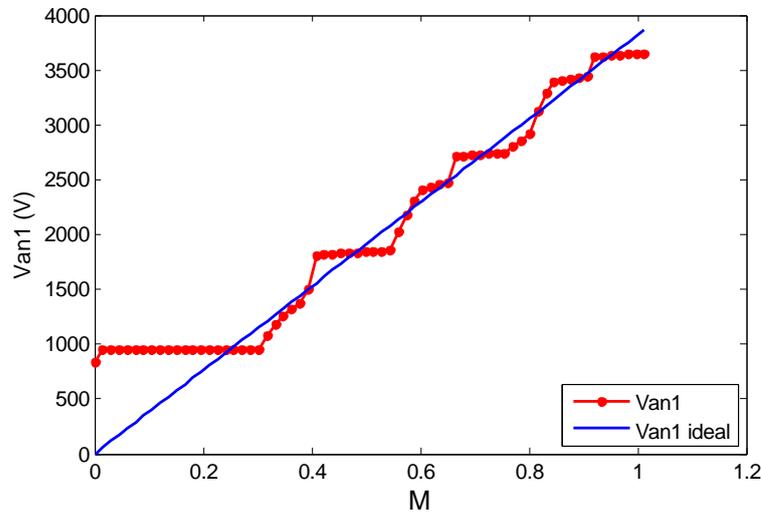


Figura 4.5: Relação entre o índice de modulação (M) e a tensão fundamental na saída do conversor (V_{AN1}).

O problema na curva de ganho mostrada na Figura 4.5 está relacionado à operação dentro das regiões ímpares do plano de fases. Dentro destas regiões, pequenas variações no módulo de V^* não alteram a seqüência de vetores singulares usados, influenciando apenas o tempo de aplicação de cada um. Em outras palavras, variações no módulo de V^* dentro de uma região ímpar produzem modificação quase nula na forma de onda na saída do inversor e no valor da sua componente fundamental. As regiões quase planas observadas na curva $V_{AN1} \times M$ da Figura 4.5 correspondem, justamente, às regiões ímpares R_1 , R_3 , R_5 ou R_7 mostradas no plano de fases da Figura 4.6, conforme se pode observar através da Figura 4.7. Esta figura mostra a superposição da curva $V_{AN1} \times M$ do inversor com o primeiro sextante do plano de fases do mesmo, incluindo-se os círculos limite e as projeções verticais das interseções destes com o eixo V_d do plano de fases. Nesta figura pode-se observar a relação direta entre as regiões ímpares e as faixas quase planas da curva $V_{AN1} \times M$. Este problema diminui à medida que N aumenta, uma vez que este aumento produz um aumento no número de hexágonos e, conseqüentemente, no número de regiões pares e ímpares. Ocorre assim uma diminuição nas larguras das regiões ímpares. Um inversor de 11 níveis, por exemplo, terá 10 hexágonos em seu plano de fases. A faixa de M será dividida em 19 regiões, sendo 10 regiões ímpares. A aparência de escada da curva $V_{AN1} \times M$ mostrada na Figura 4.5 fica naturalmente atenuada neste inversor, como será mostrado no Capítulo 7.

A curva $V_{ANI} \times M$ do inversor se aproxima de uma reta com inclinação unitária à medida que o número de níveis N cresce, mas as não linearidades desta curva só podem ser desprezadas para $N \geq 17$. Em aplicações de conversores com N menor do que o limite acima e nas quais uma boa precisão na capacidade de ajuste da tensão de saída é necessária, o critério de escolha por vetores mais próximos não deve ser usado.

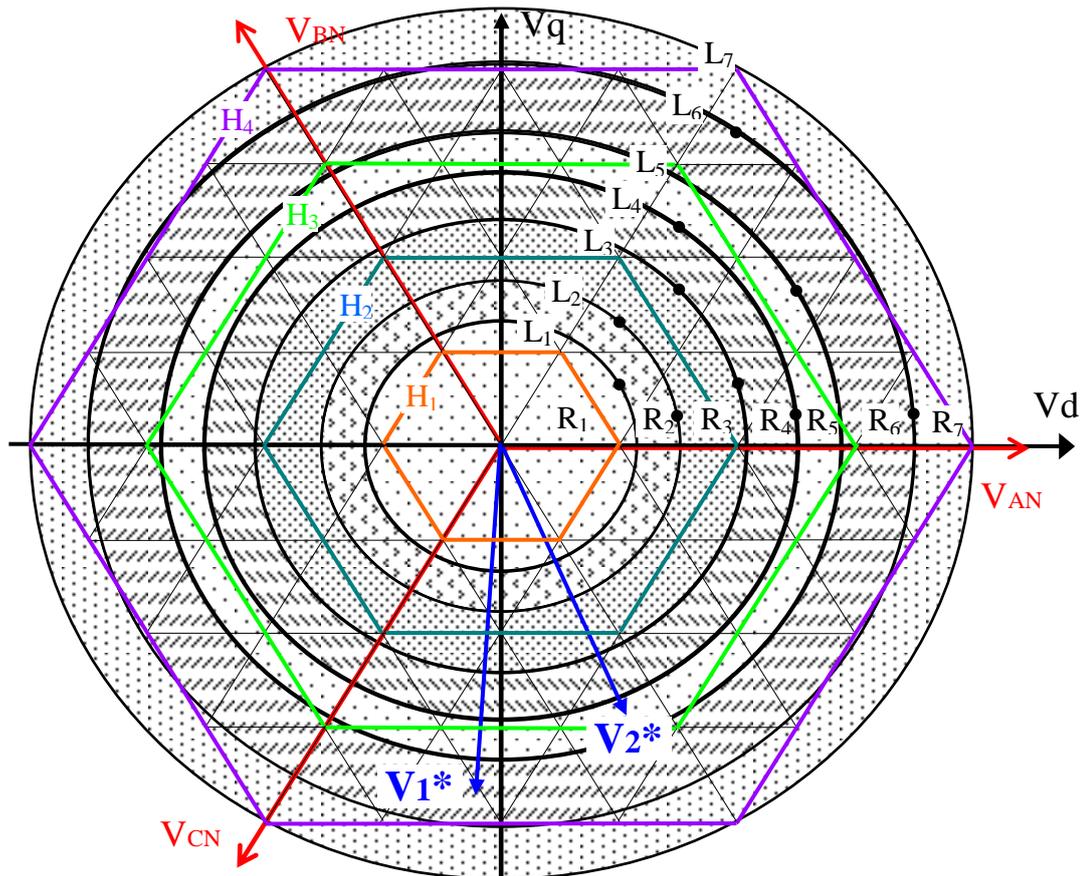


Figura 4.6: Círculos limite e regiões de operação para o critério de seleção por vetores mais próximos.

Tabela 4.1: Raios dos círculos limites de um inversor de cinco níveis (normalizados por $V_{dd}/4$)

Círculo Limite	L_1	L_2	L_3	L_4	L_5	L_6	L_7
Raio	$\frac{2}{3} \cdot \sqrt{4/3}$	$\frac{2}{3} \cdot (3/2)$	$\frac{2}{3} \cdot \sqrt{13/3}$	$\frac{2}{3} \cdot (5/2)$	$\frac{2}{3} \cdot \sqrt{25/3}$	$\frac{2}{3} \cdot (7/2)$	$\frac{2}{3} \cdot \sqrt{48/3}$
M limite	0,3023	0,3927	0,5450	0,6545	0,7557	0,9163	1,0471975

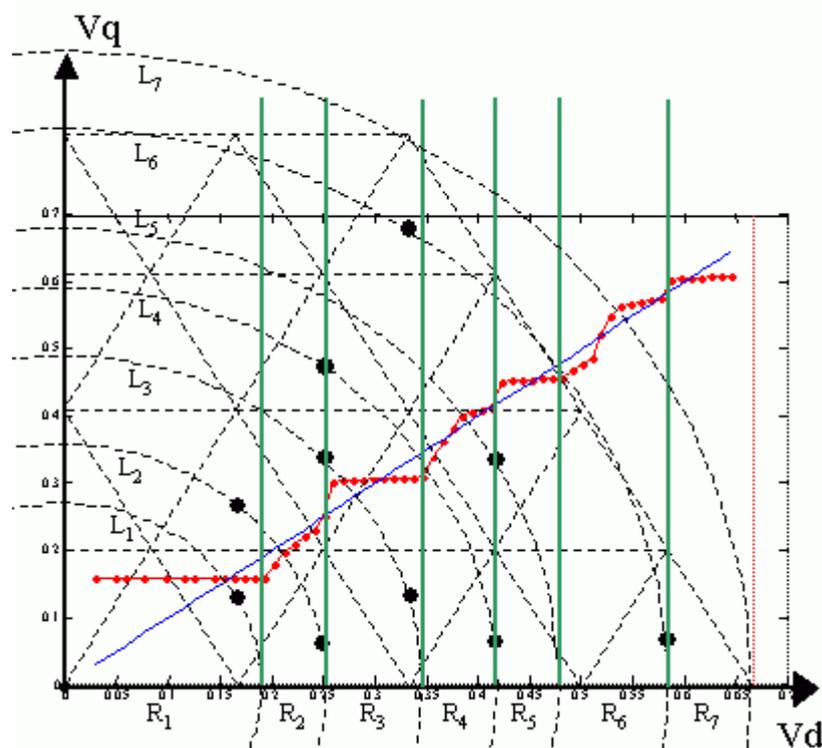


Figura 4.7: Superposição da curva $V_{AN1} \times M$ com o plano de fases e projeções verticais dos círculos limite.

4.3.2 Critério de Escolha Modificado – Uso das Funções de Ajuste

Com o objetivo de garantir uma relação linear entre o módulo do vetor de referência e a tensão de pico da componente fundamental da tensão fase-neutro de saída, bem como atender aos requisitos mínimos (2) e (3), propôs-se um novo critério de escolha dos vetores originais a serem utilizados. Este segundo critério parte do conceito de vetor geometricamente mais próximo, porém um novo procedimento de cálculo é inserido conforme explicado a seguir:

A cada período de amostragem k , o modulador obtém uma amostra \mathbf{V}^*_k do vetor de referência \mathbf{V}^* . Esta amostra pode ser decomposta nas suas coordenadas polares

$$|\mathbf{V}^*_k| \text{ e } \angle \mathbf{V}^*_k$$

onde $|\mathbf{V}^*_k|$ denota o módulo de \mathbf{V}^*_k e $\angle \mathbf{V}^*_k$ denota a sua fase no plano de fases. O método proposto utiliza duas funções de ajuste Ψ_1 e Ψ_2 que, em função das coordenadas polares de \mathbf{V}^*_k , determinam as coordenadas polares de um vetor de referência modificado \mathbf{V}'^*_k tal que:

$$|\mathbf{V}'^*_k| = \Psi_1(|\mathbf{V}^*_k|) \quad (4.6)$$

$$\angle \mathbf{V}'^*_k = \Psi_2(\angle \mathbf{V}^*_k) \quad (4.7)$$

Determinado o vetor de referência modificado \mathbf{V}^*_K através da aplicação das equações (4.6) e (4.7), este é utilizado para se encontrar o vetor disponível que melhor representa a amostra de referência \mathbf{V}^*_K . Para isso, é utilizado o critério de minimização do erro vetorial entre \mathbf{V}^*_K e os vetores originais do conversor. O vetor mais próximo encontrado é então mantido na saída do inversor até que um novo vetor de referência modificado \mathbf{V}^*_{K+1} implique em um novo vetor original a ser usado.

O algoritmo do método de modulação proposto é mostrado em forma de fluxograma na Figura 4.8.

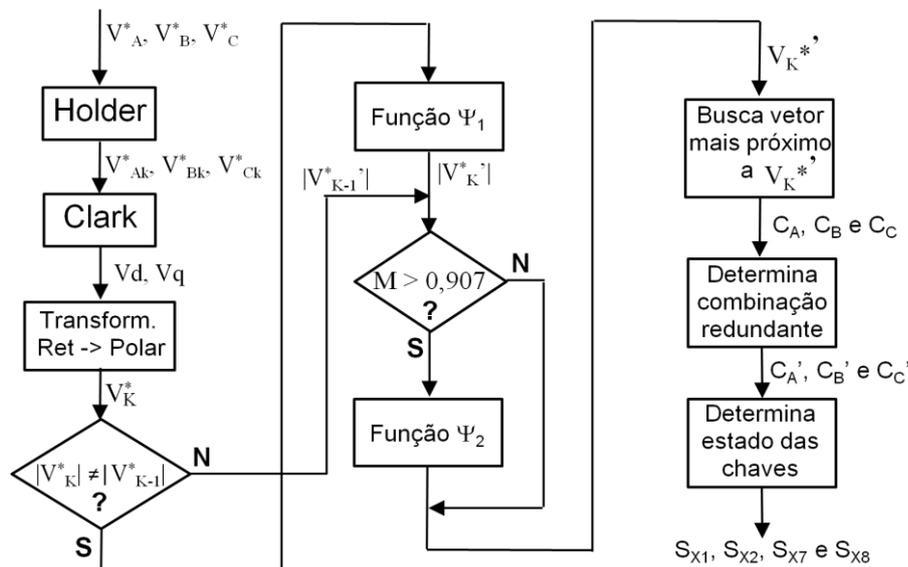


Figura 4.8: Fluxograma do algoritmo do método proposto.

O esquema de escolha de vetores disponíveis utilizado pelo método proposto pode ser comparado com o seqüenciamento típico usado no método SV-PWM através da Figura 4.9. Na Figura 4.9(a) a seqüência correspondente ao método proposto é apresentada. Neste esquema, o vetor de referência modificado \mathbf{V}^* se desloca através do 1º sextante do plano de fases seguindo a trajetória L_1 . Este vetor \mathbf{V}^* será amostrado em alta frequência e, a cada ciclo de amostragem, será encontrado e aplicado na saída o vetor original que se encontrar mais próximo da amostra atual \mathbf{V}^*_K , o que produzirá a aplicação da seguinte seqüência de vetores espaciais na saída do inversor: \mathbf{V}_6 - \mathbf{V}_{11} - \mathbf{V}_{12} - \mathbf{V}_{13} - \mathbf{V}_9 . Nesta seqüência há quatro mudanças de estado do inversor ao longo da passagem de \mathbf{V}^* pelo 1º sextante. Em contraste, o seqüenciamento correspondente ao método SV-PWM é mostrado na Figura 4.9(b). Esta figura mostra três amostragens sucessivas no tempo do vetor de referência \mathbf{V}^* durante sua passagem pelo 1º sextante seguindo a trajetória L_2 . No primeiro intervalo de amostragem \mathbf{V}^* está dentro

do triângulo T_1 e dá origem à amostra \mathbf{V}_1^* . O modulador SV-PWM realiza comutações entre os três vetores correspondentes aos vértices do triângulo T_1 (\mathbf{V}_6 , \mathbf{V}_7 e \mathbf{V}_{11}) para compor um vetor espacial médio idêntico a \mathbf{V}_1^* , que será aplicado na saída do inversor durante todo o período de PWM. No instante de amostragem seguinte, a amostra \mathbf{V}_2^* é gerada, estando dentro de T_2 . Os vetores \mathbf{V}_7 , \mathbf{V}_8 e \mathbf{V}_{12} são usados para produzir um vetor médio igual a \mathbf{V}_2^* . Mais um ciclo de amostragem à frente e os vetores \mathbf{V}_8 , \mathbf{V}_9 e \mathbf{V}_{13} são usados para compor um vetor médio igual a \mathbf{V}_3^* , e assim sucessivamente. Nesta seqüência de amostragens do SV-PWM pelo menos 9 trocas de estado do inversor foram gerados. Se uma frequência de PWM mais alta for usada, amostras de \mathbf{V}^* dentro dos triângulos adjacentes a T_1 , T_2 e T_3 também serão geradas, o que implicará em um número ainda maior de comutações.

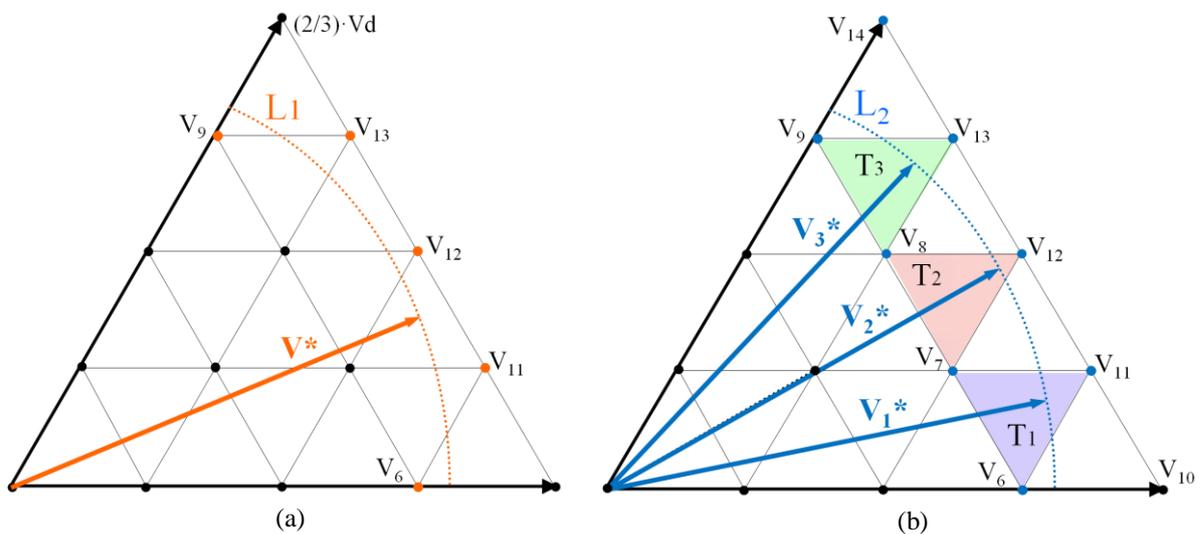


Figura 4.9: Seqüência de vetores espaciais usados nos método (a) proposto e (b) SV-PWM.

As funções de ajuste expressas pelas equações (4.6) e (4.7) variam com o número de níveis do conversor, mas não dependem da sua topologia.

A Figura 4.10 mostra a representação gráfica de Ψ_1 para o conversor de cinco níveis, que pode ainda ser representada por uma tabela ou por uma série de polinômios onde o de mais alta ordem possui grau três. Em função de $|\mathbf{V}^*_{\mathbf{K}}|$, no eixo das abscissas, determina-se no eixo das ordenadas o acréscimo $\Delta|\mathbf{V}^*_{\mathbf{K}}|$ que deve ser somado a $|\mathbf{V}^*_{\mathbf{K}}|$ de forma a se obter $|\mathbf{V}^*_{\mathbf{K}}'|$. De forma análoga é feita a determinação de $\angle\mathbf{V}^*_{\mathbf{K}}$ no gráfico de Ψ_2 . Estes procedimentos acima devem ser realizados para cada nova amostragem de \mathbf{V}^* .

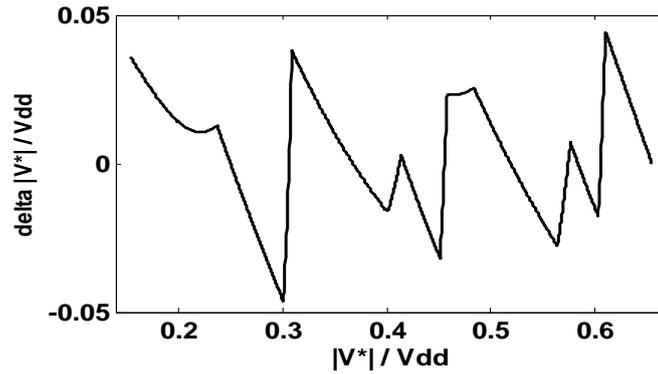


Figura 4.10: Representação gráfica da função de ajuste Ψ_1 correspondente a um conversor de cinco níveis.

O efeito da utilização da função de ajuste Ψ_1 sobre a tensão de saída do conversor pode ser compreendido a partir da observação da Figura 4.11, que mostra o lugar geométrico L_1 de um vetor de referência \mathbf{V}_1^* no plano de fases durante um período da tensão fundamental de saída. Ao longo da trajetória representada por L_1 e utilizando-se o critério anterior de vetores mais próximos, o vetor \mathbf{V}_1^* seria representado pela seqüência de vetores singulares 2A, 3A, 3B, 2B, 3C, 3D, 2C, etc, onde os vetores 2X pertencem ao 2º hexágono, e os vetores 3X pertencem ao 3º hexágono. Se for incorporado um acréscimo $\Delta\mathbf{V}^*$ positivo ao módulo do vetor \mathbf{V}_1^* , com a mesma direção deste de tal forma que $|\mathbf{V}_1^*| + \Delta\mathbf{V}^* = |\mathbf{V}_2^*|$, o novo vetor \mathbf{V}_2^* se moverá ao longo do lugar geométrico L_2 no plano de fases mostrado na figura. A seqüência de vetores usados para representar \mathbf{V}_2^* ao longo da trajetória L_2 será, neste exemplo específico, a mesma usada para representar \mathbf{V}_1^* . No entanto, como $|\mathbf{V}_2^*| > |\mathbf{V}_1^*|$, \mathbf{V}_2^* será representado durante mais tempo por vetores do 3º hexágono e durante menos tempo por vetores do 2º hexágono. O resultado disso é que o uso da referência de entrada \mathbf{V}_2^* produz uma tensão fundamental na saída do inversor maior do que aquela produzida usando-se \mathbf{V}_1^* . Desta forma, adicionando-se a \mathbf{V}^* um acréscimo $\Delta\mathbf{V}^*$ adequado, pode-se fazer com que a fundamental de saída seja exatamente igual à tensão de referência \mathbf{V}^* , eliminando-se a não linearidade observada na Figura 4.5. A equação (4.6) determina este acréscimo necessário em função do valor do módulo de \mathbf{V}_1^* .

A equação (4.7), por sua vez, modifica apenas o ângulo de \mathbf{V}^* e é usada exclusivamente na região de sobre-modulação ($M > 0,9069$) com o objetivo de elevar o limite de tensão fundamental que pode ser sintetizada na saída do mesmo, utilizando para isso apenas os vetores espaciais pertencentes ao hexágono maior. O princípio que relaciona o aumento da tensão fundamental máxima que o inversor é capaz de produzir com a modificação do ângulo do vetor de referência foi originalmente proposto em [69] e consiste em privilegiar o tempo de

aplicação dos vetores localizados nas posições correspondentes a 0° e 60° de cada sextante (vetores V_{10} e V_{14} na Figura 4.12), em detrimento do tempo de aplicação dos vetores V_{11} e V_{13} , assim como privilegiar o tempo de aplicação de V_{11} e V_{13} em detrimento do tempo de aplicação de V_{12} . Como os vetores V_{10} e V_{14} possuem amplitude 10,94% maior que a de V_{11} e V_{13} e 15,47% maior que a de V_{12} , esta estratégia resulta em uma elevação da tensão fundamental na saída, ao custo de uma maior distorção da forma de onda de tensão e conseqüentemente da sua THD [69].

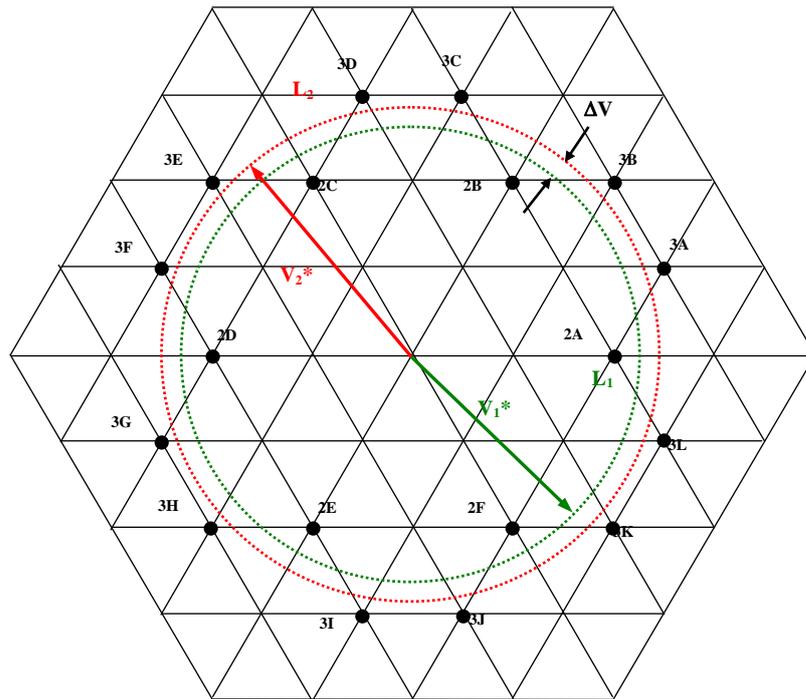


Figura 4.11: Princípio do método de correção de ganho através da modificação do vetor de referência V^* .

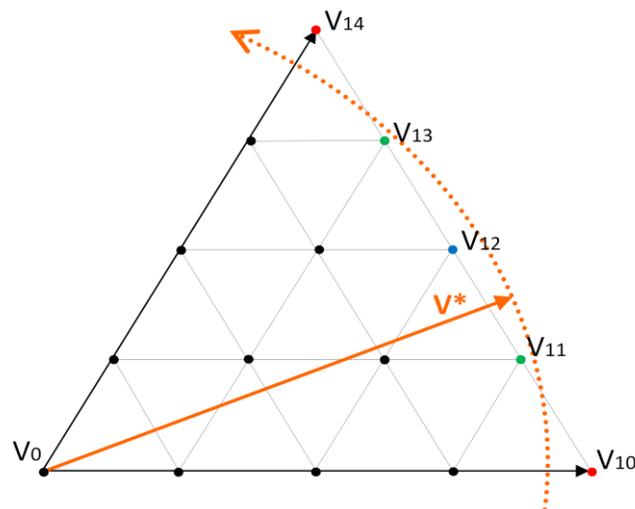


Figura 4.12: Vetores usados na região de sobre-modulação e vetor de referência V^* correspondente à operação nesta região.

O gráfico de V_{AN1} x M obtido a partir da utilização do mecanismo de modificação do vetor \mathbf{V}^* apresentado nesta seção é mostrado na Figura 4.13. Observa-se uma relação linear e unitária entre as variáveis de saída e entrada do inversor (V_{AN1} e M) dentro da faixa

$$0,249 \leq M \leq 0,969$$

a qual equivale a

$$0,159 \cdot V_{dd} \leq |\mathbf{V}^*| \leq 0,617 \cdot V_{dd}$$

considerando-se que $|\mathbf{V}^*| = (2/\pi) \cdot V_{dd}$ (4.8)

O limite superior desta faixa é 6,85% maior do que o limite da região de sobre-modulação do conversor ($M = 0,9069$). Embora a relação entre V_{AN1} e M seja linear na faixa $0,9069 \leq M \leq 0,969$, esta não é uma região linear do ponto de vista da distorção harmônica na tensão V_{AN} . A operação nesta faixa de M eleva a distorção total, como se observa na Figura 4.14, que mostra a tensão fase-neutro gerada fora (linha vermelha) e dentro (linha azul) da região de sobre-modulação. De forma a facilitar a visualização da distorção causada pela operação dentro desta região, são mostradas as formas de onda geradas por um conversor de 23 níveis.

Embora a idéia geral por trás da função Ψ_2 seja a mesma proposta em [69], a sua implementação é feita de maneira diferente e tira proveito da característica intrínseca ao método SSVM que consiste na modificação permanente do vetor de referência \mathbf{V}^* . Desta forma, a implementação de Ψ_2 proposta neste trabalho é mais natural e não produz elevação do custo computacional do algoritmo, na comparação com a operação fora da região de sobre-modulação, na qual apenas a equação (4.6) é usada. De forma análoga à função Ψ_1 , a função Ψ_2 pode ser implementada através de uma tabela previamente calculada ou de um conjunto de equações polinomiais onde a equação de mais alta ordem tem grau dois. Tanto a tabela como o conjunto de equações polinomiais são função do número de níveis N do conversor, mas não variam com a topologia deste.

Ao contrário das tabelas utilizadas por métodos de modulação tais como o SHE, as tabelas usadas para implementar as equações (4.6) e (4.7) possuem tamanhos reduzidos os quais variam muito pouco com o aumento de N , embora cada valor de N produza um par de tabelas específico.

A implementação das equações (4.6) e (4.7) via tabelas apresenta custo computacional mais baixo do que a implementação via sistema de equações, mas implica no uso de uma maior quantidade de memória de armazenamento do DSP. A implementação via sistema de equações polinomiais foi a solução adotada neste trabalho. O custo computacional observado

neste caso é compatível com a capacidade de processamento dos DSP atualmente disponíveis, como será mostrado no Capítulo 7.

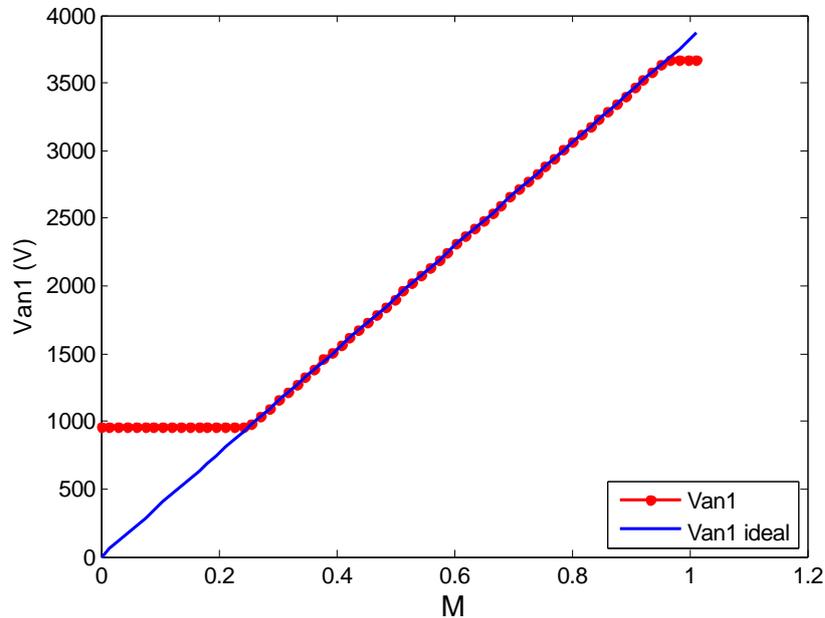


Figura 4.13: Relação entre a tensão fundamental na saída do conversor (V_{AN1}) e o índice de modulação (M) utilizando-se as funções de ajuste Ψ_1 e Ψ_2 .

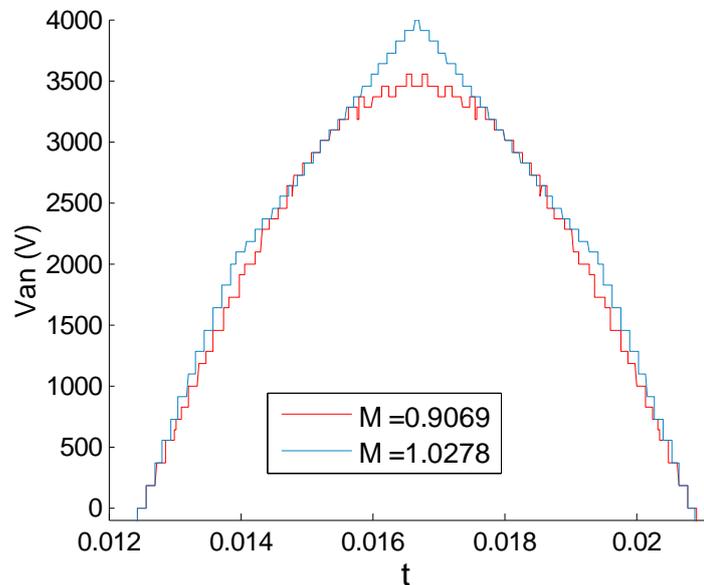


Figura 4.14: Tensão fase-neutro na carga para operação dentro (linha azul) e fora (linha vermelha) da região de sobre-modulação, para $N = 23$ e $V_{dd} = 6000V$.

O método proposto exige uma frequência de amostragem relativamente elevada, necessária para garantir que todos os vetores espaciais ideais sejam efetivamente utilizados para representar as sucessivas amostragens de \mathbf{V}^* ao longo do tempo. Este assunto será explorado em detalhes para conversores de N níveis no Capítulo 7. No caso do conversor de cinco

níveis, a frequência mínima de amostragem capaz de garantir que todos os vetores espaciais sejam corretamente usados varia com o valor de M conforme o gráfico mostrado na Figura 4.15. Este gráfico mostra o valor de $f_{a_{\text{MIN}}}$, normalizado por f_s , em função de M . O pior caso ocorre na faixa $0,7633 \leq M \leq 0,8842$ (dentro da região R_8), para a qual o valor encontrado é $f_{a_{\text{MIN}}} = 69,11 \cdot f_s$. Isso significa que para uma frequência fundamental de saída igual a 60Hz, seria necessário uma frequência de amostragem mínima igual a 4,15kHz.

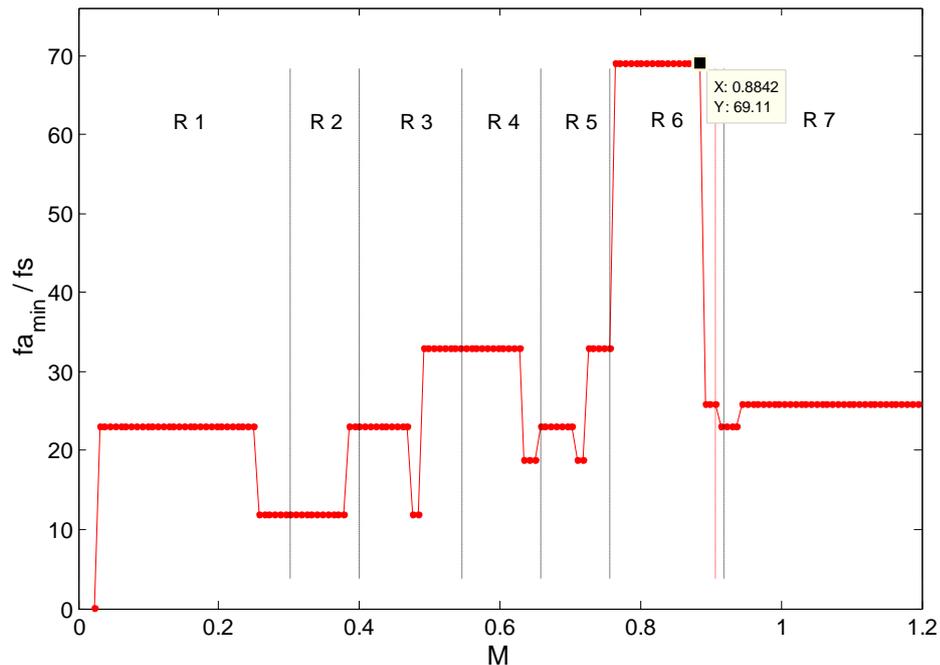


Figura 4.15: Frequência mínima de amostragem em função de M .

Embora a frequência de amostragem requerida pelo método proposto seja elevada, a frequência de comutação do conversor, que depende do valor de M e da frequência da componente fundamental de saída, é baixa. O gráfico da Figura 4.16 mostra o número de comutações das quatro chaves superiores de um dos braços de um conversor de cinco níveis, por período da tensão fundamental de saída, em função do índice de modulação M (as chaves inferiores possuem estados complementares aos das chaves superiores). A frequência de comutação de uma determinada chave em um determinado ponto de operação (PO) do conversor é dada pelo produto entre o valor extraído deste gráfico e a frequência da tensão fundamental na saída. No pior caso, as chaves S_1 e S_4 sofrerão 3,5 desligamentos por período da tensão fundamental. O valor fracionado acima se deve a uma funcionalidade incorporada ao método proposto que visa realizar um equilíbrio parcial das tensões dos capacitores do barramento CC, o que possibilita reduzir a potência do circuito externo dedicado a executar o equilíbrio final destas tensões (isso é explicado na seção 4.5). O equilíbrio parcial realizado pelo método proposto, possível em função da existência de combinações redundantes dos

estados dos três braços do inversor, é realizado alterando-se a seqüência de vetores espaciais utilizada para produzir dois períodos consecutivos da fundamental de saída, fazendo com que, do ponto de vista do controle, um período completo compreenda dois ou mais períodos fundamentais, dependendo no valor de M . O número de desligamentos por período de controle é sempre um valor inteiro, mas ao se dividir esse valor pelo número de períodos fundamentais contidos em um período de controle, pode-se obter um valor não inteiro, como no exemplo explicado acima.

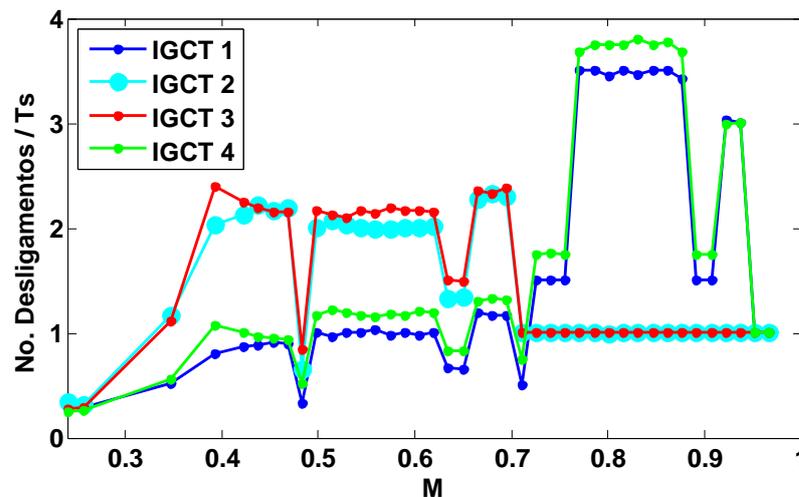


Figura 4.16: Número de desligamentos das chaves de um dos ramos do inversor por período da fundamental (T_s).

Ao método de modulação proposto apresentado acima foi dado o nome de **Singular Space-Vector Modulation (SSVM)**.

4.4 Métodos de Modulação Híbrido e Com Faixa Linear Estendida

Método SSVM Híbrido

Para $M < 0,249$ ($|\mathbf{V}^*| = 0,159 \cdot V_{dd}$) a tensão de saída não acompanha a referência de entrada, conforme se observa na Figura 4.5. Isso se deve ao fato de, nesta faixa, \mathbf{V}^* estar contido dentro do menor hexágono da Figura 4.6. Desta forma, independentemente do valor de $|\mathbf{V}^*|$, \mathbf{V}^*_k será representado sempre pelos mesmos vetores mais próximos durante os mesmos intervalos angulares, o que faz com que a tensão fundamental V_{AN1} não possa ser variada.

Esta limitação é especialmente importante em acionamentos elétricos devido à necessidade de se variar a tensão na carga a partir de zero.

Uma solução para este problema é utilizar, para $M < 0,249$, um método de modulação alternativo com bom desempenho nesta região, fazendo a transição para o método proposto quando M ultrapassar este valor limite. Esta foi a primeira solução estudada neste trabalho. O método de modulação alternativo escolhido para tal foi o método de referência SV-PWM originalmente proposto em [38] para inversores de três níveis e modificado para inversores de cinco níveis. Neste sentido, foi proposto um terceiro método de modulação, classificado como híbrido, o qual utiliza os algoritmos dos métodos SSVM e SV-PWM em função do valor de M . Este método foi denominado **Híbrid Singular Space-Vector Modulation (HSSVM)**. Como esperado, este método possibilitou obter uma relação linear entre V_{AN1} e M a partir de $M = 0$. O método SV-PWM, contudo, produz muito mais perdas por chaveamento do que o método SSVM, como será mostrado no Capítulo 5. Devido a este fato, buscou-se uma segunda solução para a operação na faixa $M < 0,249$ que consistisse em viabilizar a utilização do próprio algoritmo do método SSVM. Esta segunda solução é apresentada a seguir.

Método SSVM Com Faixa Linear Estendida

Como mostrado na Seção 4.3, o método SSVM tem como importante característica o fato de apresentar relação linear e unitária entre $|\mathbf{V}^*|$ e V_{AN1} ou entre M e V_{AN1} na faixa $0,249 \leq M \leq 0,969$. Como explicado, esta característica é obtida a partir da utilização de vetores espaciais pertencentes a hexágonos diferentes, o que permite ajustar a amplitude média dos vetores usados de forma a obter a tensão de saída desejada.

A operação na faixa $M < 0,249$ se caracteriza por usar um único hexágono, o que impossibilita a princípio reproduzir a modulação citada acima correspondente a operação em $M > 0,249$. No entanto, além do hexágono menor, a faixa caracterizada por $M < 0,249$ abriga também o vetor nulo. Este vetor pode, a princípio, ser usado como um hexágono de amplitude nula que, ao ser alternado com o hexágono menor permita produzir as variações de tensão desejadas na saída.

Esta hipótese foi testada a partir da adição do vetor nulo às tabelas de vetores espaciais e de mapeamento usadas pelo método SSVM. Comparado com o espaço vetorial original mostrado na Figura 4.6 e na Figura 4.7, a inserção deste novo vetor espacial funcionando como um novo hexágono de vetores nulos deu origem a duas novas regiões de operação separadas por

dois novos círculos limite, mostrados na Figura 4.17. Estas regiões de operação e círculos limite foram renumerados de forma a manter a ordem crescente e o vetor nulo passou a ser denominado Hexágono 0 para efeito de funcionamento do algoritmo do modulador SSVM. O resultado desta modificação é mostrado na Figura 4.18 na forma do gráfico da relação entre V_{AN1} e M , plotado sem e com o uso das funções de ajuste correspondentes às equações (4.6) e (4.7). Para efeito de comparação, a curva $V_{AN1} \times M$ correspondente, obtida usando-se o algoritmo SSVM original, sem faixa estendida, é apresentada em seguida na Figura 4.19. O limite inferior da região linear usando esta abordagem passou de $M = 0,250$ para $M = 0,0293$.

Do ponto de vista da linearidade entre as variáveis de entrada e saída, o resultado obtido usando o método com região linear estendida foi praticamente o mesmo conseguido através do método híbrido (HSSVM). Contudo os dois métodos divergiram do ponto de vista das perdas nos semicondutores e da THD na tensão de saída, como será mostrado no Capítulo 5.

Em função da vantagem do algoritmo SSVM com faixa linear estendida quando comparado ao algoritmo original, essa modificação foi definitivamente incorporada ao método proposto. Assim, deste ponto do texto em diante, a denominação SSVM passa a se referir ao algoritmo modificado com região linear estendida, cujo gráfico $V_{AN1} \times M$ é mostrado na Figura 4.18. A tabela de raios dos círculos limite passa a ser a Tabela 4.2.

Tabela 4.2: Raios dos círculos limites, para $N = 5$ – Método SSVM com faixa estendida

Círculo Limite	L_1	L_2	L_3	L_4	L_5	L_6	L_7	L_8	L_9
Raio / (Vdd/4)	$\frac{2}{3} \cdot (1/2)$	$\frac{2}{3} \cdot \sqrt{(1/3)}$	$\frac{2}{3} \cdot \sqrt{(4/3)}$	$\frac{2}{3} \cdot (3/2)$	$\frac{2}{3} \cdot \sqrt{(13/3)}$	$\frac{2}{3} \cdot (5/2)$	$\frac{2}{3} \cdot \sqrt{(25/3)}$	$\frac{2}{3} \cdot (7/2)$	$\frac{2}{3} \cdot \sqrt{(48/3)}$
M limite	0,1309	0,1511	0,3023	0,3927	0,5450	0,6545	0,7557	0,9163	1,0471975

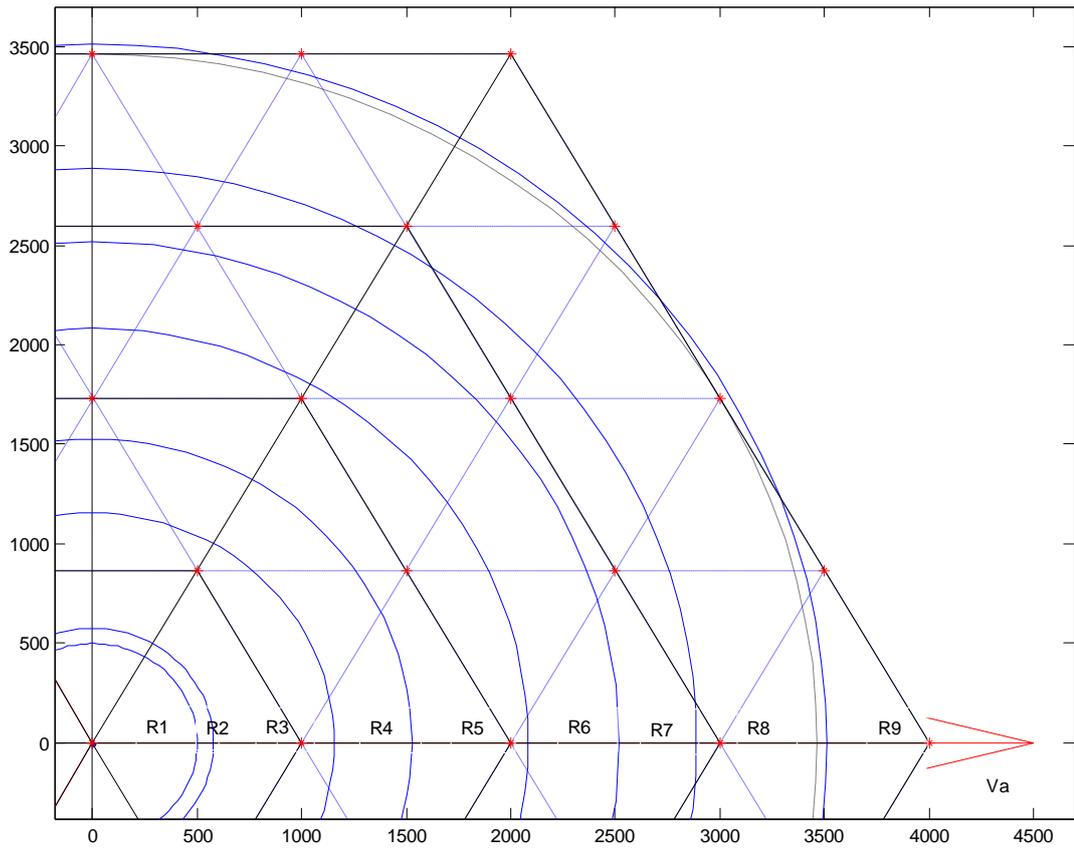


Figura 4.17: Espaço vetorial modificado pela inclusão do vetor nulo funcionando como hexágono nulo, originando duas novas regiões de operação e dois novos círculos limite.

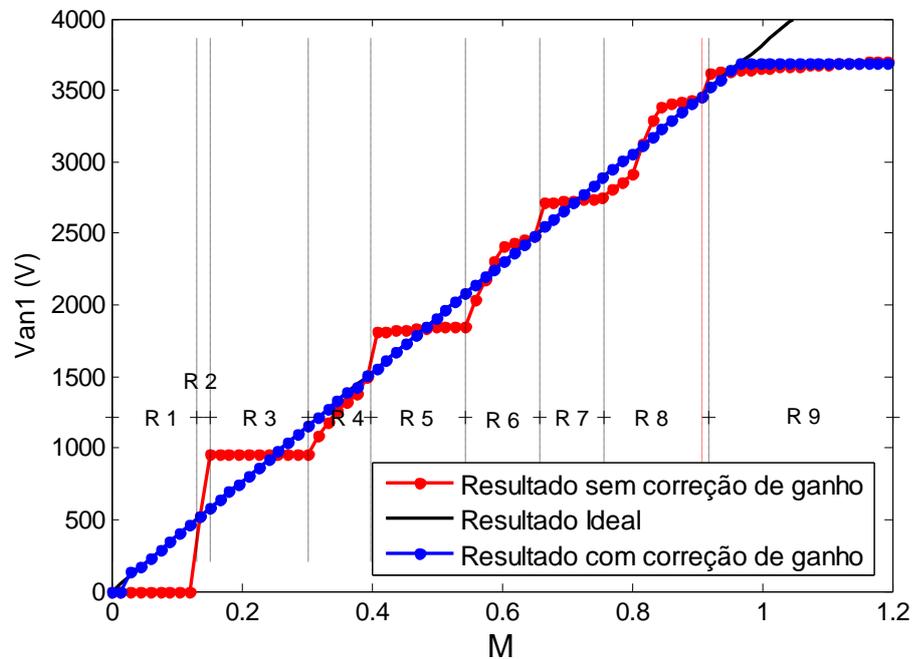


Figura 4.18: Relação entre o índice de modulação (M) e a tensão fundamental na saída (V_{AN1}) obtida a partir da utilização do vetor nulo como um hexágono nulo no algoritmo do método SSVM.

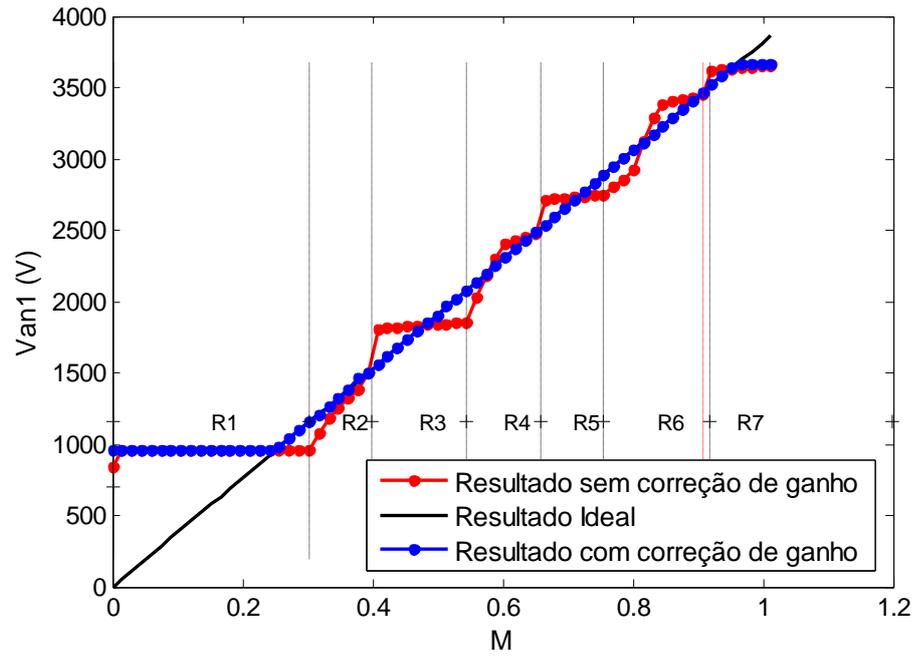


Figura 4.19: Relação entre o índice de modulação (M) e a tensão fundamental na saída (V_{AN1}) utilizando-se o algoritmo SSVM original (sem utilização do vetor nulo).

4.5 Equilíbrio das Tensões dos Capacitores e Distribuição das Perdas Entre as Chaves

No presente trabalho partiu-se do pressuposto de que as tensões dos capacitores do barramento CC são equalizadas por um circuito externo usado exclusivamente para este fim. Algumas soluções neste sentido podem ser encontradas na literatura [6], [65], [66]. Ainda assim, foi incorporada ao método proposto a capacidade de realizar uma equalização parcial destas tensões, restando apenas uma equalização mais fina a ser executada pelo circuito externo dedicado a isso. Esta abordagem permite reduzir a potência e a complexidade deste circuito. O mecanismo de equalização parcial das tensões incorporado ao método SSVM é explicado a seguir.

Mecanismo de Equalização Parcial das Tensões

Considere o espaço vetorial correspondente a um conversor de cinco níveis mostrado na Figura 4.20. Nesta figura são mostrados os 8 círculos limite deste conversor, indicados em linhas azuis tracejadas, exceto os círculos L_4 e L_5 , destacados em linha cheia. Considere o funcionamento do conversor em um ponto de operação e com \mathbf{V}^* com módulo tal que o faça girar dentro da região R_5 , delimitada pelos círculos limite L_4 e L_5 em destaque. Na região R_5 o vetor \mathbf{V}^* será sempre representado por vetores espaciais pertencentes ao hexágono H_2 , destacado na cor vermelha. Qualquer vetor espacial pertencente a H_2 pode ser produzido por três diferentes combinações das variáveis C_A , C_B e C_C . O vetor \mathbf{V}_4 , por exemplo, na proximidade de \mathbf{V}^* , pode ser gerado pelas combinações $\{0;-1;-2\}$, $\{1;0;-1\}$ e $\{2;1;0\}$. Na Figura 4.20 são mostradas as combinações mais alta (cor verde) e mais baixa (cor azul) disponíveis para se gerar \mathbf{V}_4 ou qualquer outro vetor de H_2 .

Combinações diferentes $\{C_A, C_B \text{ e } C_C\}$ do vetor \mathbf{V}_4 significam circuitos elétricos diferentes sendo usados para gerar este vetor. A Figura 4.21 mostra os três circuitos capazes de aplicar o vetor \mathbf{V}_4 na carga. As combinações $\{C_A, C_B \text{ e } C_C\}$ correspondentes a cada um deles também são mostradas na figura. Cada um destes circuitos produz diferentes sentidos de fluxo de corrente através dos capacitores C_1 a C_4 . Considere-se, por exemplo, uma corrente de carga positiva na fase A e negativa nas fases B e C tal que $I_B = I_C = -I_A/2$. Para esta condição, na combinação mostrada na Figura 4.21(a) os capacitores C_3 e C_4 se descarregam através das duas malhas formadas pelas três fases da carga. Como a soma das tensões nos 4 capacitores é

constante e igual a V_{dd} , os capacitores C_1 e C_2 se carregam durante esta combinação. Na combinação mostrada na Figura 4.21(b), C_2 e C_3 se descarregam enquanto C_1 e C_4 se carregam. Finalmente, no circuito mostrado na Figura 4.21(c), C_1 e C_2 se descarregam enquanto C_3 e C_4 se carregam. Desta forma, se as três combinações acima forem alternadas durante intervalos de tempo iguais, e considerando-se a simetria do circuito em relação ao ponto 0, a média da soma das tensões sobre o par de capacitores superior ficará igual à média da soma das tensões sobre o par inferior. No entanto, não é possível equalizar as tensões em C_1 e C_2 , ou em C_3 e C_4 através destas trocas. Isso ocorre porque em duas das três combinações possíveis, C_3 e C_4 se descarregam, enquanto que C_1 e C_4 se descarregam em apenas uma destas três combinações. Desta forma, não é possível distribuir as três combinações no tempo de forma a equalizar as tensões dos 4 capacitores, mas é possível equalizar o par superior em relação ao inferior, o que neste trabalho se denomina equalização parcial das quatro tensões.

O mecanismo de equalização das tensões proposto no método SSVM utiliza a idéia acima. Para isso são utilizadas as combinações redundantes disponíveis para sintetizar cada vetor espacial. O número de combinações redundantes de um vetor espacial depende do hexágono ao qual este vetor pertence e é dado pela equação

$$N_{cr} = N - I_H \quad (4.9)$$

onde N_{cr} é o número de combinações redundantes de um dado vetor espacial;

N é o número de níveis do conversor;

I_H é o índice do hexágono ao qual o vetor pertence, ordenado de maneira crescente do hexágono 0 (correspondente ao vetor nulo) até o hexágono $N-1$ (maior hexágono).

Ao contrário do método SV-PWM, o método SSVM não utiliza a comutação entre diferentes vetores de forma a sintetizar um vetor médio. A troca entre combinações durante o intervalo de tempo no qual \mathbf{V}^* está dentro da área de influência de um vetor espacial qualquer não se justifica, pois produziria um aumento do número de comutações das chaves que eliminaria a vantagem do método proposto sobre o método SV-PWM. Outra maneira de fazer esta troca é alterar a combinação redundante usada a cada período de fundamental, o que conservaria a característica do método proposto de produzir uma baixa frequência de comutação das chaves. Uma forma de fazer isso seria, por exemplo, comutar entre um nível de combinação redundante para outro a cada passagem de \mathbf{V}^* pelo ângulo zero. Esta não é, no entanto, a estratégia que minimiza o número de chaveamentos por período de fundamental.

A mudança entre duas combinações de um mesmo vetor espacial demandam mudanças de estado (comutações) dos três braços do conversor. No funcionamento normal do conversor, no entanto, as mudanças de combinações são realizadas durante uma transição entre dois vetores espaciais originais quaisquer. Nestes casos tais transições também produzem, em geral, comutações dos três braços. Um exemplo disso é a transição do vetor V_3 para o vetor V_4 associada à uma mudança da primeira combinação de V_3 para a segunda combinação de V_4 ($\{0;-2;-2\} \rightarrow \{1;0;-1\}$). Há, no entanto, três posições angulares no espaço vetorial onde se pode realizar simultaneamente uma transição entre dois vetores espaciais e uma mudança de combinação redundante, gastando-se para isso comutações em apenas dois braços do conversor. Estas três posições correspondem aos três eixos trifásicos (0° , 120° e 240°) no caso de transição de uma combinação mais baixa para uma mais alta. Um exemplo disso é a transição da primeira combinação do vetor V_2 , $\{0;-2;-1\}$, para a segunda combinação de V_3 $\{1;0;-1\}$, na qual o braço C permanece no estado '-1'. Analogamente, nas transições duplas realizadas sobre o eixo correspondente a 120° , o braço A nunca comuta. E nas transições realizadas sobre o eixo a 240° é o braço C que permanece no mesmo estado.

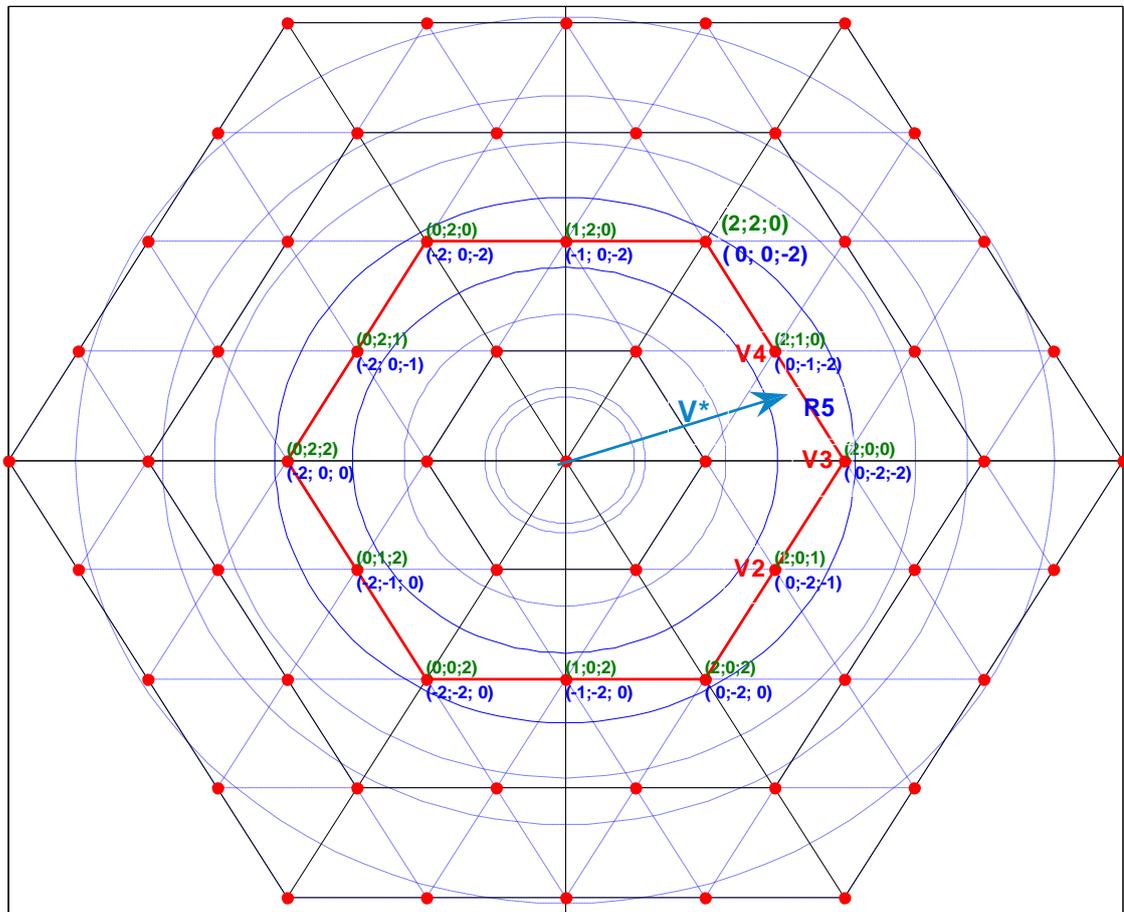


Figura 4.20: Diferentes combinações usadas para produzir os vetores espaciais pertencentes ao hexágono H_2 (vermelho), correspondente à operação dentro da região 5.

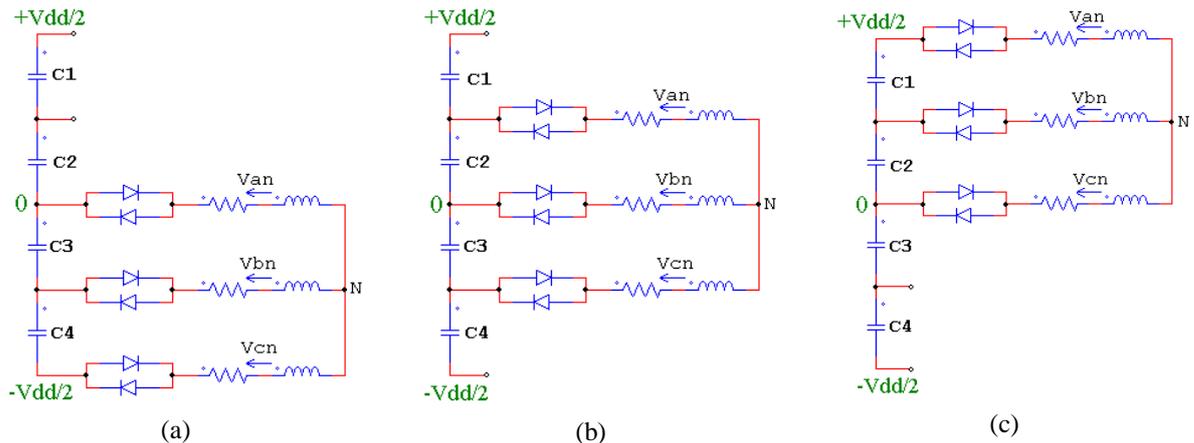


Figura 4.21: Diagrama simplificado do conversor, correspondentes à aplicação do vetor \mathbf{V}_4 na carga através da combinação: (a) $\{0;-1;-2\}$; (b) $\{1;0;-1\}$; (c) $\{2;1;0\}$.

Tendo-se a idéia acima em mente e buscando-se ainda distribuir uniformemente as perdas por comutação entre os três braços do conversor, implementou-se um algoritmo de controle de mudanças de combinações redundantes no qual uma mudança de combinação ocorre a cada 480° ($1,33\bar{3}$ ciclo de fundamental), sempre sobre os eixos trifásicos e sempre na seguinte sequência: 1º eixo Vb (120°); 2º eixo Vc (240°); 3º eixo Va (0°), e assim por diante. Desta forma, são produzidos apenas três desligamentos extras (com a função exclusiva de equalizar as tensões), dentre as 24 chaves do conversor e para cada 4 períodos da tensão fundamental, o que representa um acréscimo pequeno nas perdas por comutação do conversor em relação ao funcionamento sem este mecanismo de equalização das tensões. Este mecanismo de equalização permitiu obter uma perfeita equalização entre as médias, no tempo, das somas das tensões sobre C_1 e C_2 e sobre C_3 e C_4 .

Na Figura 4.22 e na Figura 4.23 observam-se os gráficos dos estados dos três braços do conversor no tempo, respectivamente, sem e com a utilização do mecanismo de equalização parcial da tensão dos capacitores apresentado acima. Os gráficos correspondem à operação dentro da mesma região R_5 usada na análise acima. No caso do uso do mecanismo de equalização das tensões (Figura 4.23), as mudanças de combinações vetoriais a cada 480° produzem alterações nas faixas dentro das quais as variáveis C_A , C_B e C_C oscilam. Ocorre também uma flutuação de baixa frequência no potencial do neutro da carga em relação ao potencial do ponto 0 do barramento de entrada (V_{N0}). Esta flutuação não afeta as tensões fase-neutro e fase-fase da carga.

Além de produzir a equalização parcial das tensões dos capacitores do barramento CC, este mecanismo de troca das combinações redundantes permite também distribuir de maneira uniforme as perdas por condução e por comutação entre os pares de chave S_1/S_5 e S_4/S_8 , assim

como entre os pares de chaves S_2/S_6 e S_3/S_7 , em toda a faixa $0 \leq M \leq 1$. Verifica-se também uma distribuição uniforme das perdas por comutação entre os três braços do conversor.

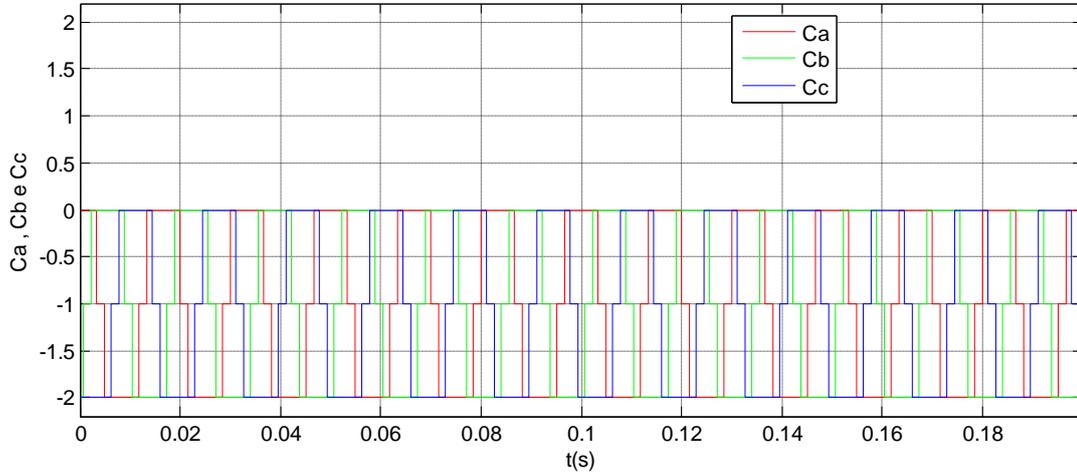


Figura 4.22: Estado dos braços A, B e C do conversor sem a utilização do mecanismo de equalização parcial das tensões do capacitores do barramento CC.

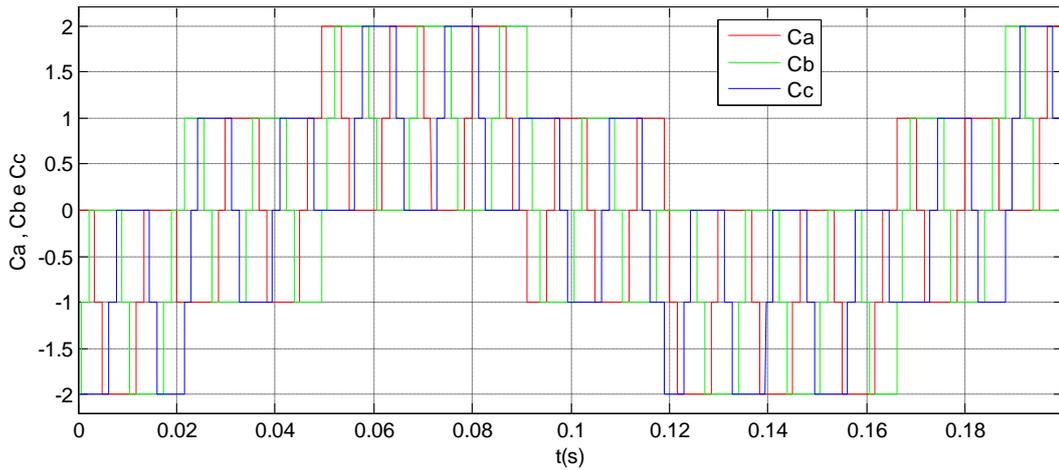


Figura 4.23: Estado dos braços A, B e C do conversor utilizando-se o mecanismo de equalização parcial das tensões do capacitores do barramento CC.

4.6 Conclusões

O método de modulação SSVM proposto se baseia na utilização dos vetores originais do conversor, sem produzir a síntese de novos vetores médios através da comutação entre os vetores originais, como é feito no método SV-PWM. A estratégia proposta reduz o número de comutações das chaves do inversor.

A estratégia de escolha dos vetores originais a serem usados para representar as amostragens do vetor de referência garante que a tensão fase-neutro produzida na saída do inversor tenha mesma frequência e ângulo de fase do vetor de referência, além de ter uma componente fundamental com amplitude idêntica ao módulo do vetor de referência usado.

O método proposto garante a linearidade da relação entre variável de entrada e saída em toda a faixa $0,0293 \leq M \leq 0,969$. Esta linearidade é obtida através da utilização de uma função de ajuste aplicada ao vetor de referência \mathbf{V}^* , representada pela equação (4.6). A equação (4.7), usada apenas na região de sobre-modulação, permite aumentar a tensão fundamental máxima que pode ser produzida na saída do inversor.

A implementação das equações (4.6) e (4.7) pode ser feita através de tabelas ou de equações polinomiais. Em ambos os casos, o método proposto apresenta baixo custo computacional.

Faz parte do método proposto um mecanismo de equalização parcial das tensões dos capacitores do barramento CC que utiliza a existência de diferentes combinações dos estados dos braços do conversor capazes de produzir os mesmos vetores espaciais. Este mecanismo aumenta de forma quase imperceptível as perdas por chaveamento nos IGCTs, não altera as perdas por condução nestes dispositivos, e faz com que a média da soma das tensões nos capacitores C_1 e C_2 seja exatamente igual à média da soma das tensões nos capacitores C_3 e C_4 . A equalização das tensões entre C_1 e C_2 e entre C_3 e C_4 deve ser realizada através de um circuito externo dedicado a este fim. O mecanismo acima também distribui de maneira uniforme as perdas por condução e por comutação entre as 24 chaves do conversor.

5 Resultados de Simulação

Neste capítulo são mostrados os resultados de simulação obtidos a partir da utilização do método de modulação SSVM em um inversor NPC trifásico de cinco níveis.

O sistema a ser simulado foi modelado utilizando-se a ferramenta Simulink, do Matlab. Nesta plataforma foram implementados os métodos de modulação SSVM e SV-PWM.

O método de comparação SV-PWM foi implementado em duas versões diferentes. Na primeira, denominada simplesmente SV-PWM, utilizou-se uma frequência de chaveamento fixa, independente do valor de M e de f_s . Nesta abordagem o número de comutações por período de fundamental (f_{PWM}/f_s) é tanto maior quanto menor é o valor de f_s , o que faz com que as perdas por comutação sejam maiores e a THD seja menor para baixos valores de f_s . A distorção da tensão o número de comutações por período fundamental são função não apenas do índice de modulação, mas também da frequência fundamental.

A segunda versão do método SV-PWM utilizada, denominada SV-PWM Síncrono, utiliza relações f_{PWM}/f_s constantes, de tal forma que perdas por comutação e THD passam a não depender de f_s . No método proposto estas duas figuras de mérito dependem apenas de M , portanto, a comparação do método proposto com o método SV-PWM Síncrono é mais apropriada do que com o método SV-PWM original, com frequência de comutação fixa.

O método proposto, por sua vez, também foi implementado em duas versões, ambas apresentadas na Seção 4.4: SSVM e HSSVM.

Os detalhes da plataforma de simulação desenvolvida são apresentados na próxima seção.

5.1 Plataforma Utilizada

Para a realização dos testes em ambiente de simulação, utilizou-se o modelo em Simulink de um sistema composto por um inversor NPC trifásico de cinco níveis, por um motor de indução de média tensão e alta potência acionado pelo inversor, uma carga mecânica acoplada ao eixo do MI, e pelo eixo de acoplamento entre o motor e a carga, além da implementação do método de modulação SV-PWM para conversores de cinco níveis proposto por Severo

Mendes em [38]. Este modelo foi desenvolvido dentro do grupo de pesquisas GEP/UFMG, em um trabalho não publicado.

A utilização do modelo em Simulink permitiu verificar a influência de cada método de modulação sobre a dinâmica do sistema. Foram contemplados na modelagem parâmetros como a inércia dos elementos girantes, os atritos e o efeito de torção do eixo de acoplamento motor/carga.

No modelo em Simulink os semicondutores foram modelados como chaves ideais. Para a obtenção de resultados relativos às perdas por condução, perdas por comutação e dinâmica térmica dos dispositivos, os semicondutores e dissipadores foram modelados, em Arquivo M, utilizando-se os parâmetros fornecidos pelos fabricantes que são relevantes para a análise conduzida (Anexos A e B). Os parâmetros utilizados foram:

- (a) A equação que determina a energia dissipada durante desligamento (no caso do IGCT) e durante a recuperação reversa (no caso dos diodos) em função do valor da corrente que era conduzida pelo dispositivo;
- (b) A equação que relaciona a queda de tensão do dispositivo com a corrente de condução;
- (c) A resistência térmica entre junção e encapsulamento dos semicondutores;
- (d) A resistência térmica entre encapsulamento e dissipador;
- (e) A capacitância térmica da junção dos semicondutores;
- (f) A capacitância térmica do encapsulamento dos semicondutores;
- (g) A resistência térmica dissipador-ambiente.

A análise em simulação foi então realizada em duas etapas. Na primeira etapa utilizou-se o modelo em Simulink para produzir e armazenar resultados de corrente, tensão e estados das chaves no tempo, em condições de operação variadas como regime transitório, regime permanente, índices de modulação variados. Os dados de tensão, corrente e estado das chaves semicondutoras foram armazenados e posteriormente processados no modelo construído em Arquivo M de forma a calcular as perdas nos semicondutores e obter a dinâmica térmica do sistema.

Para o cálculo das perdas por condução e comutação dos mesmos, foram utilizados os modelos apresentados na Seção 3.5.

Foram comparadas as seguintes figuras de mérito: THD da tensão fase-neutro da carga, THD da corrente de carga, perdas por comutação e por condução nos semicondutores principais do

inversor, perdas na chave crítica e perdas totais no conversor, pulsação de velocidade angular, pulsação de conjugados elétrico no motor e custo computacional em simulação.

Foram geradas várias séries de simulações, cada uma delas com duração de quatro segundos, sendo dois segundos referentes a uma rampa de aceleração partindo de tensão e frequência zero até valores finais de tensão e frequência correspondentes à condição de operação em regime permanente, mantendo-se este valor final por mais dois segundos, conforme mostrado na Figura 5.1. Em cada uma das séries de simulações, foram alterados os valores da tensão e da frequência final (operação em regime permanente). Para cada método de modulação avaliado (SSVM, HSSVM, SV-PWM e SV-PWM Síncrono), foram geradas 56 simulações conforme descrito acima na faixa $0,0303 \leq M \leq 1,0278$, equivalente à faixa $2\text{Hz} \leq f_s \leq 68\text{Hz}$. Em todas as condições de simulação citadas acima a relação V/f foi mantida constante.

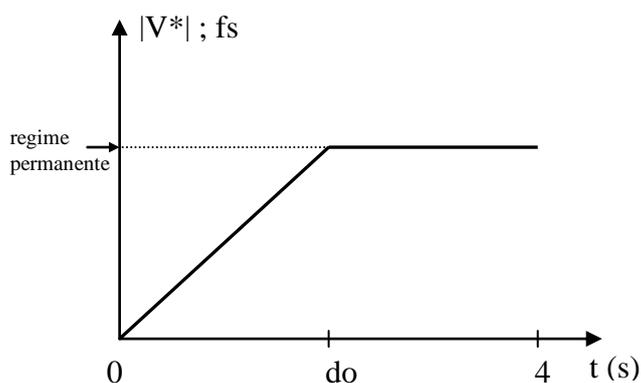


Figura 5.1: Padrão de tensão e frequência usados na entrada do modulador nas simulações em Simulink.

O modelo geral utilizado nas simulações em Simulink é mostrado na Figura 5.2. Os modelos específicos que compõem o modelo geral são descritos a seguir.

1) Modelo do inversor (no Simulink):

Os modelos dos IGCTs e diodos de grameamento são apresentados na Figura 5.3. Estes dispositivos foram modelados como chaves ideais, com resistência interna de $1\text{m}\Omega$, e parâmetros do *snubber* utilizados são: $R = 0,1\text{M}\Omega$ e $C = \infty$.

Os diodos de grameamento foram modelados usando-se o modelo de diodos presente no Simulink, com os seguintes parâmetros de *snubber*: $R = 500\Omega$ e $C = 250\text{nF}$.

Os capacitores do barramento CC foram modelados como fontes CC ideais.

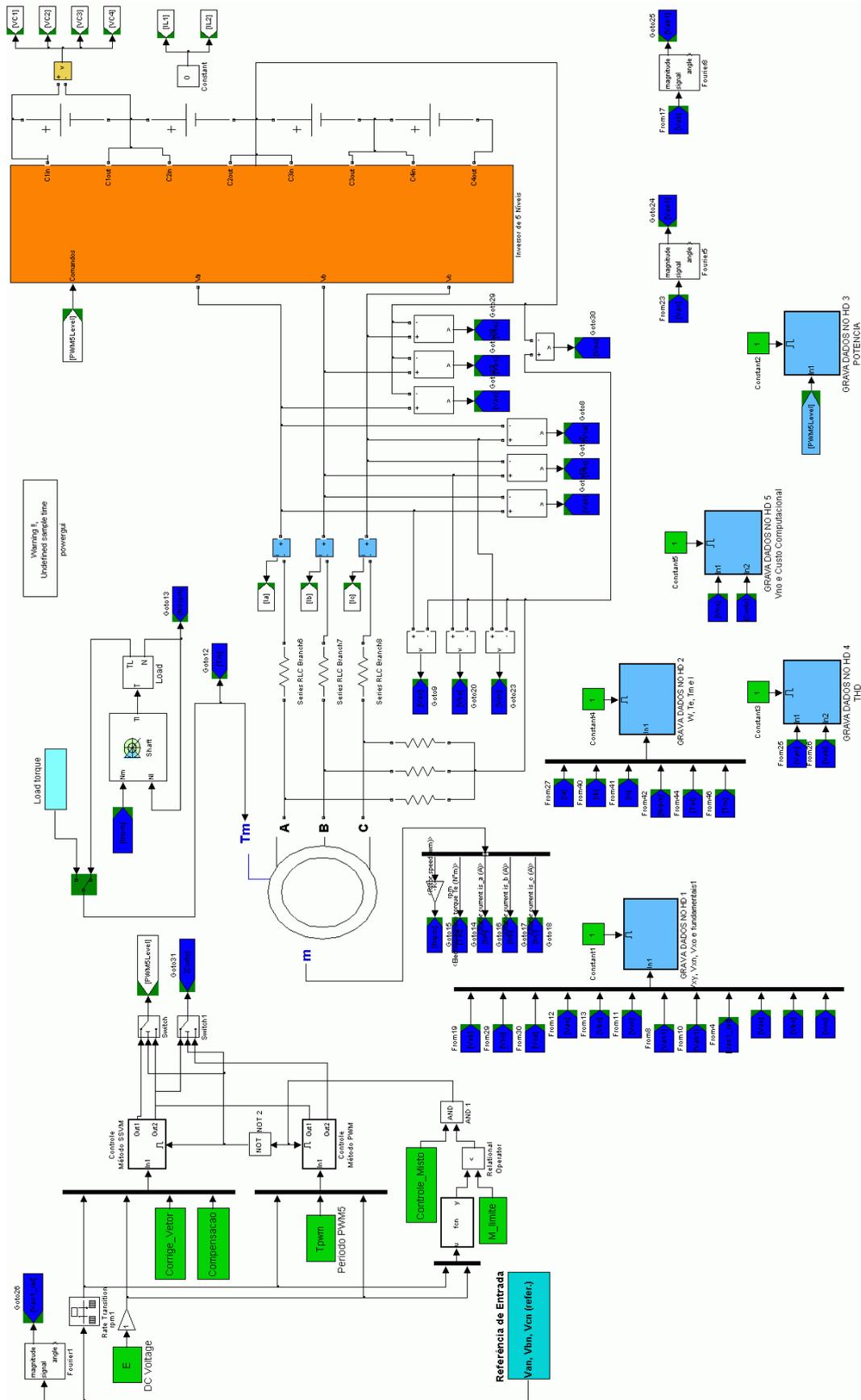


Figura 5.2: Modelo geral usado nas simulações em Simulink.

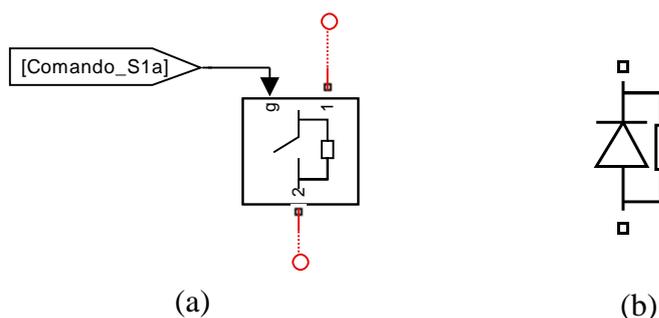


Figura 5.3: Modelos dos semicondutores usados no inversor: (a) IGBT; (b) diodo de grampeamento.

2) Modelo do motor de indução (no Simulink)

Utilizou-se o modelo *Induction Machine* do *Simulink* com rotor em gaiola. Os parâmetros utilizados neste modelo são os seguintes:

- 1) Potência nominal: $P_n = 600\text{HP}$
- 2) Tensão de linha: $V_n = 4,16\text{ kV}$
- 3) Frequência nominal: $f_n = 60\text{ Hz}$
- 4) Fator de potência: $\cos(\varphi) = 0,86$
- 5) Parâmetros do estator: $R_s = 0,3139\ \Omega$ / $L_s = 6,2\text{ mH}$
- 6) Parâmetros do rotor: $R_r = 0,25568\ \Omega$ / $L_r = 12,5\text{ mH}$
- 7) Indutância mútua: $L_m = 305,5\text{ mH}$
- 8) Eficiência: $E_f = 95,79\%$
- 8) Inércia: $J = 4,7\text{kg}\cdot\text{m}^2$
- 9) Fator de fricção: $F = 0,9173\text{ N}\cdot\text{m}\cdot\text{s}$
- 10) Número de pólos: 4

3) Modelo do eixo de acoplamento entre MI e carga (no Simulink)

O efeito de torção no eixo de acoplamento entre o motor de indução e a carga mecânica foi modelado utilizando-se o bloco *Mechanical Shaft*, do *Simulink*. Foram adotados os seguintes parâmetros:

- 1) Rigidez à torção do eixo: $K = 17190\text{N}\cdot\text{m}$
- 2) Fator de fricção interna do eixo: $B = 1600\text{N}\cdot\text{m}\cdot\text{s}$
- 3) Conjugado nominal: $T_N = 2500\text{N}\cdot\text{m}$ a 1800rpm

4) Modelo da carga mecânica acoplada ao eixo do MI (no Simulink)

A carga mecânica acoplada ao eixo do motor foi modelada com os seguintes parâmetros:

- 1) Inércia: $J = 4,0 \text{ kg}\cdot\text{m}^2$
- 2) Atrito viscoso: $F_c = 0,006 \text{ N}\cdot\text{m}\cdot\text{s}$

5) Modelo dos Semicondutores Principais (em Arquivo M)

Foram levantados resultados preliminares de simulação, no Simulink, com o objetivo de dimensionar, em corrente, os semicondutores principais a serem modelados no restante da etapa de simulação. Foram realizadas simulações nos 56 pontos de operação citados na Seção 5.1. Para cada ponto de operação (PO) considerado, foram levantadas as correntes média e eficaz em cada um dos 22 semicondutores principais (8 chaves, 8 diodos de roda livre e 6 diodos de grampeamento). Foram gerados então gráficos de corrente média e eficaz em função de M em cada um dos 22 dispositivos, tendo sido considerados os métodos de modulação SSVM e SV-PWM. Quatro dos 12 gráficos produzidos são mostrados na Figura 5.4 e na Figura 5.5, que apresentam as correntes média e eficaz no IGCT e no diodo de grampeamento para o método SSVM. Os valores máximos de corrente média e eficaz observados nas 12 curvas levantadas são mostradas na Tabela 5.1, sempre considerando-se os valores encontrados no pior caso.

Tabela 5.1: Valores máximos de corrente média e eficaz nos dispositivos semicondutores

Método de Modulação	Dispositivo					
	IGCT (chave)		IGCT (diodo roda livre)		Diodo de Grampeamento	
	Corrente Média (A)	Corrente Eficaz (A)	Corrente Média (A)	Corrente Eficaz (A)	Corrente Média (A)	Corrente Eficaz (A)
SSVM	37,22	58,71	1,03	6,00	10,17	23,68
SV-PWM	38,36	60,70	0,74	3,95	9,94	26,26

Na Seção 3.4 foram calculados os valores de tensão de dimensionamento dos semicondutores considerando confiabilidade de 100 FIT. Os valores encontrados foram:

$$\text{IGCT: } V_{\text{DClink}} = 1500\text{V} \quad / \quad \text{Diodo de Grampeamento: } V_{\text{DClink}} = 3000\text{V}$$

Com base nos valores de tensão acima e nos valores de corrente mostrados na Tabela 5.1, selecionou-se os seguintes dispositivos semicondutores:

- IGCT: dispositivo 5SHX 08F4510 (da ABB), cujos principais parâmetros são:

$$V_{\text{DClink}} = 2800 \text{ V}$$

$$I_{\text{T(RMS)}} = 390 \text{ A}$$

- Diodos de Grampeamento: dispositivo 5SDF 02D6004, fabricado pela ABB, cujos principais parâmetros são:

$$V_{DClink} = 3300V$$

$$I_{F(RMS)} = 275 A$$

As folhas de especificação dos semicondutores escolhidos são apresentadas no Anexo B.

A partir do gráfico da Figura 5.4, verifica-se que os IGCTs (chaves) centrais do braço do inversor (S_4 e S_5) são os que conduzem os maiores valores de corrente, especialmente em baixos valores de M . À medida que o valor de M se aproxima de um, as correntes nas chaves S_3 e S_6 tendem aos valores observados para S_4 e S_5 , os quais correspondem aos valores críticos de corrente para as chaves S_1 a S_8 .

No caso dos diodos de grampeamento, conforme se observa através da Figura 5.5, os valores de corrente observados para os dispositivos DC_3 e DC_4 são superiores aos observados para os demais diodos na maior parte da faixa de M . O ponto crítico ocorre em $M = 0,725$, quando a diferença entre as correntes em DC_3 e DC_4 em relação aos demais diodos é máxima.

Para os dois métodos avaliados (SSVM e SV-PWM) foram obtidos resultados praticamente idênticos de correntes média e eficaz nos dispositivos semicondutores (chaves, diodos de roda livre e diodos de grampeamento), o que demonstra que estes valores são determinados principalmente pela carga.

Utilizando-se a metodologia apresentada na Seção 3.5 e a partir das folhas de especificação dos dispositivos escolhidos, apresentadas no Anexo B, levantou-se as equações $V \times I$ para estes dispositivos, mostradas abaixo. Estas equações foram utilizadas no cálculo, em simulação, das perdas por condução nestes dispositivos.

$$\text{IGCT (chave):} \quad V_T = 0,002 \cdot I_T(A) + 1,65 \quad (5.1)$$

$$\text{IGCT (diodo de roda livre):} \quad V_T = 0,00429 \cdot I_T(A) + 2,55 \quad (5.2)$$

$$\text{Diodo de Grampeamento:} \quad V_T(V) = 0,00722 \cdot I_T(A) + 3,3777 \quad (5.3)$$

Também através de metodologia apresentada na Seção 3.5 foram determinadas as equações de energia de desligamento em função da corrente de desligamento para os semicondutores escolhidos, obtendo-se os seguintes resultados:

IGCT (chave): o gráfico $E \times I$ da chave do IGCT é uma reta representada pela seguinte equação:

$$\text{IGCT (chave): } E_{\text{off}} = 5,2857 \times 10^{-3} \cdot I_{\text{TGQ}} + 0,04 \quad (5.4)$$

IGCT (diodo): da curva E x I pode-se extrair os pares ordenados abaixo:

I_{TGQ} (A)	200	300	400	500	600	700	800	900
E_{off} (J)	1,32	1,60	1,82	2,02	2,19	2,35	2,495	2,62

O polinômio que melhor se ajusta a este conjunto de pares ordenados é:

$$\text{IGCT (diodo): } E_{\text{off}} = -1,1220 \times 10^{-6} \cdot I_{\text{TGQ}}^2 + 3,0598 \times 10^{-3} \cdot I_{\text{TGQ}} + 0,7673 \quad (5.5)$$

Diodo de grampeamento: da curva E x I extraiu-se o seguinte conjunto de pontos:

I_{DC} (A)	100	160	200	250	300	400	450	500
E_{off} (J)	1,11	1,27	1,36	1,45	1,53	1,67	1,73	1,78

O polinômio que melhor se ajusta a este conjunto de pares ordenados é:

$$\text{DC: } E_{\text{off}} = -2,2358 \times 10^{-6} \cdot I_{\text{TGQ}}^2 + 2,9789 \times 10^{-3} \cdot I_{\text{TGQ}} + 0,8436 \quad (5.6)$$

Utilizando-se as equações acima, elaborou-se um modelo em Arquivo M que utiliza os resultados produzidos no Simulink (correntes de condução, correntes nos instantes de bloqueio e estado das chaves) de forma a determinar as perdas por condução e comutação nos três tipos de semicondutores modelados.

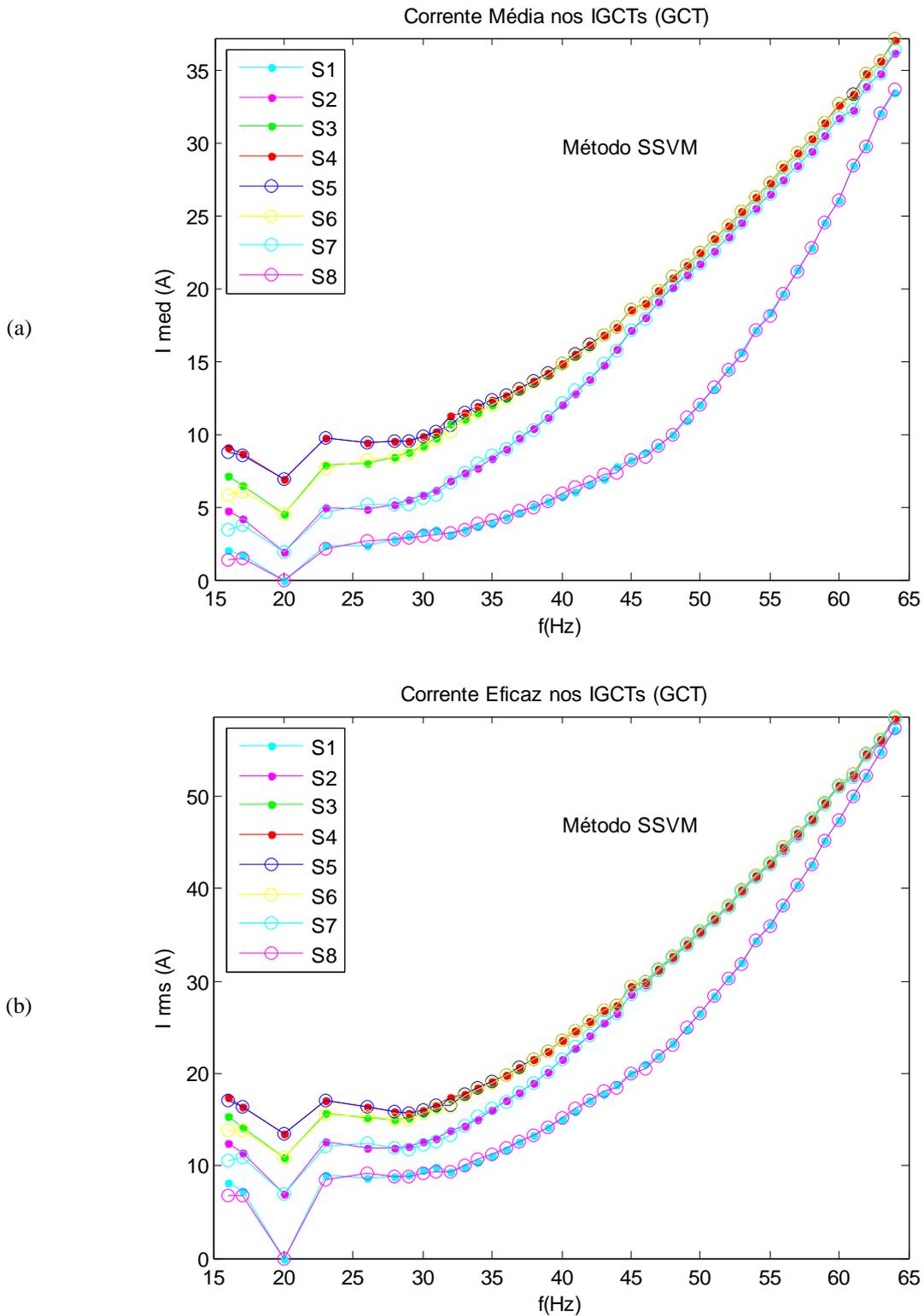


Figura 5.4: Corrente nos 8 IGCTs (chave) de um dos braços do inversor. (a) corrente média; (b) corrente eficaz. Método SSVM.

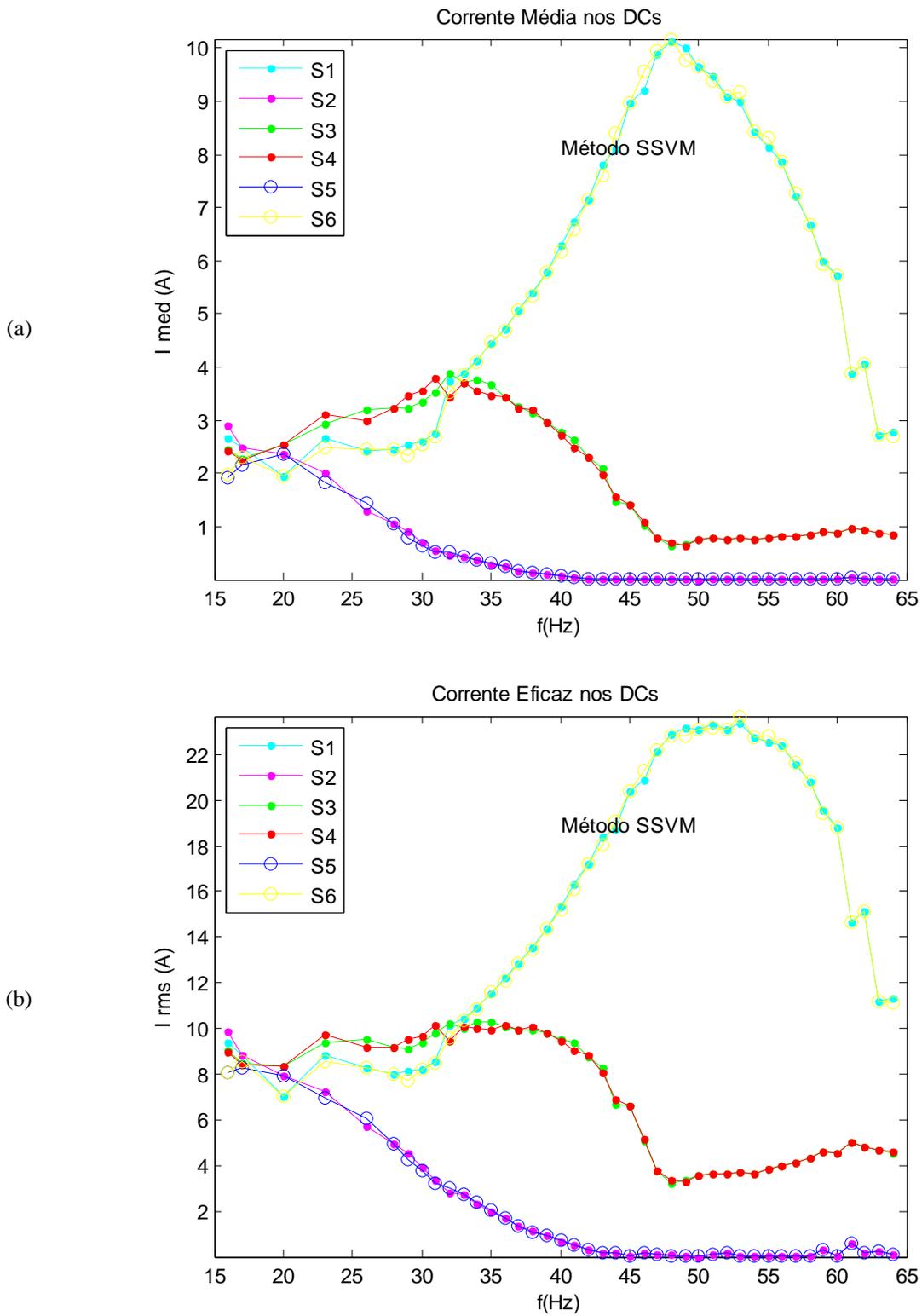


Figura 5.5: Corrente nos 6 diodos de grameamento de um dos braços do inversor. (a) corrente média; (b) corrente eficaz. Método SSVM.

5.2 Resultados de Simulação

Todos os resultados mostrados nesta seção foram obtidos mantendo-se a relação V/f constante com o PO nominal correspondendo a $f_s = 60\text{Hz} / M = 0,9069$. A relação entre f_s e M é dada por

$$f_s = [(2 \cdot 60 \cdot \sqrt{3}) / \pi] M \quad (5.7)$$

5.2.1 Formas de Onda de Tensão e Corrente

As formas de onda das tensões fase-neutro e das correntes de fase na carga produzidas pelo método SSVM são apresentadas a seguir para dois pontos de operação diferentes: na Figura 5.6 para $M = 0,8767$ ($f_s = 58\text{Hz}$), e na Figura 5.7 para $M = 0,6348$ ($f_s = 42\text{Hz}$).

As formas de onda de tensão mostradas nestas figuras apresentam características satisfatórias: simetria de meia onda e de quarto de onda, ausência de tensão média, deslocamento de fase de 120° e pequeno número de comutações por período de fundamental.

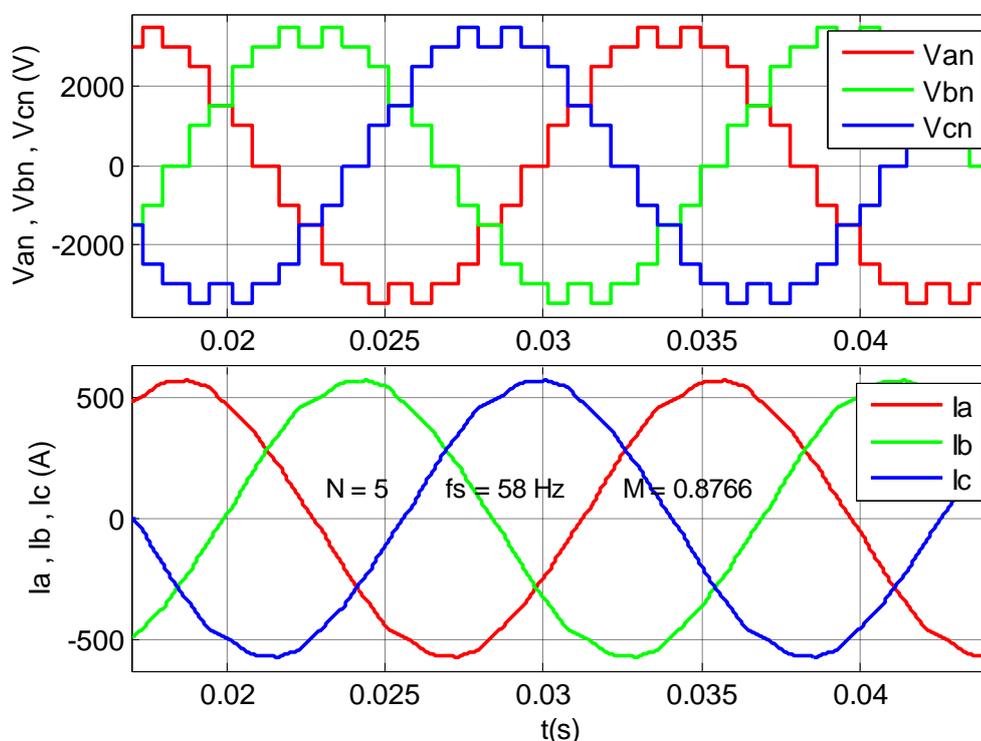


Figura 5.6: Tensões trifásicas fase-neutro, fase-fase e correntes trifásicas na carga. $M = 0,9069$ ($f_s = 60\text{Hz}$). Método SSVM

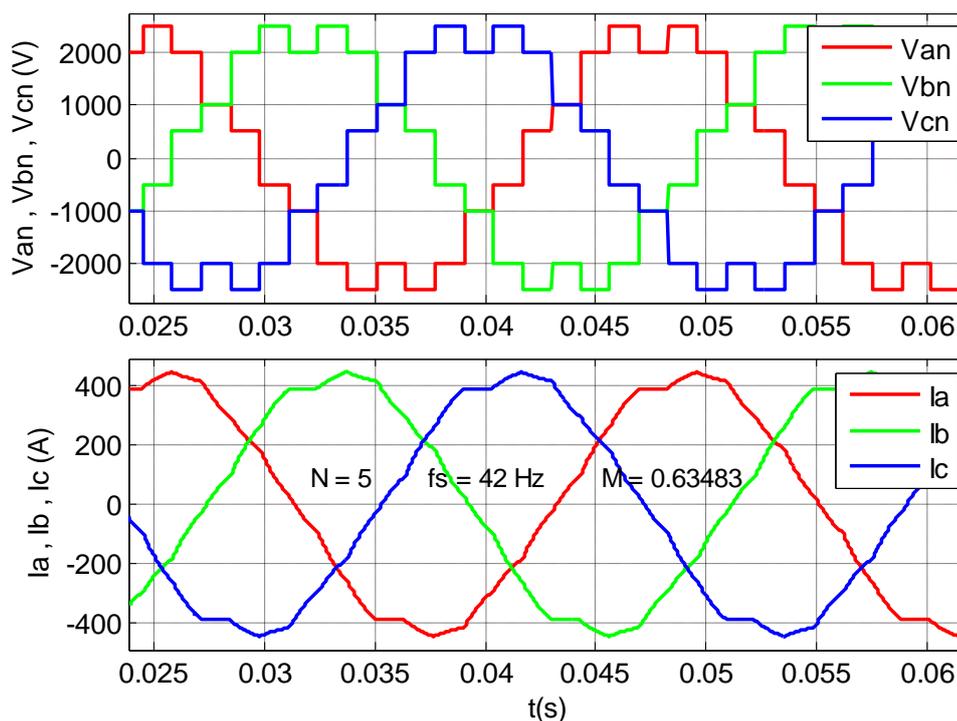


Figura 5.7: Tensões trifásicas fase-neutro, fase-fase e correntes trifásicas na carga. $M = 0,75575$ ($f_s = 50\text{Hz}$). Método SSVM

5.2.2 Conteúdo Harmônico na Tensão Fase-Neutro

Os gráficos da tensão fase-neutro V_{AN} no domínio do tempo e da frequência para os métodos SSVM e SV-PWM são apresentados da Figura 5.8 até a Figura 5.15. Considerou-se o método SV-PWM com frequência de chaveamento f_{PWM} igual a 600Hz.

São apresentados resultados para quatro pontos de operação diferentes:

- 1) $M = 0,9069$ / $f_s = 60\text{Hz}$: Figura 5.8 e Figura 5.9;
- 2) $M = 0,7557$ / $f_s = 50\text{Hz}$: Figura 5.10 e Figura 5.11;
- 3) $M = 0,6046$ / $f_s = 40\text{Hz}$: Figura 5.12 e Figura 5.13;
- 4) $M = 0,4535$ / $f_s = 30\text{Hz}$: Figura 5.14 e Figura 5.15.

Os quatro pontos de operação acima foram selecionados por representar, cada um deles, uma região de operação diferente das demais em termos da qualidade da tensão produzida na saída. Para cada PO, a primeira figura apresenta a tensão no domínio do tempo, enquanto que a segunda e a terceira apresentam resultados no domínio da frequência.

Os gráficos no domínio da frequência são apresentados com as escalas verticais dadas como percentual da amplitude da componente harmônica fundamental. Nestes gráficos as componentes fundamentais não são mostradas.

Os gráficos no domínio do tempo da Figura 5.8, da Figura 5.10, da Figura 5.12 e da Figura 5.14 mostram uma redução no número de comutações por período de fundamental obtida pelo método proposto em relação ao método SV-PWM, qualquer que seja o ponto de operação considerado, embora esta redução seja mais evidente para índices de modulação mais baixos.

Nos gráficos correspondentes no domínio da frequência verifica-se um número menor de componentes harmônicas nos resultados correspondentes ao método proposto na comparação com o método SV-PWM. É possível observar que a vantagem do método proposto (SSVM) em relação ao método de comparação (SV-PWM) é tanto maior quanto maior for o valor do índice de modulação. Na Figura 5.13 e na Figura 5.15, correspondentes às frequências fundamentais mais baixas (40Hz e 30Hz respectivamente), observa-se que, embora haja uma menor quantidade de harmônico nos resultados correspondentes ao método proposto, existe para o método SSVM uma presença de harmônicos de amplitudes mais altas em frequências mais baixas na comparação com o método SV-PWM, o que indica que a vantagem do método proposto em relação ao método de comparação pode diminuir nas regiões de baixo índice de modulação. Este comportamento fica mais claro a partir das curvas de distorção harmônica total (THD) que serão apresentadas mais a frente.

A Tabela 5.2 lista os 50 primeiros harmônicos presentes na tensão fase-neutro (V_{AN}), ordenados pela frequência dos mesmos, para os métodos SV-PWM e SSVM operando no PO nominal ($f_s = 60\text{Hz}$). Para cada uma das 50 frequências harmônicas mostradas na tabela, o componente harmônico de menor amplitude, dentre aqueles produzidos por cada um dos métodos avaliados, é indicado em negrito. O método proposto produz a menor amplitude harmônica em 35 das frequências mostradas na tabela, enquanto o método SV-PWM a 600Hz produz o melhor resultado em 11 frequências. Em outras quatro frequências os dois métodos produzem resultados iguais.

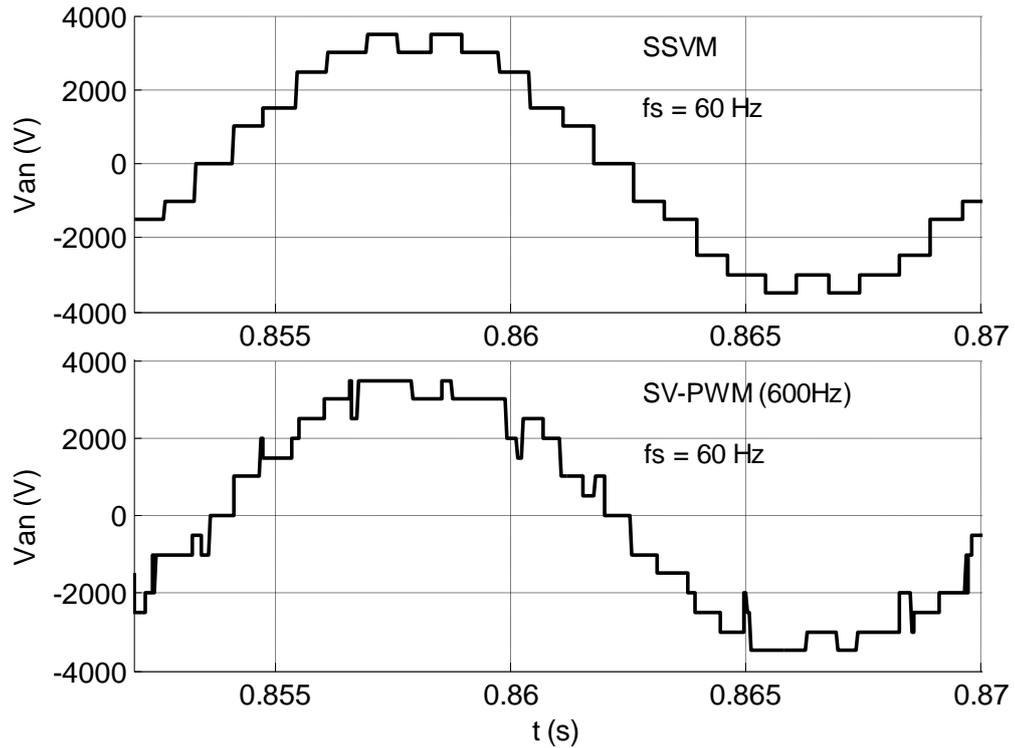


Figura 5.8: Tensão V_{AN} na carga para $M = 0,9069$ ($f_s = 60\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.

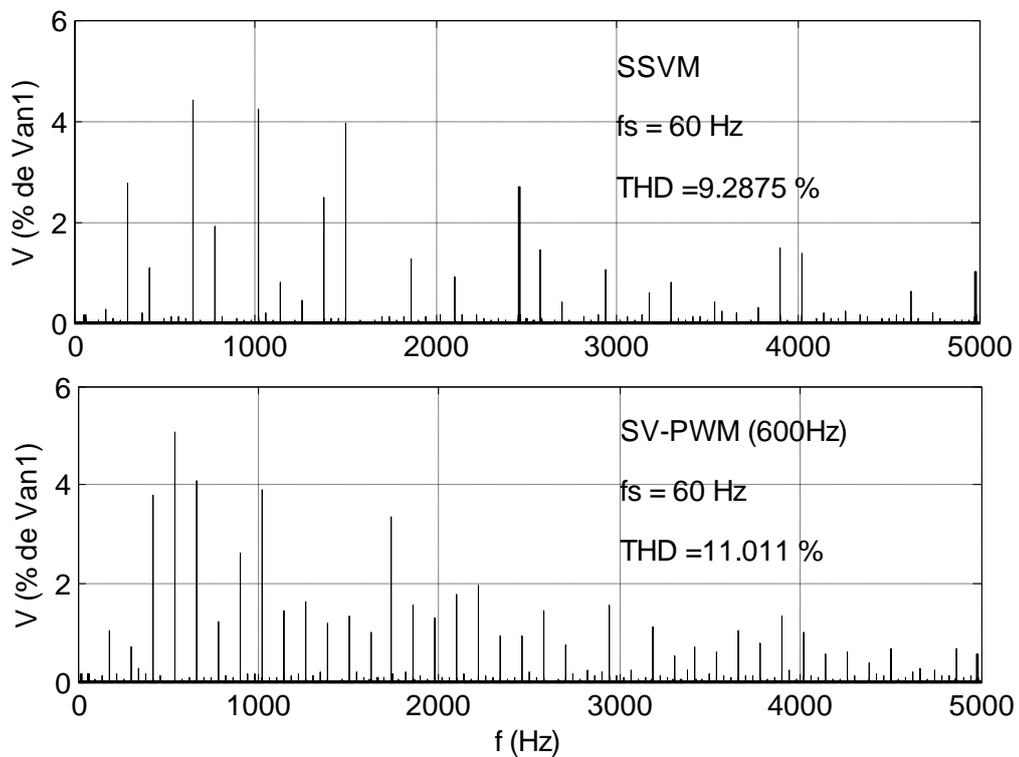


Figura 5.9: Espectro de frequências de V_{AN} para $M = 0,9069$ ($f_s = 60\text{Hz}$). Harmônicos dados em termos de percentual do harmônico fundamental. Métodos SV-PWM (600Hz) e SSVM.

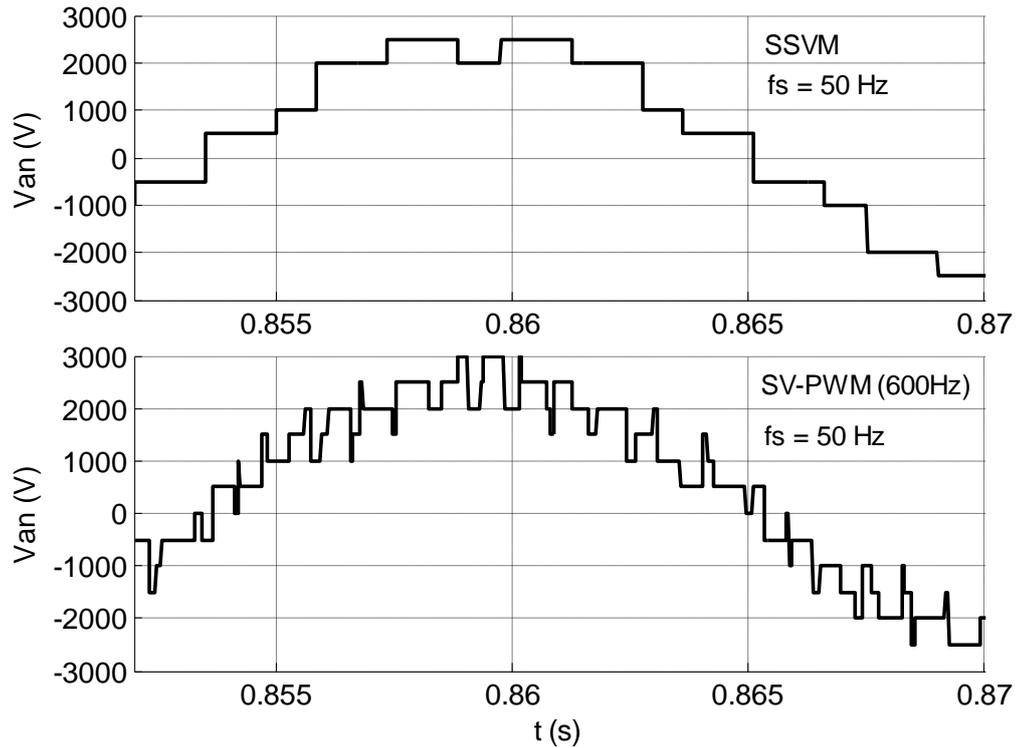


Figura 5.10: Tensão V_{AN} no domínio do tempo para $M = 0,75575$ ($f_s = 50\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.

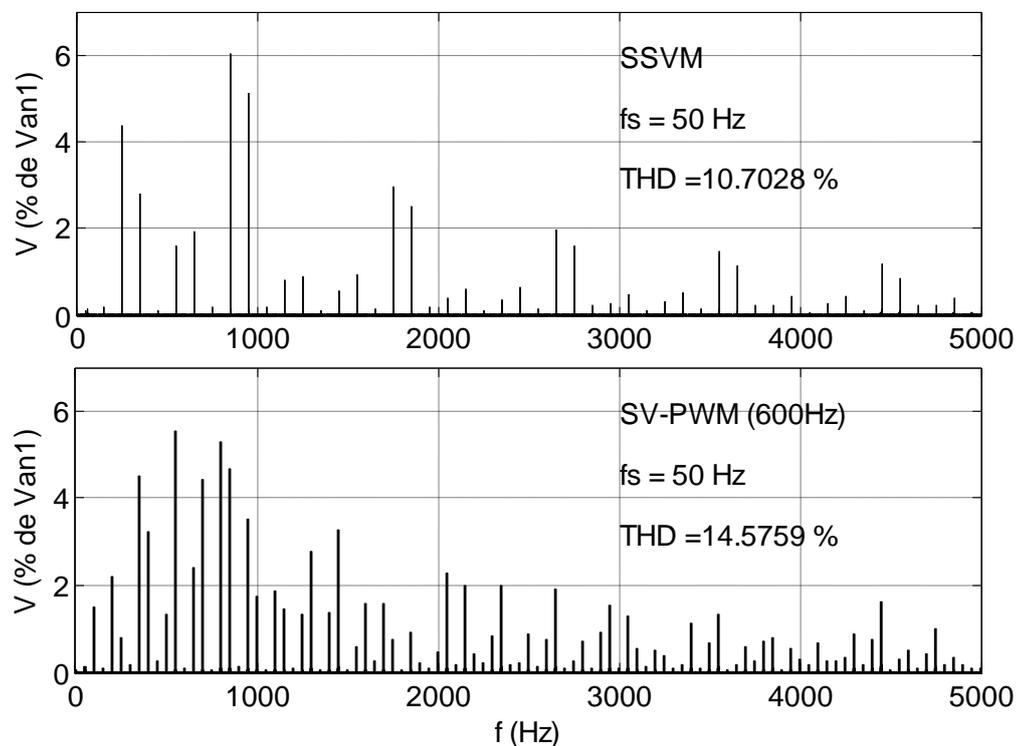


Figura 5.11: Espectro de frequências de V_{AN} para $M = 0,75575$ ($f_s = 50\text{Hz}$). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.

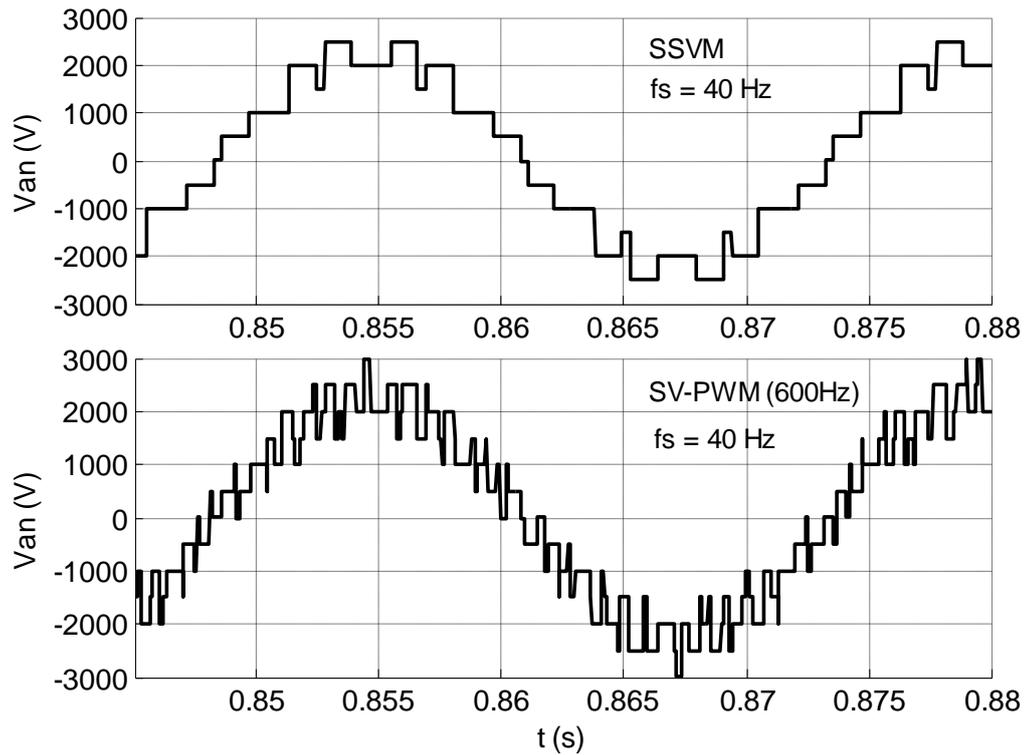


Figura 5.12: Tensão V_{AN} no domínio do tempo para $M = 0,6046$ ($f_s = 40$ Hz). Métodos SV-PWM (600Hz) e SSVM.

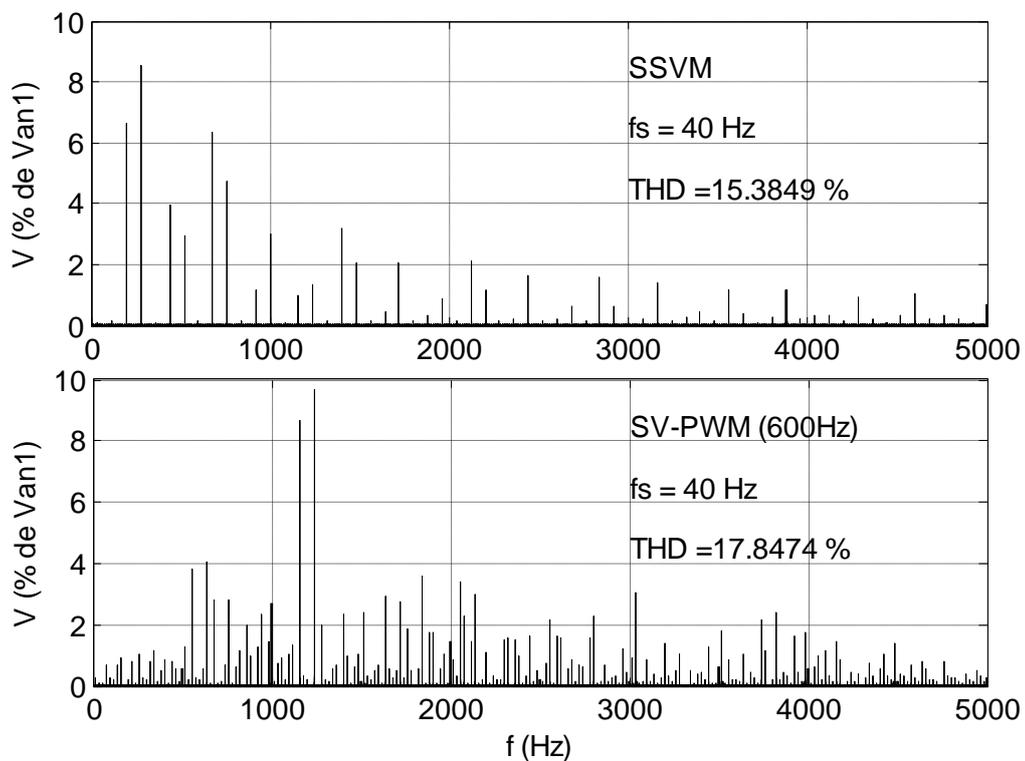


Figura 5.13: Espectro de frequências de V_{AN} para $M = 0,6046$ ($f_s = 40$ Hz). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.

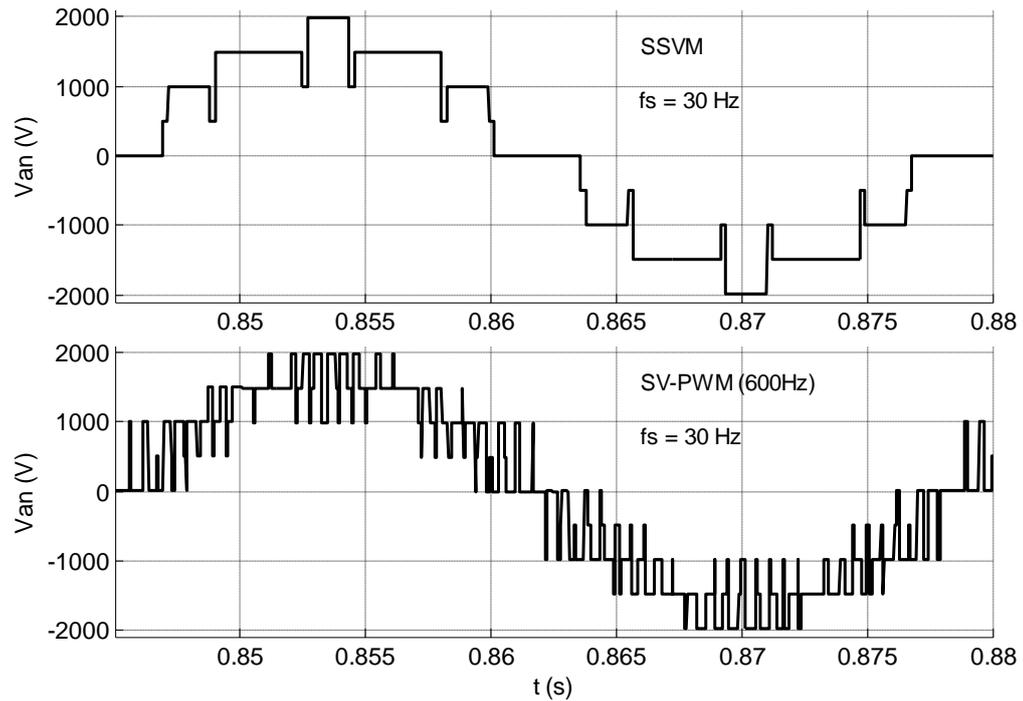


Figura 5.14: Tensão V_{AN} no domínio do tempo para $M = 0,45345$ ($f_s = 30\text{Hz}$). Métodos SV-PWM (600Hz) e SSVM.

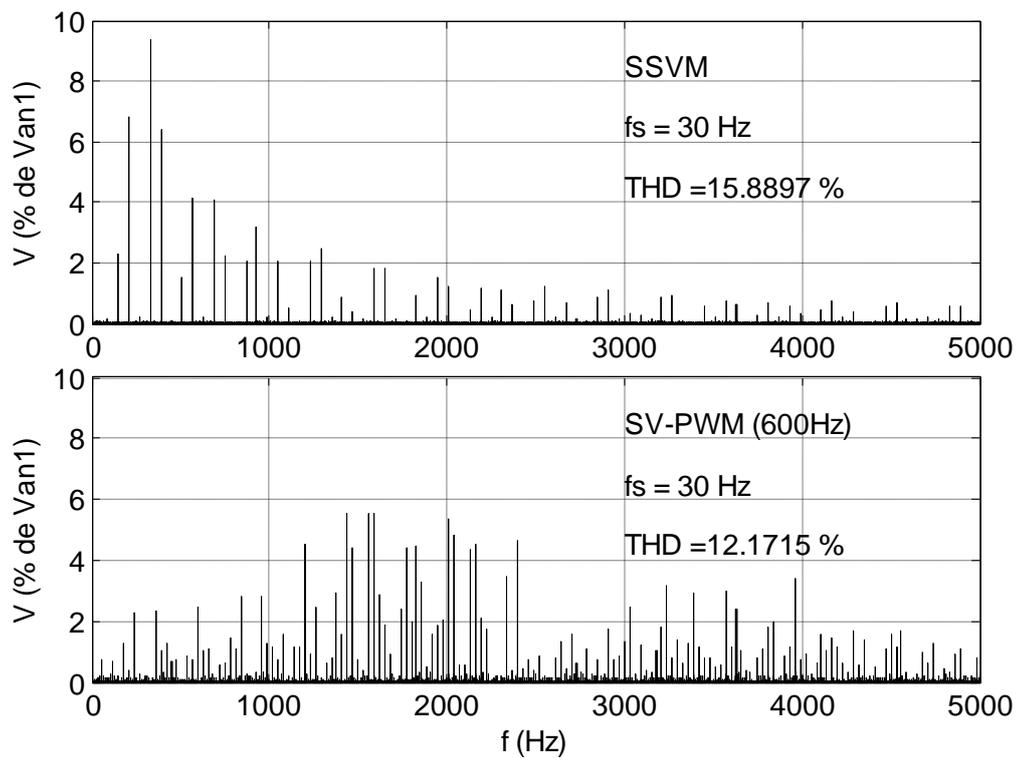


Figura 5.15: Espectro de frequências de V_{AN} para $M = 0,45345$ ($f_s = 30\text{Hz}$). Harmônicos dados em termos de percentual do fundamental. Métodos SV-PWM (600Hz) e SSVM.

Tabela 5.2: Harmônicos em V_{AN} para $f_s = 60\text{Hz}$

Ordem do Harmôn.	Frequência (Hz)	SV-PWM		SSVM	
		V_{AN} (V)	V_{AN} (% V_1)	V_{AN} (V)	V_{AN} (% V_1)
1	60	3454,23	100,00	3694,70	100,00
3	180	2,35	0,07	1,94	0,05
5	300	33,64	0,97	267,48	4,24
7	420	84,48	2,45	8,82	0,24
9	540	3,01	0,09	1,14	0,03
11	660	149,20	4,32	81,68	2,21
13	780	49,70	1,44	19,66	0,53
15	900	2,37	0,07	2,35	0,06
17	1020	27,72	0,80	62,36	1,69
19	1140	118,89	3,44	42,26	1,14
21	1260	3,43	0,10	0,17	0,00
23	1380	22,75	0,66	70,00	1,89
25	1500	65,34	1,89	114,35	3,09
27	1620	2,09	0,06	2,29	0,06
29	1740	59,44	1,72	112,11	3,03
31	1860	113,03	3,27	71,11	1,92
33	1980	1,58	0,05	0,72	0,02
35	2100	43,04	1,25	7,00	0,19
37	2220	41,97	1,22	20,31	0,55
39	2340	1,52	0,04	1,80	0,05
41	2460	41,33	1,20	2,61	0,07
43	2580	17,10	0,50	16,89	0,46
45	2700	1,66	0,05	1,37	0,04
47	2820	21,55	0,62	12,04	0,33
49	2940	46,73	1,35	7,84	0,21
51	3060	3,45	0,10	1,10	0,03
53	3180	26,63	0,77	45,82	1,24
55	3300	31,14	0,90	48,31	1,31
57	3420	1,85	0,05	1,55	0,04
59	3540	6,33	0,18	24,15	0,65
61	3660	36,47	1,06	6,97	0,19
63	3780	0,41	0,01	0,32	0,01
65	3900	28,04	0,81	7,54	0,20
67	4020	29,00	0,84	3,58	0,10
69	4140	1,05	0,03	1,41	0,04
71	4260	37,50	1,09	9,06	0,25
73	4380	6,17	0,18	8,86	0,24
75	4500	1,33	0,04	0,25	0,01
77	4620	21,34	0,62	5,28	0,14
79	4740	17,08	0,49	13,46	0,36
81	4860	4,04	0,12	0,99	0,03
83	4980	24,89	0,72	18,72	0,51
85	5100	11,44	0,33	13,70	0,37
87	5220	2,25	0,07	0,50	0,01
89	5340	12,96	0,38	1,44	0,04
91	5460	13,84	0,40	1,85	0,05
93	5580	2,22	0,06	0,50	0,01
95	5700	8,03	0,23	0,60	0,02
97	5820	7,93	0,23	2,07	0,06
99	5940	1,86	0,05	0,51	0,01

5.2.3 Distorção Harmônica Total da Tensão Fase-Neutro

Métodos SSVM e SV-PWM

Na Figura 5.16 são apresentados os resultados de THD correspondentes aos métodos SSVM e SV-PWM, calculados segundo a equação (1.1) e considerando-se os 51 primeiros harmônicos encontrados. Para efeito de comparação, três diferentes frequências de chaveamento (f_{PWM}) são adotadas para o método SV-PWM: 300Hz, 600Hz e 1200Hz. As frequências de chaveamento em torno de 600Hz são as mais utilizadas, no método SV-PWM, em aplicações de média tensão e alta potência. Frequências de chaveamento da ordem de 1200Hz ou acima são utilizadas em aplicações de média potência. Frequências de chaveamento em torno de 300Hz não são utilizadas na prática e foram incluídas na presente análise apenas para efeito de comparação.

Observa-se que o valor de THD da tensão V_{AN} é fortemente influenciado pelo PO considerado, havendo redução do mesmo à medida que aumenta o valor de M , independentemente do método de modulação ou da frequência f_{PWM} considerada. Observa-se que o método proposto propicia reduções nesta figura de mérito, quando comparado ao SV-PWM a 300Hz, qualquer que seja o PO considerado. Em relação ao SV-PWM chaveando a 600Hz, esta redução ocorre na faixa $f_s > 33\text{Hz}$ e, em relação ao SV-PWM chaveando a 1,2kHz, na faixa $f_s > 47\text{Hz}$. No PO nominal, o método proposto apresenta redução de THD mesmo quando comparado ao SV-PWM chaveando a 1,2 kHz.

A Figura 5.17 mostra a Distorção Total (DT) calculada conforme equação (1.2). Esta figura de mérito difere da THD por levar em consideração, no cálculo da distorção, todos os harmônicos, inter-harmônicos e sub-harmônicos presentes na tensão fase-neutro.

A elevação da frequência de chaveamento do método SV-PWM produz um deslocamento, na direção de $f = \infty$, dos harmônicos presentes, mas não há eliminação de harmônicos específicos em função desta elevação. Desta forma, o cálculo da DT conforme explicado acima, levando em conta todos os harmônicos independentemente da sua posição no espectro de frequência, produz resultados muito próximos em relação às diferentes frequências f_{PWM} adotadas para o método SV-PWM, conforme se verifica na Figura 5.17. Por outro lado, a DT produzida pelo método proposto é inferior à produzida pelo SV-PWM em toda a faixa de f_s avaliada.

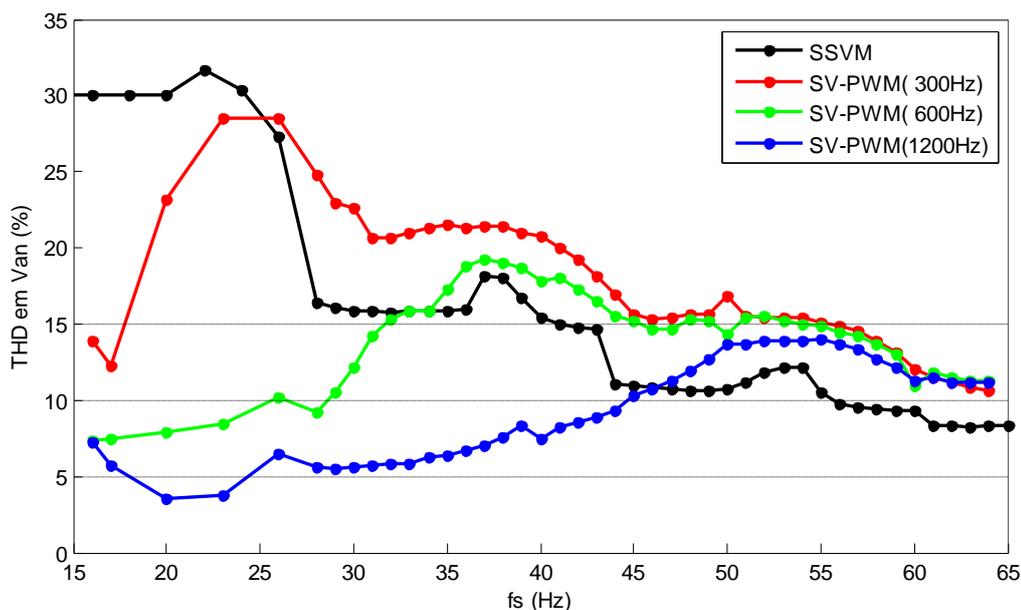


Figura 5.16: THD presente na tensão V_{AN} .

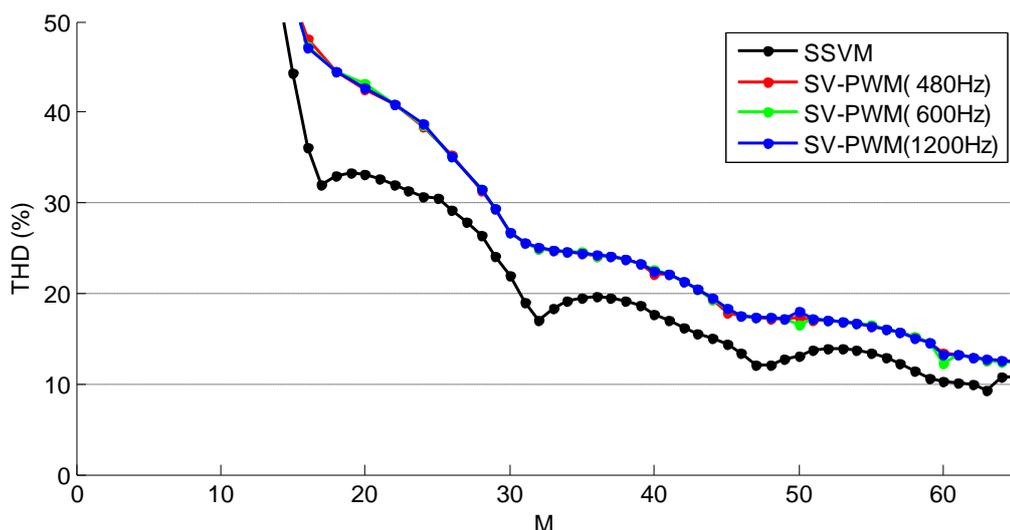


Figura 5.17: Distorção Total (DT) presente na tensão V_{AN} : Métodos SSVM e SV-PWM.

Métodos SSVM e SV-PWM Síncrono

Os resultados de THD acima se referem à implementação do método SV-PWM com frequência de chaveamento f_{PWM} fixa. Considerando que a relação V/f (ou M/f) foi mantida constante nestes casos, conclui-se que no método SV-PWM assim implementado o número de comutações por período fundamental depende de f_s e é mais alto para f_s mais baixo. Logo, para valores baixos de f_s este método trabalha com um número de chaveamentos por período fundamental mais alto e produz resultados melhores em termos de THD. No método SSVM, por sua vez, as formas de onda dependem de M, mas não de f_s . Por isso, a comparação entre os dois métodos mostrada na Figura 5.16 não é a mais apropriada.

Com o objetivo de permitir uma comparação mais adequada entre o método proposto e o método SV-PWM, implementou-se uma variação deste último, o método SV-PWM Síncrono, no qual o número de comutações por período fundamental é mantido constante, independentemente do valor da frequência fundamental (f_s) gerada.

A comparação entre o SSVM e o SV-PWM Síncrono é mostrada na Figura 5.18. Foram geradas cinco curvas relativas a este último método, correspondentes às seguintes relações entre f_{PWM} e f_s : 8, 12, 16, 24 e 32. O primeiro valor corresponde a uma frequência de chaveamento baixa (480Hz quando $f_s = 60$ Hz), adequada para conversores de alta potência. A terceira curva corresponde a uma frequência intermediária (960Hz para $f_s = 60$ Hz) e a última a uma frequência de chaveamento alta (1,92kHz para $f_s = 60$ Hz), adequada para conversores de média ou baixa potência. Na Figura 5.18(a) observa-se o gráfico completo relativo a esta comparação, enquanto que na Figura 5.18(b) é mostrado um detalhe da região mais relevante do mesmo. Em toda a faixa de M avaliada o método proposto produziu THD mais baixa do que a produzida pelo método SV-PWM com $f_{PWM} = 8 \cdot f_s$. Além disso, para $M \geq 0,4$ o método proposto superou o método de referência com $f_{PWM} = 16 \cdot f_s$. E na comparação com o SV-PWM com $f_{PWM} = 32 \cdot f_s$, o método proposto apresentou desempenho praticamente equivalente na faixa $M \geq 0,665$.

Com relação à Distorção Total (DT) calculada pela equação (1.2), que considera todos os harmônicos, sub-harmônicos e inter-harmônicos, não se observou alterações relevantes nos resultados em função da relação f_{PWM}/f_s adotada para o método SV-PWM Síncrono. No entanto, a DT produzida pelo método proposto se mostrou menor do que a produzida pelo SV-PWM Síncrono qualquer que seja o índice de modulação considerado.

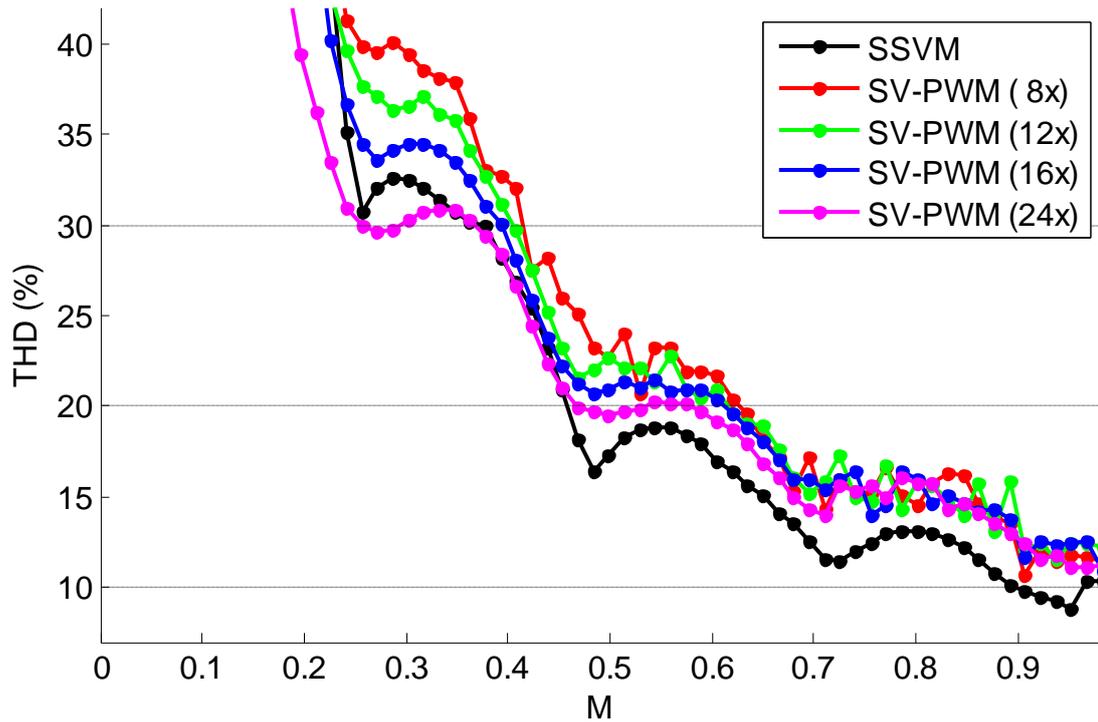


Figura 5.18: THD presente na tensão V_{AN} : para os métodos SSVm e SV-PWM síncrono.

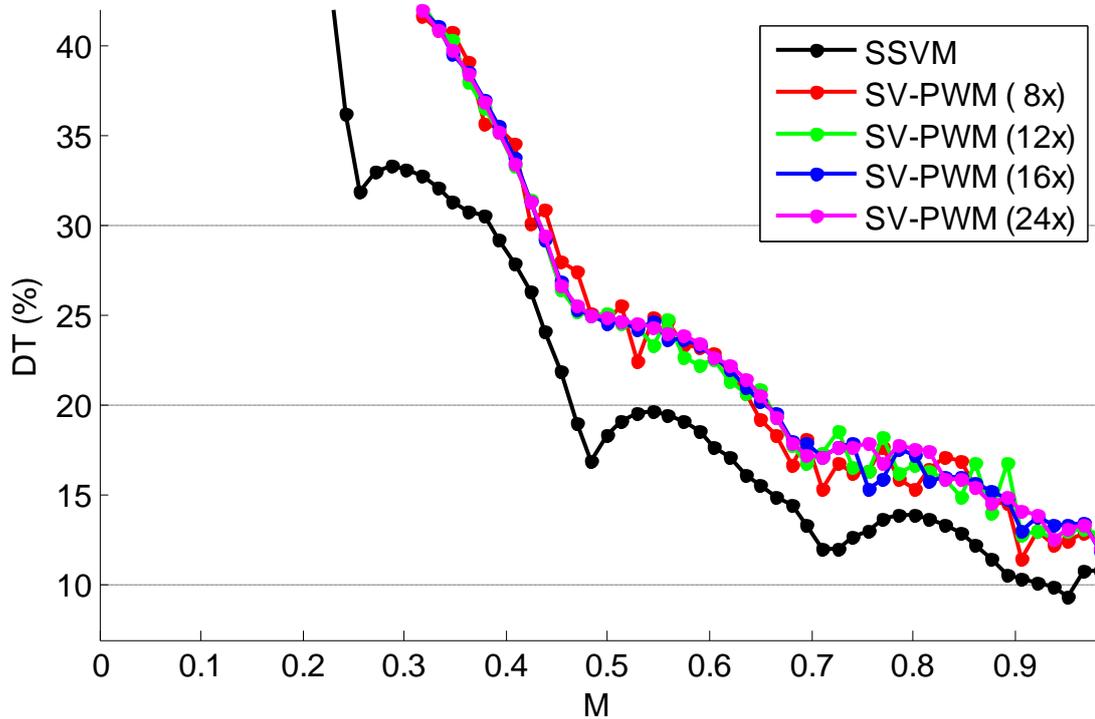


Figura 5.19: Distorção Total (DT) presente na tensão V_{AN} : Métodos SSVm e SV-PWM Síncrono.

5.2.4 Correntes nos Semicondutores

A Figura 5.20 e a Figura 5.21 mostram as correntes instantâneas nos semicondutores (IGCTs e diodos de grampeamento) de um dos braços do inversor para o ponto de operação nominal ($f_s = 60\text{Hz}$), operando em regime permanente.

A Figura 5.20 mostra os resultados obtidos para o método de modulação proposto, enquanto que a Figura 5.21 apresenta os resultados correspondentes ao método SV-PWM. Para este método foi adotada uma frequência de chaveamento igual a 600Hz , frequência esta apropriada para aplicações de média tensão e alta potência.

Na Figura 5.22 e na Figura 5.23 os resultados anteriores são repetidos para um novo ponto de operação: $f_s = 40\text{Hz}$.

A carga utilizada neste levantamento é a especificada na Seção 5.1 e a condição de operação é em regime permanente.

Estes resultados não apresentam grandes diferenças entre os dois métodos, exceto por um maior número de comutações entre as chaves para o método SV-PWM na comparação com o método SSVM, independentemente do ponto de operação considerado.

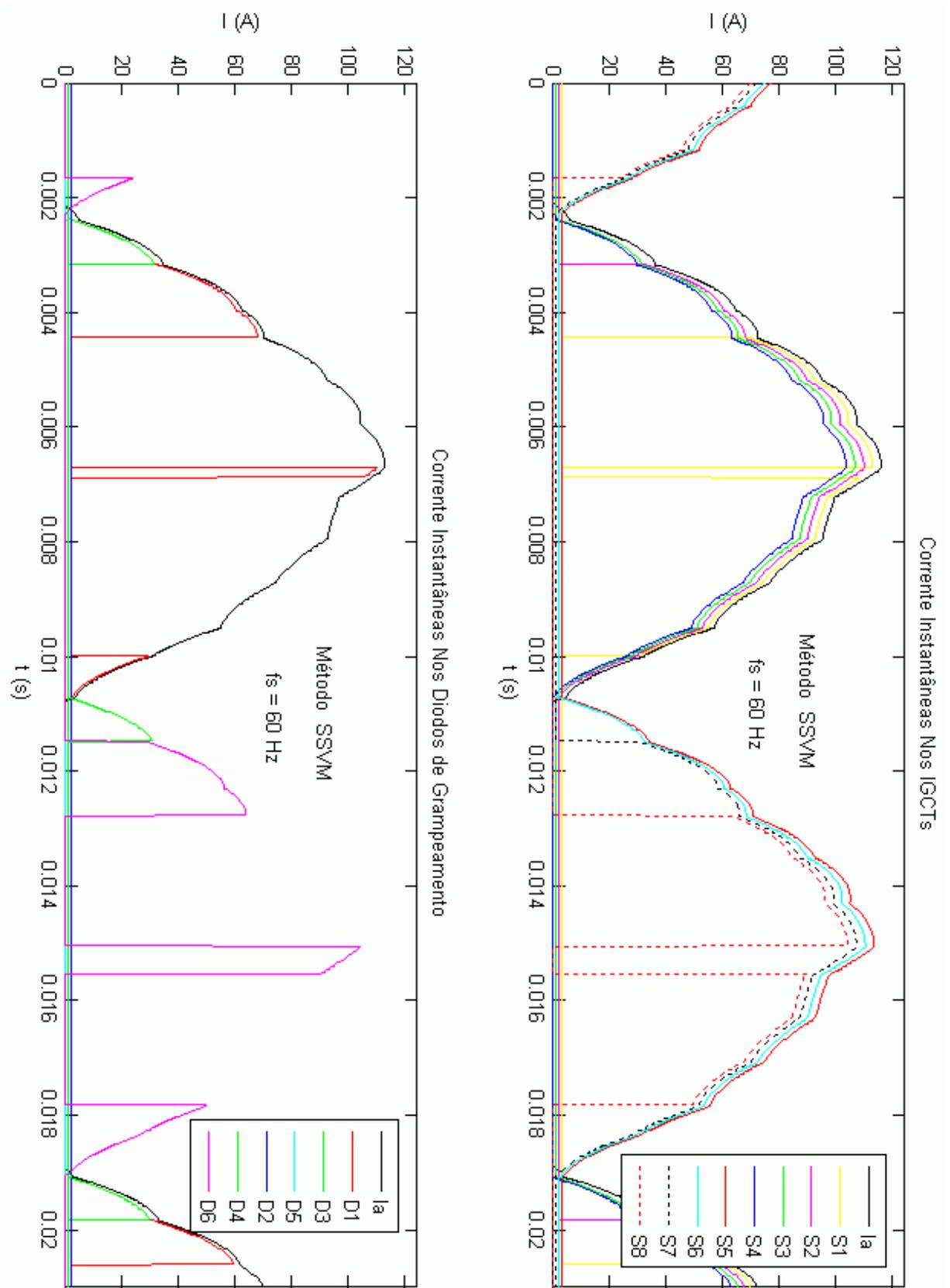


Figura 5.20: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SSVM e $f_s = 60$ Hz. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.

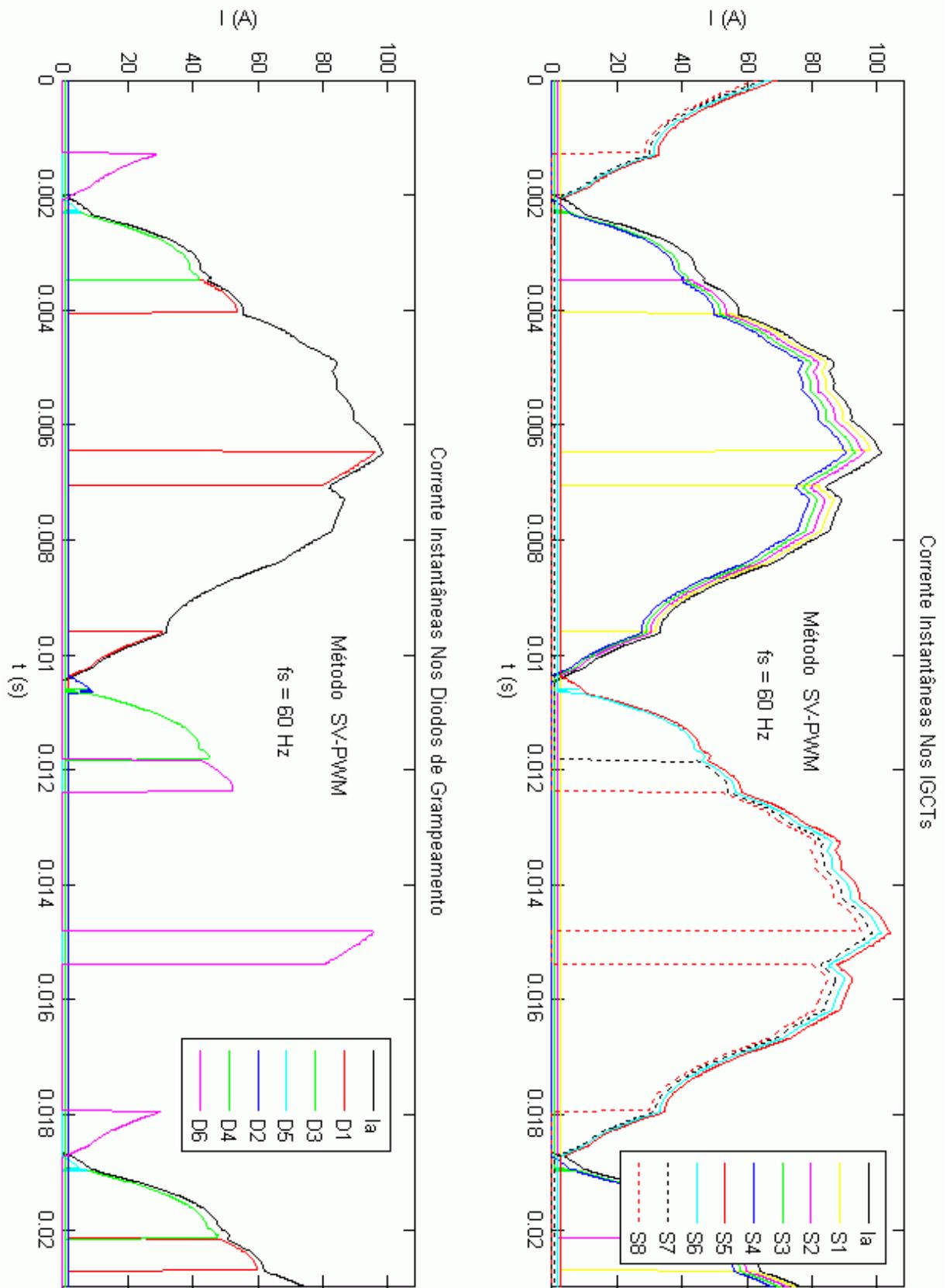


Figura 5.21: Correntes instantâneas nos IGCTs e Diodos de Grapemento, para o método SV-PWM e $f_s = 60$ Hz. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.

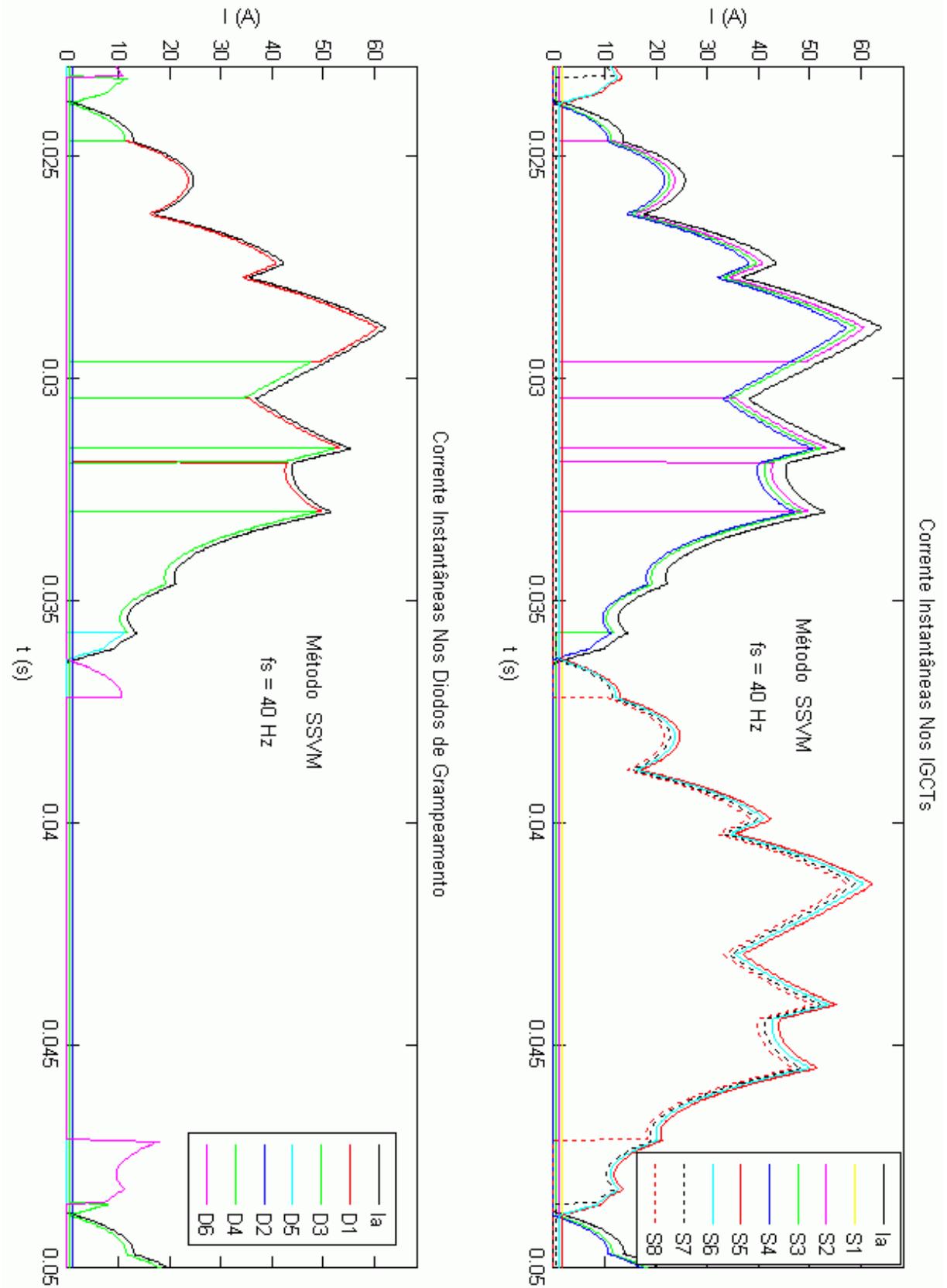


Figura 5.22: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SSVM e $f_s = 40\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.

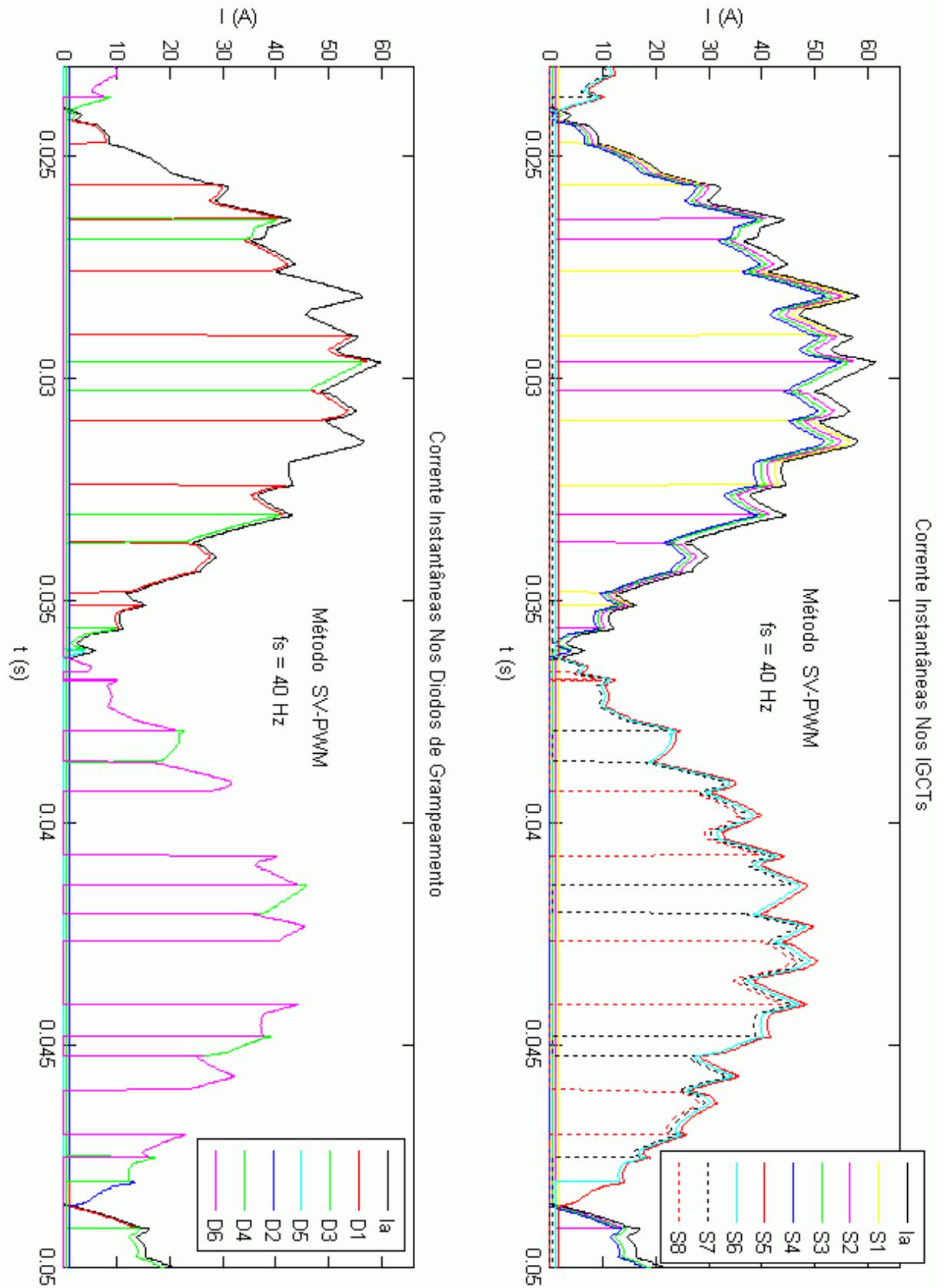


Figura 5.23: Correntes instantâneas nos IGCTs e Diodos de Grampeamento, para o método SV-PWM e $f_s = 40\text{Hz}$. Os ganhos e posições verticais das curvas foram ligeiramente alterados de forma a facilitar a visualização.

5.2.5 Relação Entre Entrada e Saída

A Figura 5.24 apresenta o gráfico das relações entre as amplitudes das componentes fundamentais das tensões Fase-Neutro (V_{AN1}) e Fase-Fase (V_{AB1}), medidas nos terminais da carga, em função do índice de modulação M e considerando-se o método proposto. Este gráfico apresenta uma relação linear entre estas duas tensões fundamentais e M na faixa

$$0,0293 \leq M \leq 0,969$$

que equivale a

$$1,86\% \cdot V_{dd} \leq |V^*| \leq 61,7\% \cdot V_{dd}.$$

considerando-se a equação (4.8).

Acima de $M = 0,969$ está a região de saturação do inversor/modulador. Abaixo de $M = 0,0293$ não é possível variar a amplitude das componentes fundamentais das tensões Fase-Neutro e Fase-Fase utilizando-se o método proposto.

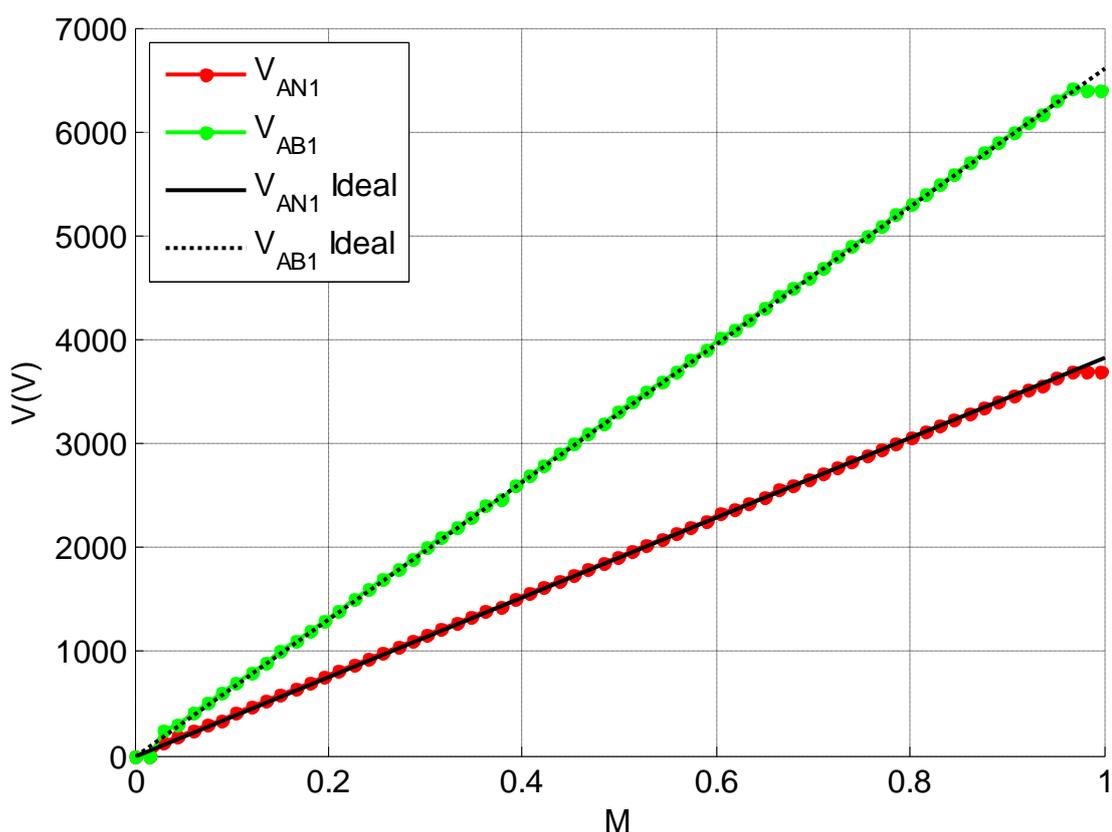


Figura 5.24: Componentes fundamentais das tensões Fase-Neutro (V_{AN1}) e Fase-Fase (V_{AB1}) em função de M , para o método SSVM.

5.2.6 Velocidade Angular do MI

A velocidade angular do MI (ω) em resposta à entrada em rampa da Figura 5.1 é mostrada da Figura 5.25 até a Figura 5.27. O intervalo correspondente ao regime permanente foi ajustado para a condição de operação nominal ($f_s = 60\text{Hz}$ e $M = 0,9069$). São mostrados os resultados correspondentes aos métodos SSVM e SV-PWM chaveando em 600Hz.

Na Figura 5.25 observa-se o comportamento do sistema durante a rampa de aceleração seguida pelo período de dois segundos correspondente ao regime permanente. Observa-se que os dois métodos avaliados produzem respostas praticamente idênticas em termos de variação de ω no tempo durante a rampa de partida do MI.

Na Figura 5.26 observa-se um detalhe do gráfico de velocidade angular do MI na região correspondente ao regime permanente. O método proposto é o que apresenta o melhor resultado em termos desta figura de mérito.

A Figura 5.27 apresenta o espectro de frequências correspondentes aos gráficos mostrados na Figura 5.26 (métodos SSVM e SV-PWM). Estas componentes de frequência são expressas como percentual da velocidade média do motor (componente fundamental). Comparado ao método SV-PWM, o método proposto produz um menor número de componentes de componentes harmônicas e estas apresentaram amplitudes mais baixas.

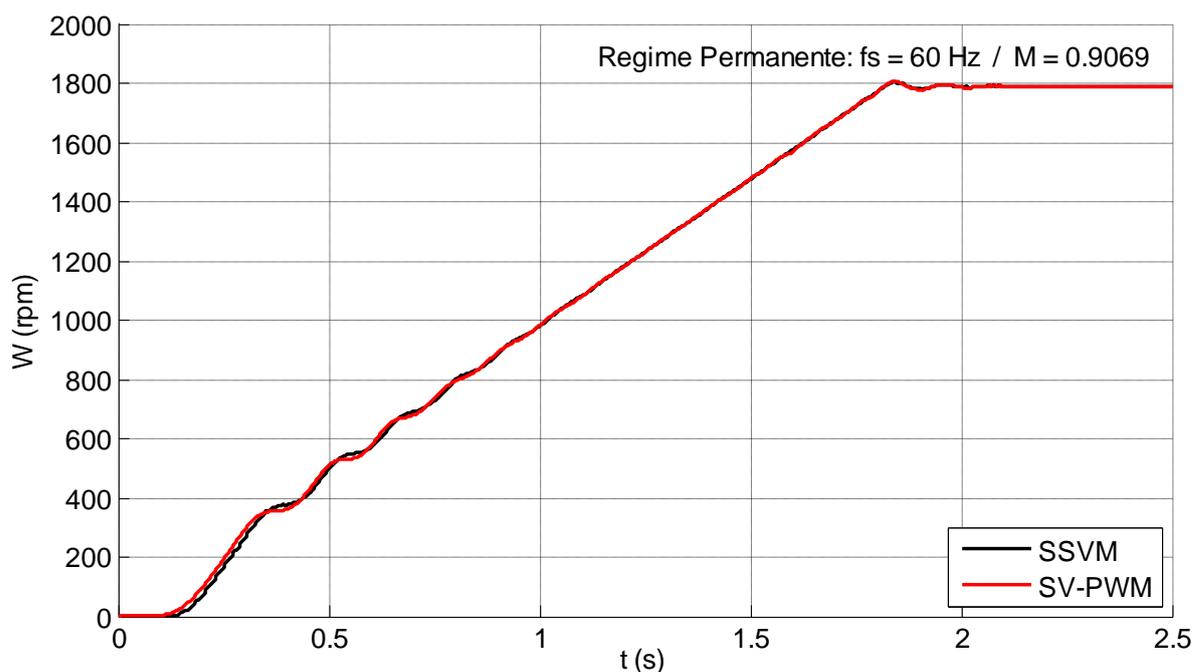


Figura 5.25: Velocidade angular do MI para os métodos SSVM e SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$).

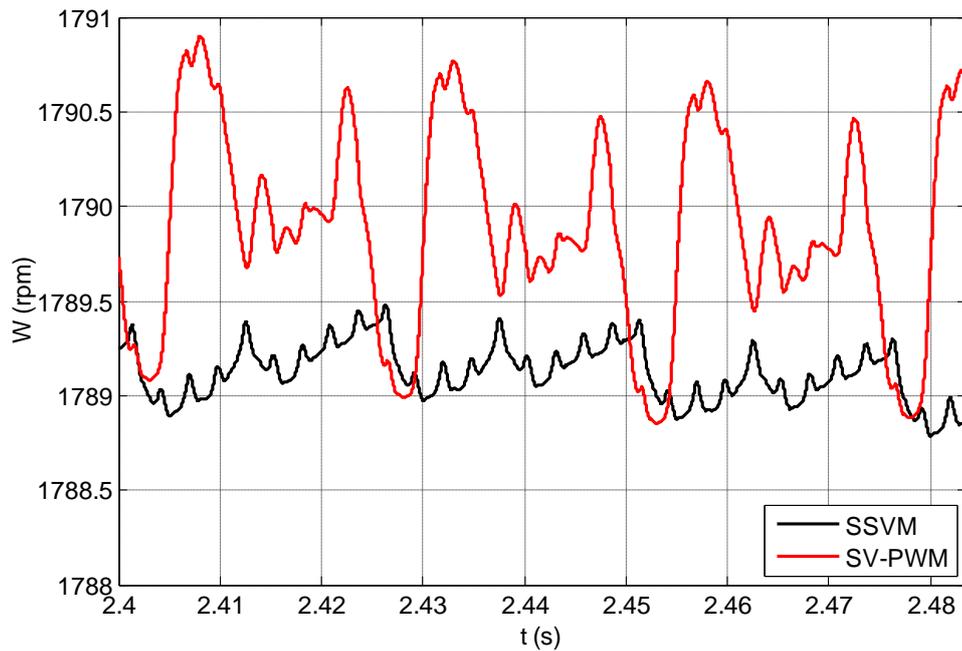


Figura 5.26: Velocidade angular do MI. Detalhe do regime permanente para os algoritmos SV-PWM ($f_{PWM} = 600\text{Hz}$) e HSSVM.

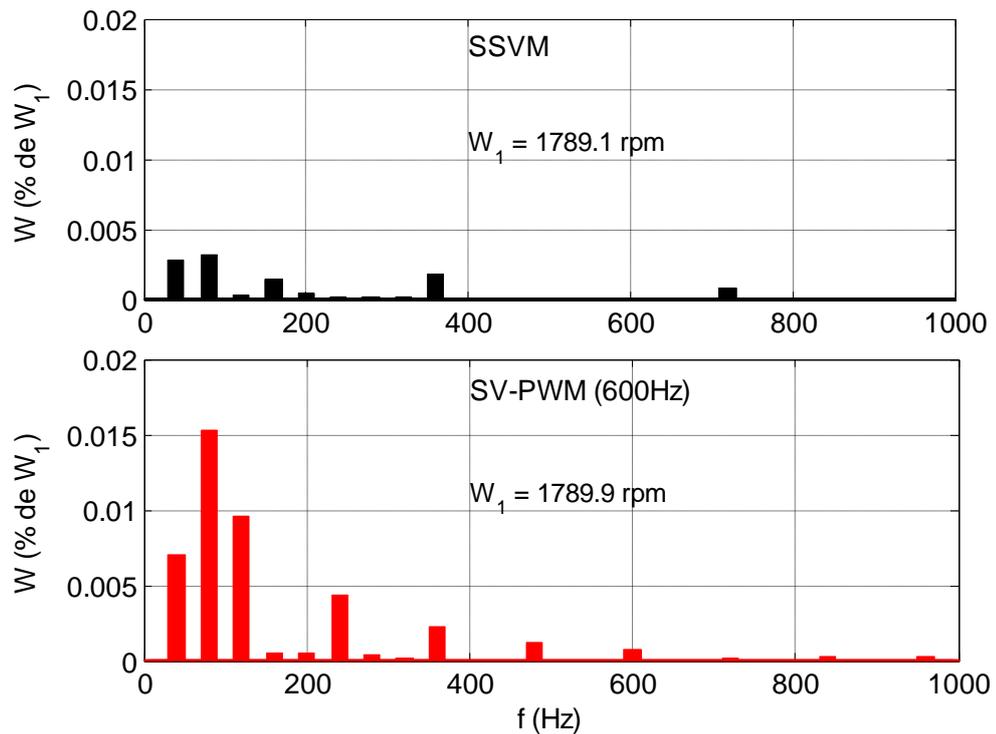


Figura 5.27: Espectro de frequências presente na velocidade angular do MI para os métodos SV-PWM ($f_{PWM} = 600\text{Hz}$) e HSSVM.

5.2.7 Conjugado Elétrico no MI

Da Figura 5.28 à Figura 5.30 é apresentado o conjugado elétrico do motor (T_e) em resposta à entrada em rampa da Figura 5.1, com patamar de regime permanente ajustado para $f_s = 60\text{Hz}$ e $M = 0,9069$. Foram utilizados os métodos SV-PWM chaveando a 600Hz, SSVM e HSSVM.

Na Figura 5.28 observa-se o comportamento do sistema durante a rampa de aceleração e durante todo o regime permanente. Durante a primeira metade da rampa de aceleração do MI o método proposto produz maiores oscilações de conjugado elétrico do que o método SV-PWM, após o que os dois métodos passam a apresentar resultados equivalentes.

Em regime permanente, assim como ocorreu com a velocidade angular do motor, o método proposto produz uma significativa redução na amplitude da pulsação de conjugado elétrico quando comparado ao método SV-PWM, conforme se observa na Figura 5.29.

O espectro de frequências para as curvas de T_e da Figura 5.29 (regime permanente) são mostrados na Figura 5.30, com as componentes de frequência sendo dadas como percentual do conjugado elétrico médio (componente fundamental). Também com relação ao conjugado elétrico, o método proposto produziu um menor número de componentes harmônicas e estas apresentam amplitudes menores, quando comparado ao método SV-PWM a 600Hz.

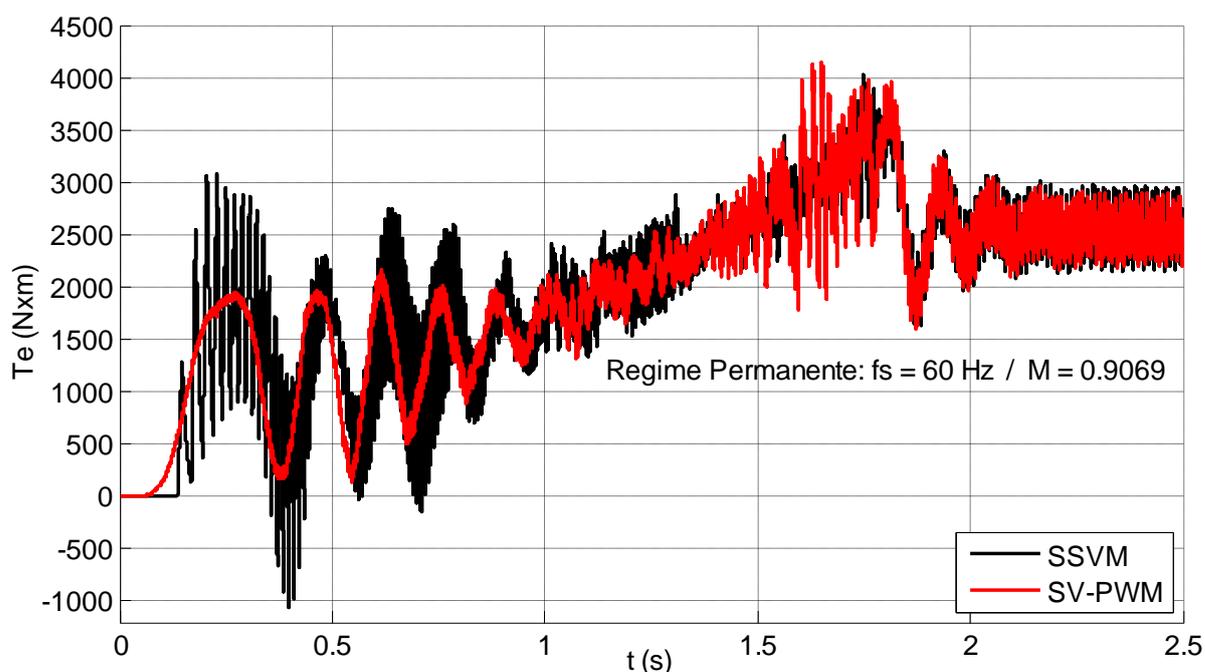


Figura 5.28: Conjugado elétrico no MI para os métodos SSVM e SV-PWM ($f_{\text{PWM}} = 600\text{Hz}$).

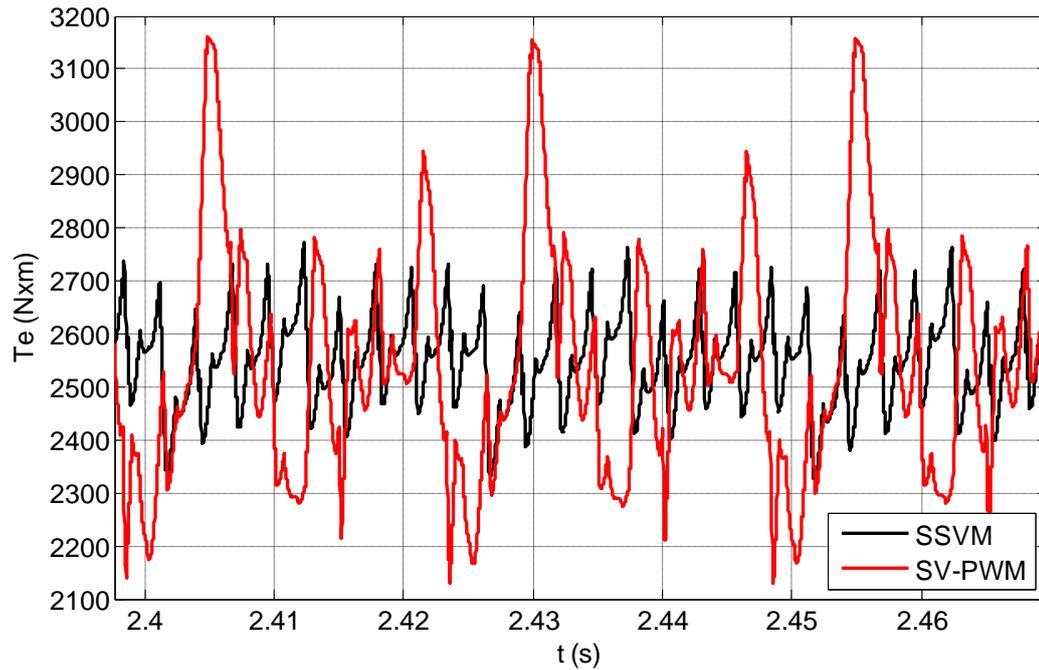


Figura 5.29: Conjugado elétrico no MI. Detalhe do regime permanente para os métodos SSVM e SV-PWM ($f_{PWM} = 600\text{Hz}$).

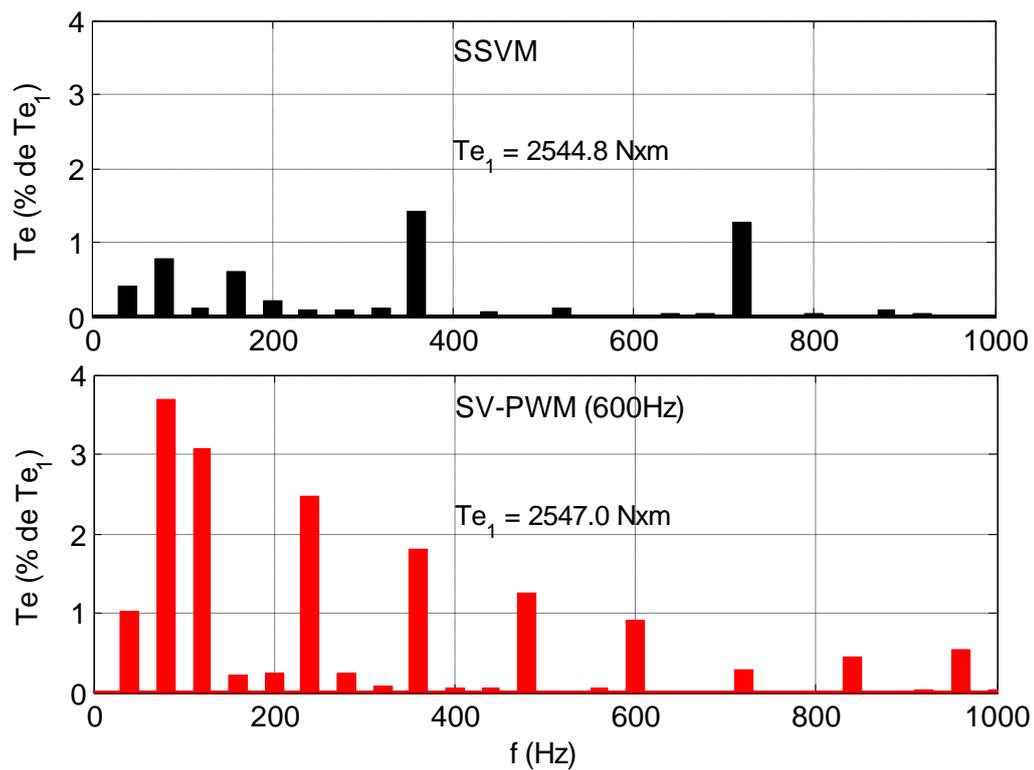


Figura 5.30: Espectro de frequências presentes no conjugado elétrico no MI para os métodos SV-PWM ($f_{PWM} = 600\text{Hz}$) e SSVM.

5.2.8 W e Te em Função de M

Os resultados apresentados nas seções 5.2.6 e 5.2.7 permitem comparar os métodos SSVM e SV-PWM em termos das oscilações de velocidade angular e conjugado elétrico em um ponto de operação específico ($M = 0,9069$). No entanto, as reduções nas oscilações de W e Te obtidas através do método SSVM na comparação com o método SV-PWM Síncrono ocorrem em uma ampla faixa de M, conforme se observa através da Figura 5.31 e da Figura 5.32, que apresentam, respectivamente, as amplitudes pico a pico das oscilações de W e Te em função de M, nos 56 pontos de operação avaliados. Foram utilizadas diferentes relações f_{PWM}/f_s para o método SV-PWM Síncrono, indicadas nas legendas destas figuras.

A Figura 5.31 apresenta a oscilação pico a pico da velocidade angular do motor em função de M. A melhora obtida pelo método SSVM em relação a esta figura de mérito ocorre na faixa $M > 0,25$ na comparação com o SV-PWM com $f_{PWM}/f_s = 8x$ e $f_{PWM}/f_s = 16$. Com relação ao SV-PWM com relação $f_{PWM}/f_s = 12$ e $f_{PWM}/f_s = 24$, o método proposto apresentou desempenho equivalente nesta faixa de M.

Em relação às oscilações de conjugado elétrico, mostradas na Figura 5.32, o método proposto produziu melhores resultados do que o método de referência com f_{PWM}/f_s igual a 8 e a 16 também na faixa $M > 0,25$. Considerando-se as relações $f_{PWM}/f_s = 8x$ e $f_{PWM}/f_s = 16$ para o método de referência, os dois métodos apresentaram resultados equivalentes nesta faixa de M.

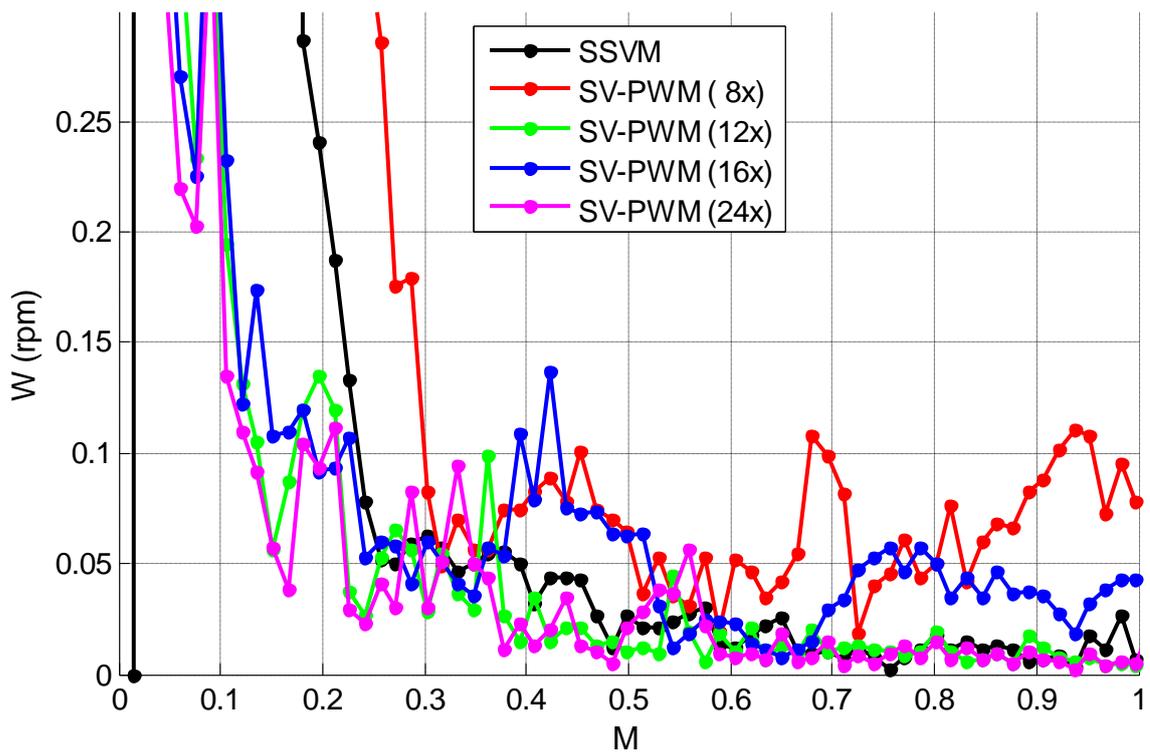


Figura 5.31: Amplitude pico a pico da oscilação da velocidade angular do motor.

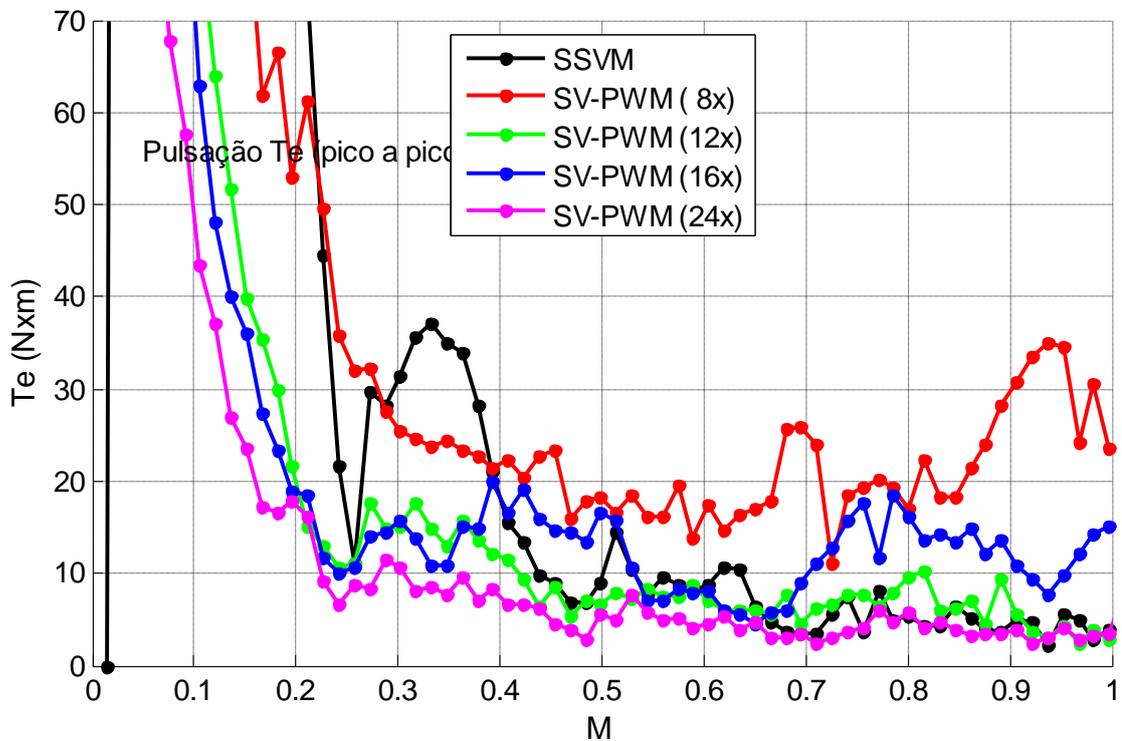


Figura 5.32: Amplitude pico a pico da pulsação de conjugado elétrico do motor.

5.2.9 Número de Comutações Por Período Fundamental

Os resultados correspondentes ao número de desligamentos das chaves principais de cada braço do conversor por período da componente fundamental de tensão são apresentados na Figura 5.33, na Figura 5.34 e na Figura 5.35, para os métodos SSVM, SV-PWM e SV-PWM Síncrono. Para o método SV-PWM foi adotada uma frequência de comutação (f_{PWM}) igual a 600Hz. Para o método SV-PWM Síncrono foram adotados dois diferentes valores para a relação f_{PWM}/f_s : 8 e 16.

Como os estados das quatro chaves inferiores de cada braço do inversor são complementares aos estados das quatro chaves superiores correspondentes de acordo com as equações booleanas

$$S_{5X} = /S_{1X}, \quad S_{6X} = /S_{2X}, \quad S_{7X} = /S_{3X} \quad \text{e} \quad S_{8X} = /S_{4X},$$

cada curva mostrada nestes gráficos corresponde a um par de chaves principais. Assim, nas três figuras apresentam-se apenas os resultados correspondentes às quatro chaves superiores de um braço do inversor.

A Figura 5.33 apresenta os resultados correspondentes aos métodos SSVM e SV-PWM a 600Hz. O número de comutações produzidos pelo método SSVM é menor do que o produzido pelo método SV-PWM em toda a faixa de M avaliada. No entanto este número varia substancialmente para o método SV-PWM em função de M uma vez que a relação f_s/V (e portanto a relação f_s/M) foi mantida constante. Observando-se esta figura percebe-se também que, independentemente do PO considerado, do método de modulação ou da frequência f_{PWM} usada, existem sempre dois grupos de chaves separadas pelo número de comutações por período, cada grupo reunindo quatro das oito chaves de cada braço do inversor. Ao primeiro grupo pertencem as chaves S_1 e S_4 , e suas complementares S_5 e S_8 . O segundo grupo contém as chaves S_2 , S_3 , S_6 e S_7 . O número de comutações por período das chaves do segundo grupo é sempre superior ao número correspondente ao primeiro grupo na faixa $f_s \leq 47\text{Hz}$. A partir deste ponto, o número de comutações nas chaves do primeiro grupo ultrapassa o número correspondente às chaves do segundo grupo. Comparando-se os dois métodos com base nestes dois grupos de chaves observa-se que, para o método SSVM, os dois grupos apresentam número de comutação inferior ao de qualquer grupo no método SV-PWM na faixa entre 16 e 50Hz, o que ocorre também no PO nominal. No pior caso do ponto de vista do método proposto, que compreende a faixa de 51 a 58Hz, os dois métodos se equivalem.

Os resultados acima mostram também que o método proposto apresenta uma distribuição mais homogênea do número de comutações entre as oito chaves de cada braço, quando comparado ao método SV-PWM, na maior parte dos PO avaliados. A exceção é verificada na faixa $0,771 \leq M \leq 0,877$, dentro da qual o método proposto apresenta uma distribuição menos homogênea do número de comutações, com o par de chaves S_1 e S_4 comutando 3,5 vezes mais do que o par S_2 e S_3 .

SV-PWM Síncrono

Na Figura 5.34 são mostrados os resultados correspondentes aos métodos SSVM e SV-PWM Síncrono com $f_{PWM} = 8 \cdot f_s$. Observa-se que o método proposto reduz o número de comutações por período fundamental para todas as chaves e em praticamente toda a faixa de M . A exceção é a faixa $0,771 \leq M \leq 0,877$, na qual o método proposto produz mais comutações nas chaves S_1 e S_4 quando comparado ao SV-PWM Síncrono.

Na Figura 5.35 são mostrados os resultados correspondentes aos métodos SSVM e SV-PWM Síncrono com $f_{PWM} = 16 \cdot f_s$. Nesta comparação o método proposto produz melhores resultados qualquer que seja o ponto de operação ou o dispositivo semicondutor considerado.

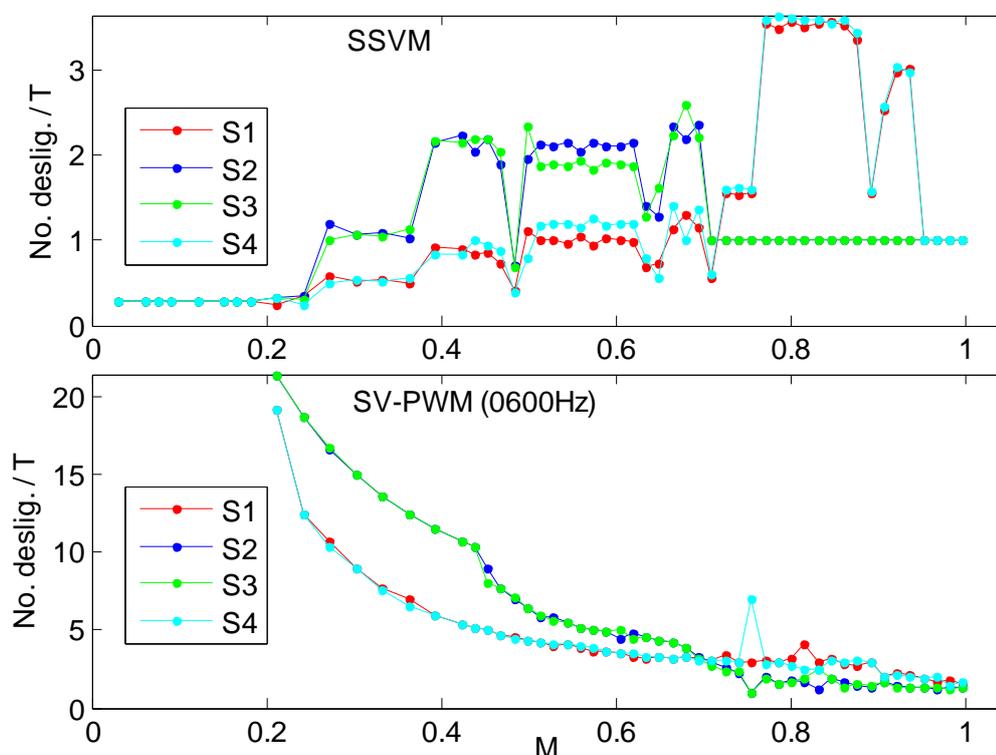


Figura 5.33: Número de desligamentos, por período da fundamental, dos IGCTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono..

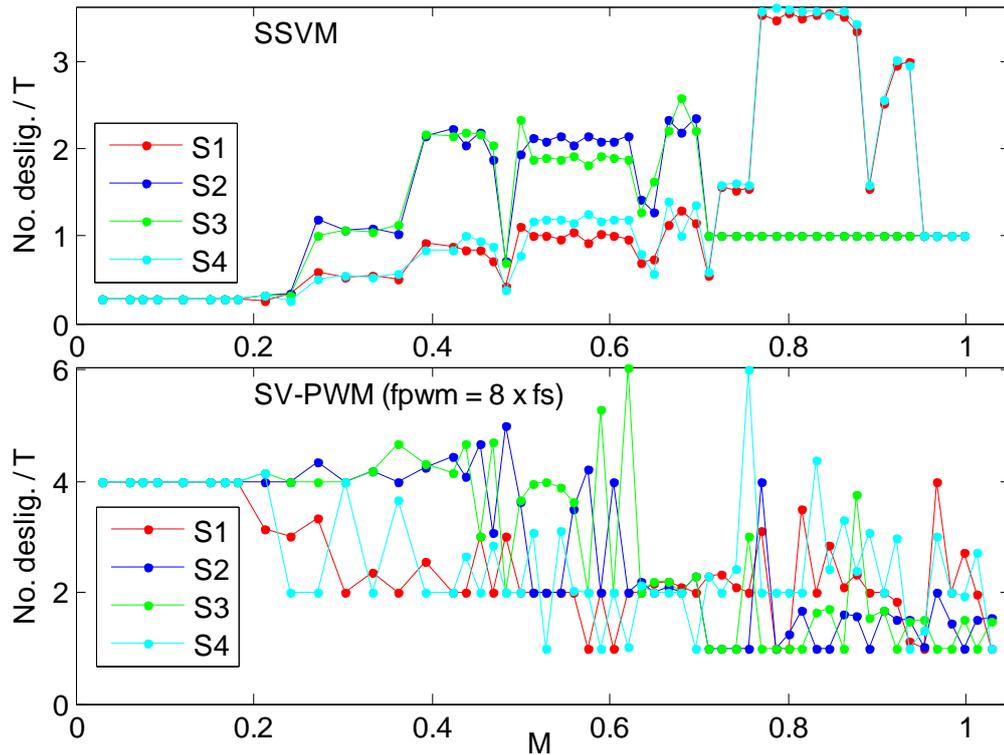


Figura 5.34: Número de desligamentos, por período da fundamental, dos IGCTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono.

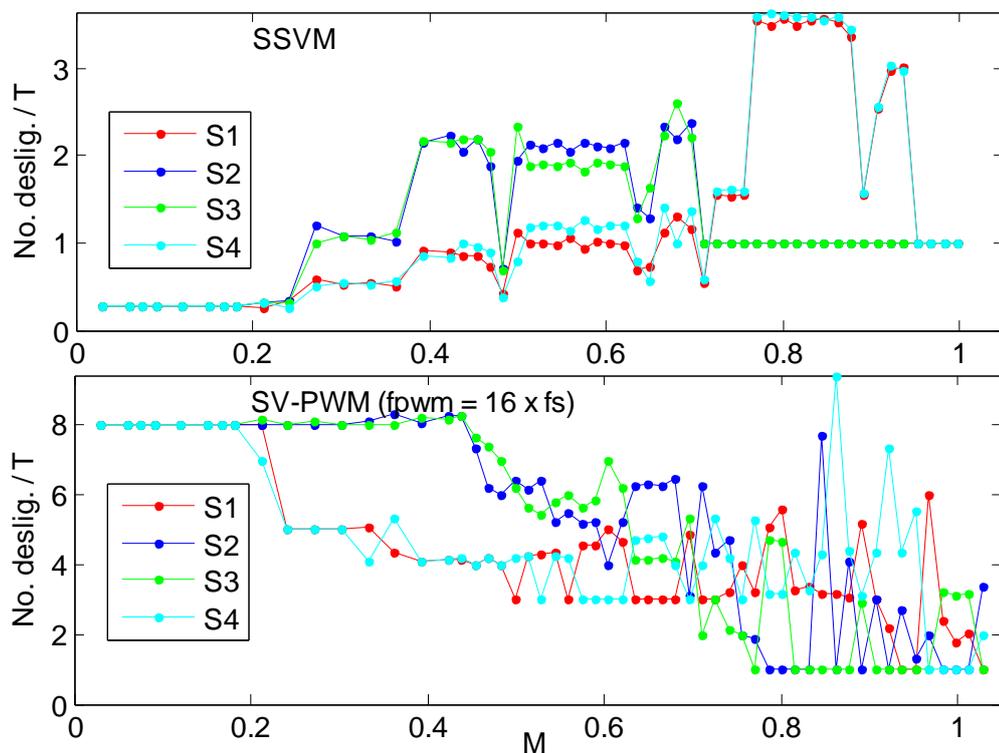


Figura 5.35: Número de desligamentos, por período da fundamental, dos IGCTs superiores de um dos braços do conversor, em função de M . Métodos SSVM e SV-PWM Síncrono..

5.2.10 Perdas nos Semicondutores

1 – Perdas Separadas Por Dispositivo

As perdas por condução e por comutação em cada um dos semicondutores principais de um dos braços do inversor são mostradas da Figura 5.36 à Figura 5.39 para os métodos SSVM e SV-PWM. A condição de carga utilizada é a especificada na Seção 5.1. A condição de operação é em regime permanente. A relação V/f foi mantida constante e foi adotada uma frequência f_{PWM} de 600Hz para o método SV-PWM.

A Figura 5.36 apresenta as perdas por condução nos IGCTs de um dos braços do inversor para os métodos SSVM e SV-PWM, enquanto que na Figura 5.37 são apresentadas as perdas por comutação para os dois métodos.

As perdas por condução são praticamente idênticas para os dois métodos, já que são determinadas principalmente pela carga (ver Figura 5.36 e Figura 5.38).

Com relação às perdas por comutação, houve grande diferença nos resultados observados. O método proposto apresentou as menores perdas, na comparação feita entre cada IGCT, na maior parte dos PO simulados (Figura 5.37). A única exceção é observada na faixa $56 \leq f_s \leq 58$, na qual os IGCTs 1 e 8 apresentam maiores perdas quando da utilização do método SSVM.

Com relação aos diodos de grampeamento (Figura 5.39), o método proposto é o que produz as menores perdas, em todos os dispositivos e em toda a faixa analisada. Além disso, observa-se que em qualquer PO no gráfico da Figura 5.39, e para qualquer método de modulação, há sempre três pares distintos de diodos no que se refere ao valor das perdas por comutação. O método proposto apresenta menores perdas, para qualquer PO, tanto para o par de diodos com as menores perdas, quanto para o par com perdas intermediárias. Com relação ao par com perdas mais altas, o SSVM apresenta perdas menores em quase toda a faixa pesquisada, à exceção da faixa de $51 \leq f_s \leq 58$, onde os dois métodos produzem perdas equivalentes.

Pode-se observar também, na Figura 5.37 e na Figura 5.39, que a vantagem do método proposto em relação ao método SV-PWM é tanto maior quanto menor é o valor de M , como era esperado.

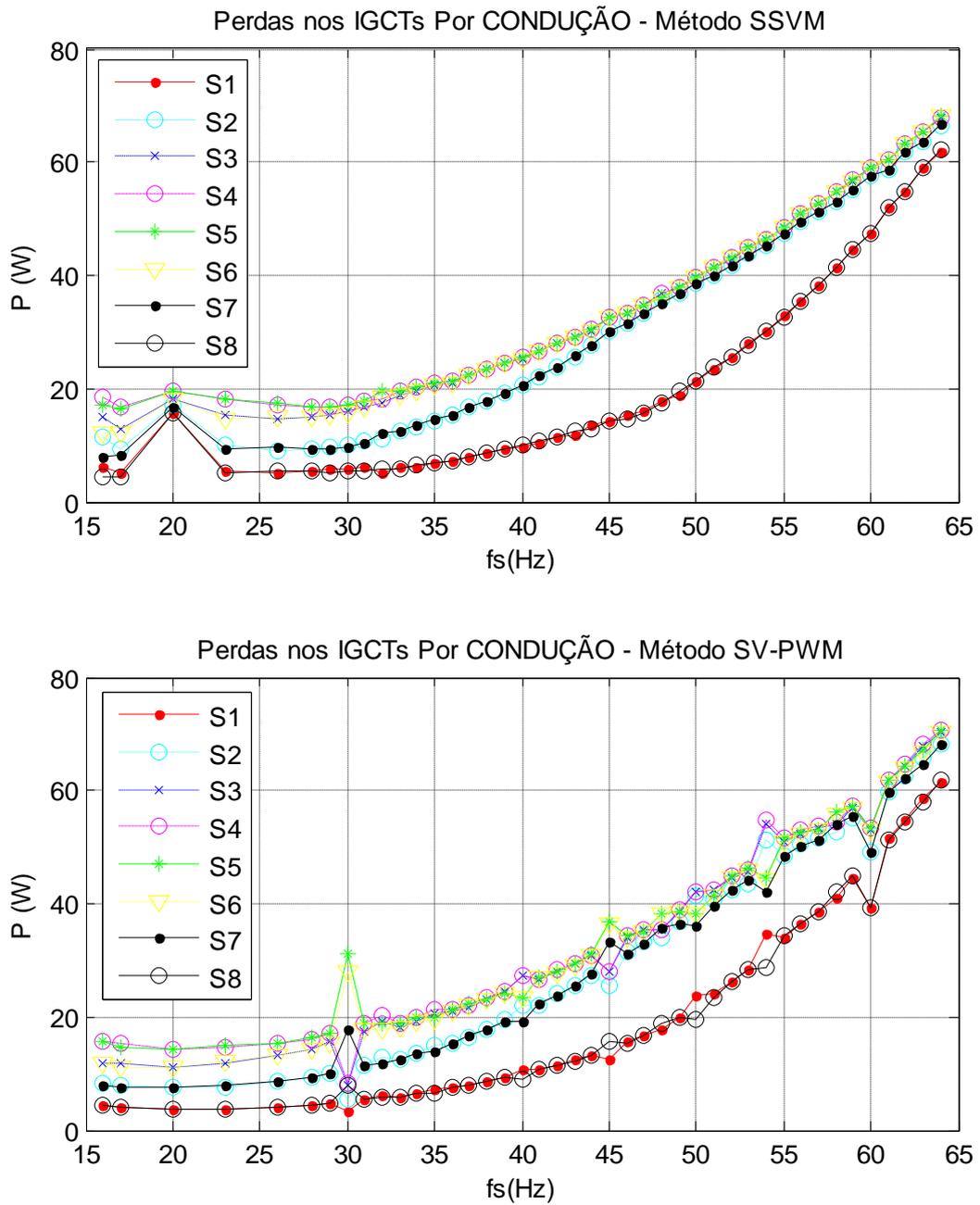


Figura 5.36: Perdas por condução nos IGCTs de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.

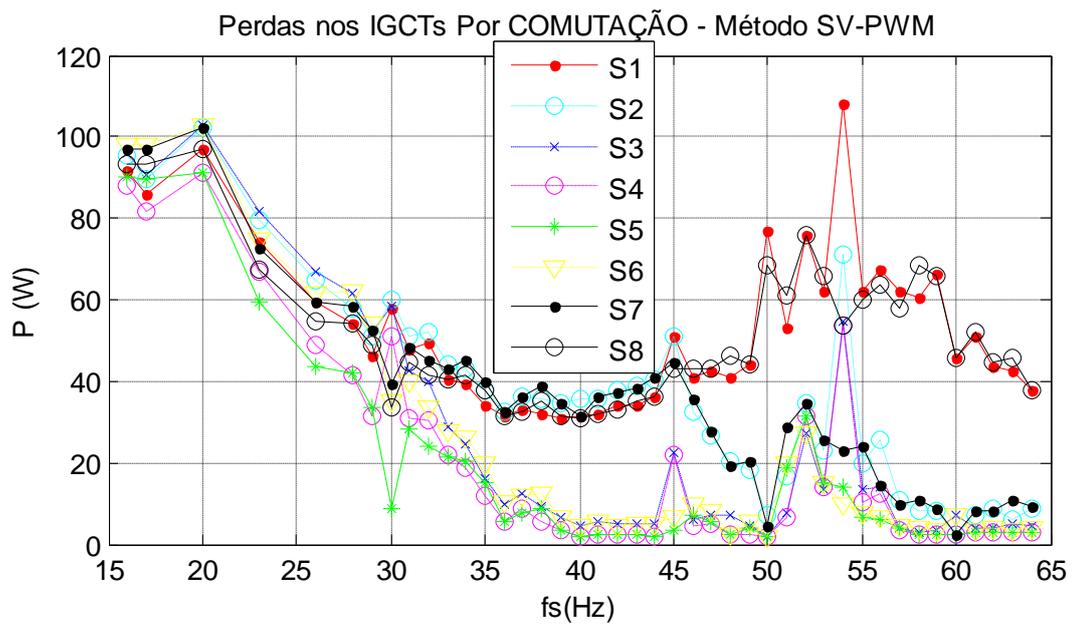
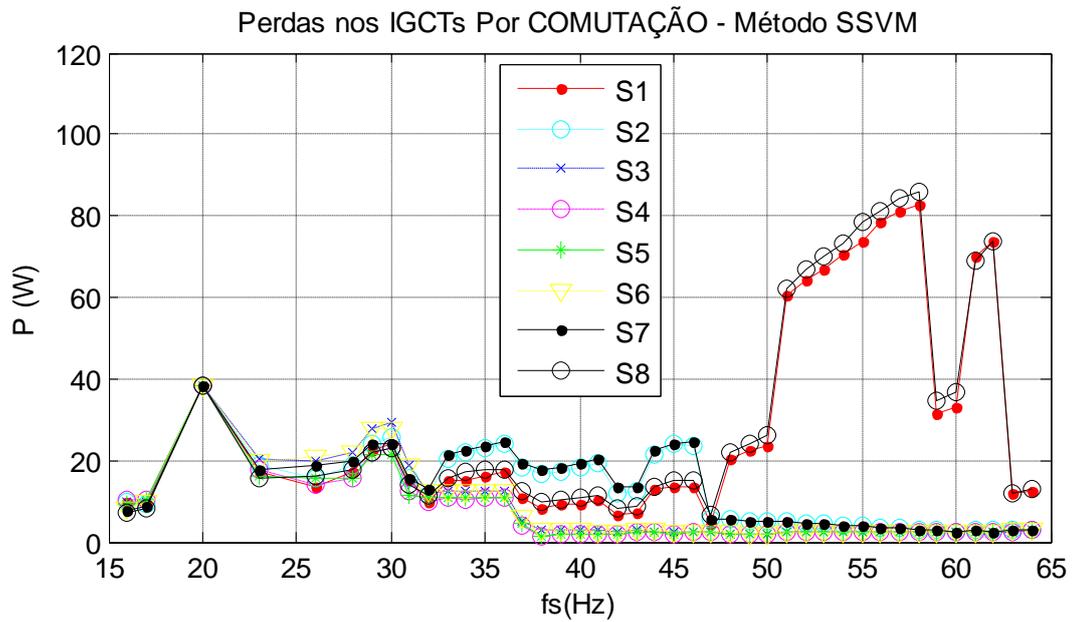


Figura 5.37: Perdas por comutação nos IGCTs de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.

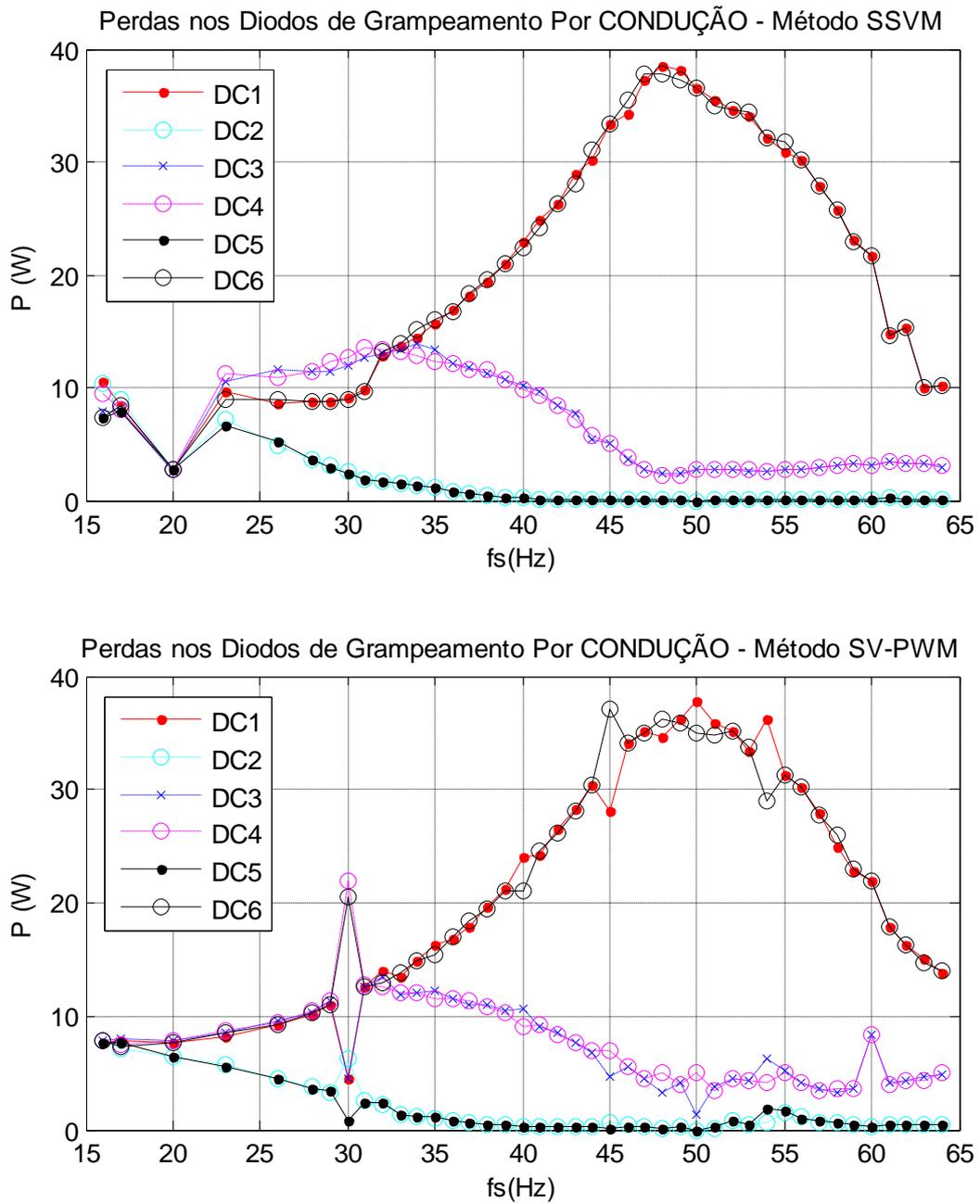


Figura 5.38: Perdas por condução nos diodos de grapreamento de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.

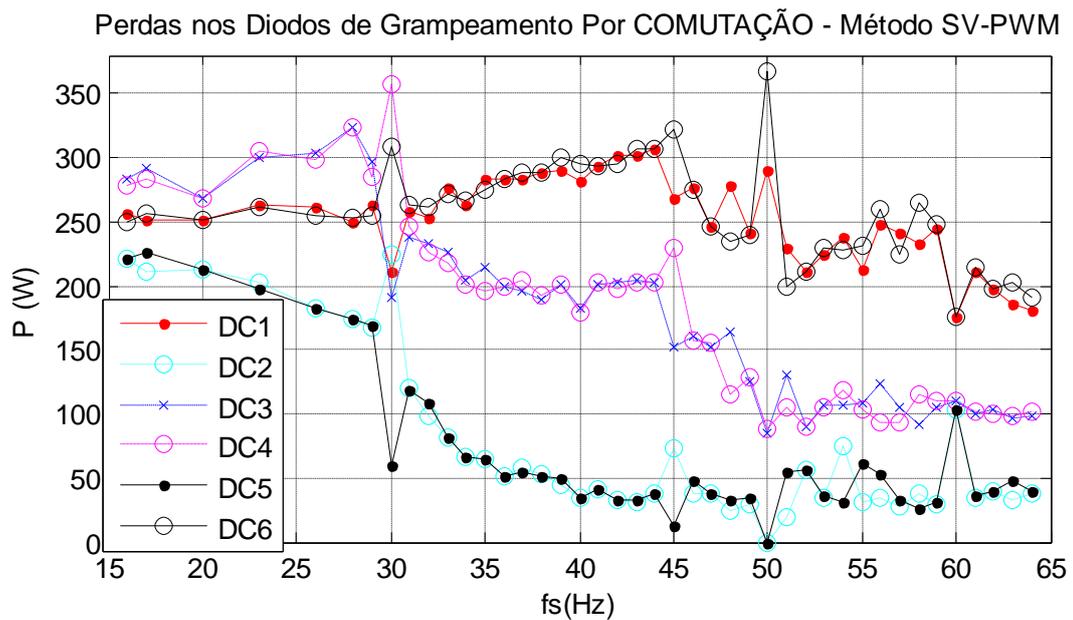
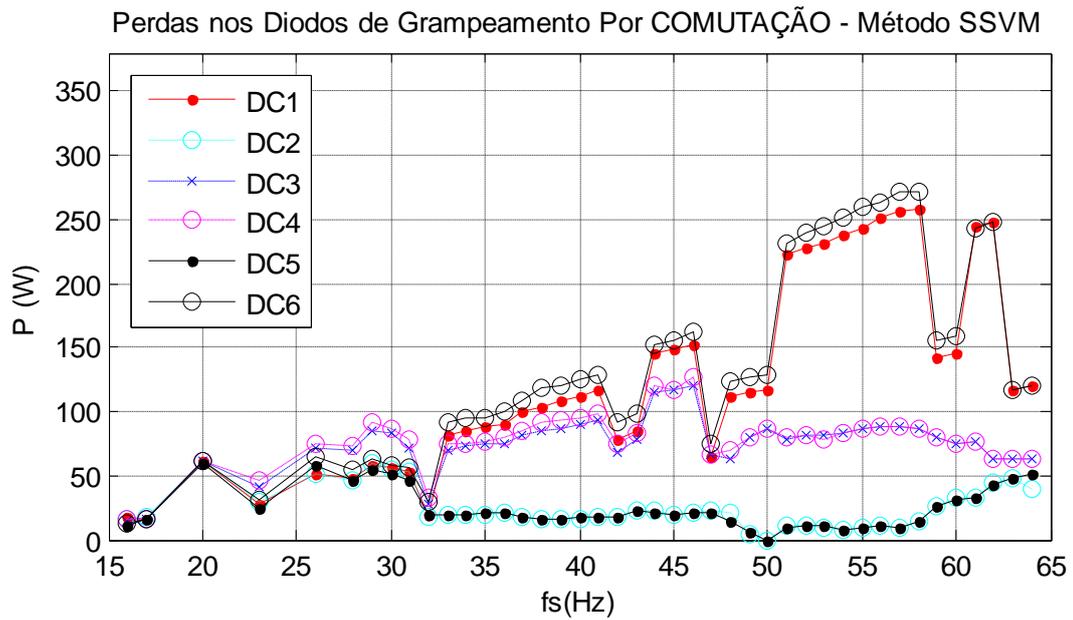


Figura 5.39: Perdas por comutação nos diodos de grapreamento de um dos braços do inversor para os métodos SSVM e SV-PWM a 600Hz.

2 – Perdas na Chave Crítica

As perdas por comutação não se distribuem uniformemente entre as oito chaves de cada braço do inversor, sempre havendo uma ou duas chaves críticas em cada braço do conversor em termos das perdas, em função do ponto de operação avaliado. Considera-se como chave crítica em um determinado PO, àquela chave que apresenta o maior valor de dissipação de potência dentre as oito chaves de um determinado braço do conversor.

As perdas na chave crítica são uma figura de mérito importante uma vez que representam o valor que é utilizado no dimensionamento do conjunto chave/dissipador. A redução das perdas na chave crítica permite dimensionar dispositivos de dissipação menores e mais baratos ou, mantendo-se as especificações originais, operar as chaves críticas em temperaturas mais baixas, aumentando sua vida útil, ou ainda operar o conversor acima da sua capacidade nominal. Por outro lado, a redução das perdas por comutação nas chaves não críticas permite aumentar a eficiência do conversor e também contribui para a diminuição da temperatura do sistema, o que favorece a dissipação de calor dos dissipadores correspondentes às chaves críticas.

A Figura 5.40 mostra as perdas por comutação na chave mais solicitada do conversor em termos das perdas por comutação, para cada PO avaliado, considerando-se o método proposto bem como o método SV-PWM funcionando com diferentes frequências f_{PWM} . Neste gráfico, a condição de carga utilizada é a especificada na Seção 5.1. A condição de operação é em regime permanente. A relação V/f foi mantida constante. Os resultados, considerando-se o pior caso para cada curva, mostram que o método proposto (linha preta) supera o método SV-PWM nas frequências de 1800Hz, 1500Hz e 1200Hz, e iguala o desempenho do SV-PWM a 900Hz quando se consideram apenas os máximos locais de cada curva dentro da faixa $M > 0,6$. Se forem considerados os máximos globais, o método proposto supera o método SV-PWM qualquer que seja a frequência f_{PWM} considerada.

A Figura 5.41 mostra as perdas totais (condução + comutação) na chave crítica do conversor em termos das perdas totais, em cada PO simulado, para os métodos SSVM e SV-PWM. O pior caso correspondente ao método proposto observado nesta figura, que ocorre em $M = 0,8616$, vale $P=143,5W$. Os valores máximos de perdas observados para o método SV-PWM são função da frequência f_{PWM} adotada, assim como as reduções percentuais destas perdas obtidas pelo método SSVM. Estes valores são mostrados na Tabela 5.3 em função do valor de f_{PWM} .

Tabela 5.3 - Redução percentual das perdas na chave crítica obtida pelo método proposto

f_{PWM}	480Hz	600Hz	720Hz	900Hz	1200Hz	1500Hz	1800Hz
Redução	5,0%	22,1%	31,2%	43,0%	57,7%	62,7%	69,4%

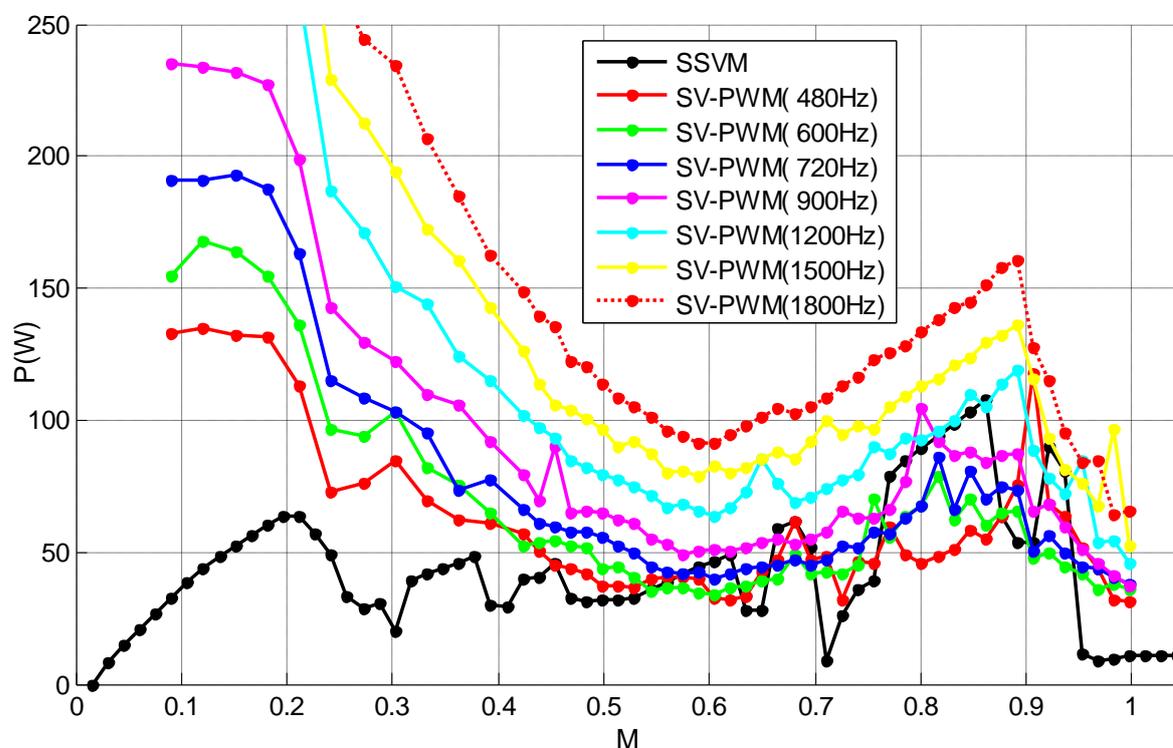


Figura 5.40: Perdas por comutação na chave mais solicitada do conversor em termos das perdas por comutação, para os métodos SSVM e SV-PWM.

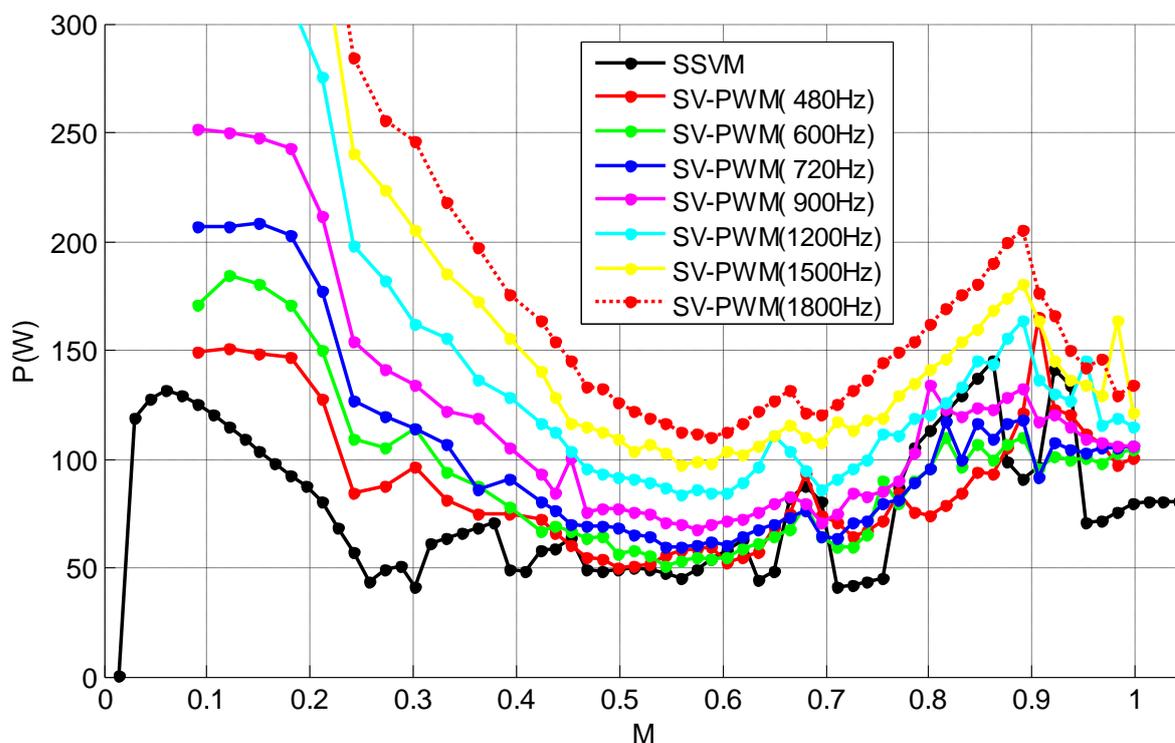


Figura 5.41: Perdas totais na chave mais solicitada do conversor em termos das perdas totais, para os métodos SSVM e SV-PWM.

Ao contrário do que se verifica no método proposto, os piores casos correspondentes ao método SV-PWM ocorrem para baixos valores de M , em função da relação variável entre f_{PWM} e f_s , o que prejudica a comparação apresentada acima. Em função disso o método proposto foi comparado também ao método SV-PWM Síncrono com relação às perdas na chave crítica, o que será apresentado no item 4 desta Seção.

3 – Soma das Perdas no Conversor

A Figura 5.42, a Figura 5.44 e a Figura 5.45 apresentam, respectivamente, a soma das perdas por condução, por comutação e total no conversor, considerando-se os 24 IGCTs e os 18 diodos de grampeamentos usados na topologia NPC de cinco níveis. São considerados o método SSVM e o método SV-PWM chaveando em diferentes frequências f_{PWM} . A condição de carga utilizada é a especificada na Seção 5.1. A condição de operação é em regime permanente. A relação V/f foi mantida constante.

Na Figura 5.42 são mostradas as perdas por condução totais no conversor. Observa-se que estas perdas não são afetadas pelo método proposto ou pela frequência f_{PWM} adotada para o método SV-PWM na maior parte da faixa de M , o que é esperado já que tais perdas são determinadas pela carga, pela topologia do conversor e pelos semicondutores utilizados. Na faixa $M < 0,2$, no entanto, o método proposto produz perdas por condução consideravelmente maiores do que as produzidas pelo método SV-PWM, perdas estas tanto maiores quanto menor é o valor de M nesta faixa. Isso se deve à maior largura dos pulsos na tensão fase-neutro produzidas pelo método SSVM em regiões de baixo índice de modulação se comparados aos pulsos produzidos pelo SV-PWM, conforme se observa na Figura 5.43. Esta característica do método proposto, fruto das grandes distâncias angulares entre vetores espaciais disponíveis nas regiões R_1 , R_2 e R_3 é agravada quando a frequência fundamental é baixa, o que ocorre ao se adotar relação V/f constante. A consequência destas larguras de pulso maiores é o aumento do *ripple* das correntes de fase, também mostrado na Figura 5.43, o qual produz o aumento das perdas por condução no método proposto para $M < 0,2$ na comparação com o método de referência.

A Figura 5.44 mostra as perdas por comutação no conversor. Verifica-se que o método proposto produziu reduções significativas nesta parcela das perdas. Esta redução foi verificada em toda a faixa de M na comparação com o SV-PWM a 900Hz e a 1,8kHz. E comparado ao SV-PWM a 480Hz e a 600Hz, o método SSVM produziu melhora em praticamente em todos os PO simulados à exceção da faixa $0,801 \leq M \leq 0,831$.

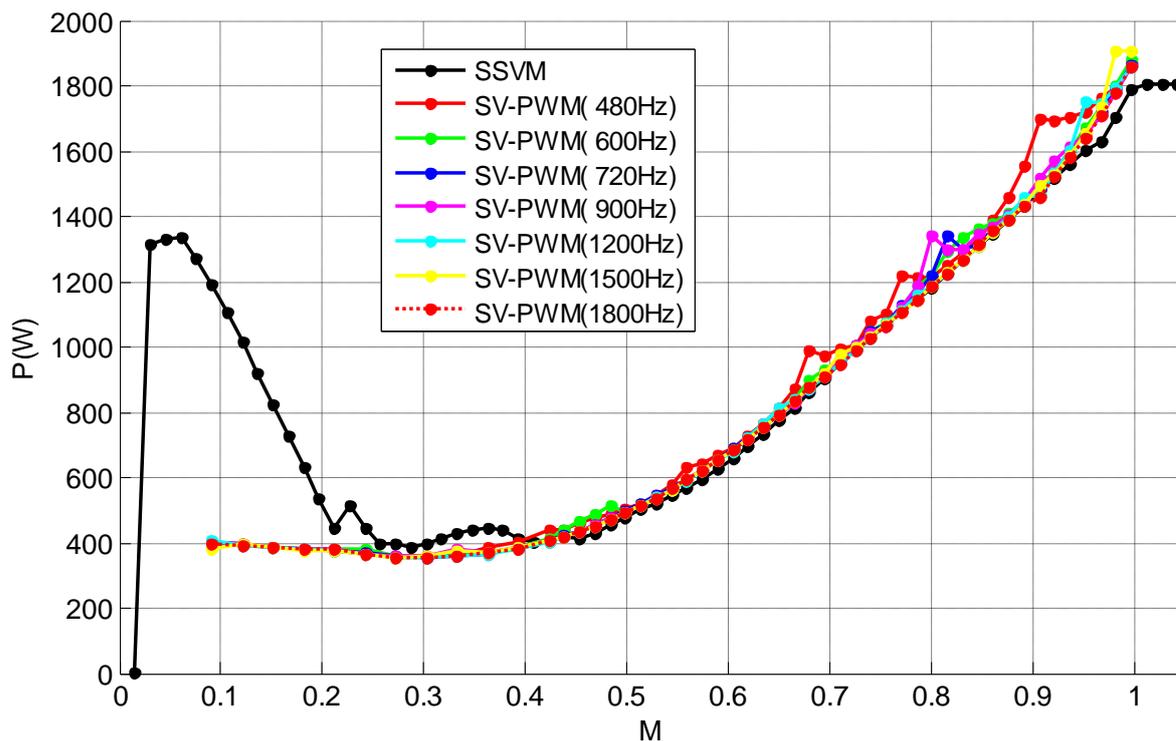


Figura 5.42: Soma das perdas por condução nos semicondutores do conversor (IGCTs e diodos de grameamento). Métodos SSVM e SV-PWM.

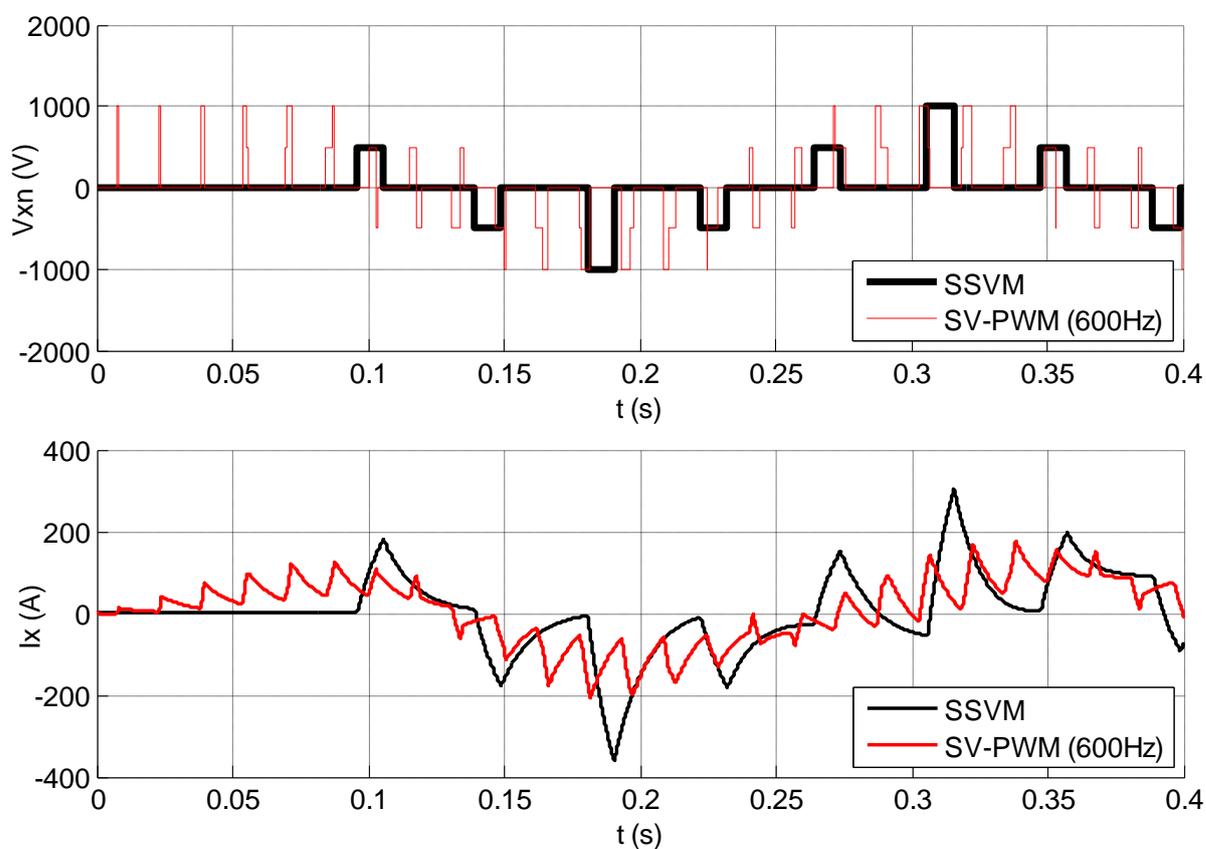


Figura 5.43: Tensão fase-neutro e *ripple* de corrente de fase na carga para $M < 0,2$. Métodos SSVM e SV-PWM ($f_{PWM} = 480\text{Hz}$).

A redução das perdas por comutação produz a redução das perdas totais no conversor, mostradas na Figura 5.45, na comparação do método proposto com o método SV-PWM, independentemente do valor de f_{PWM} .

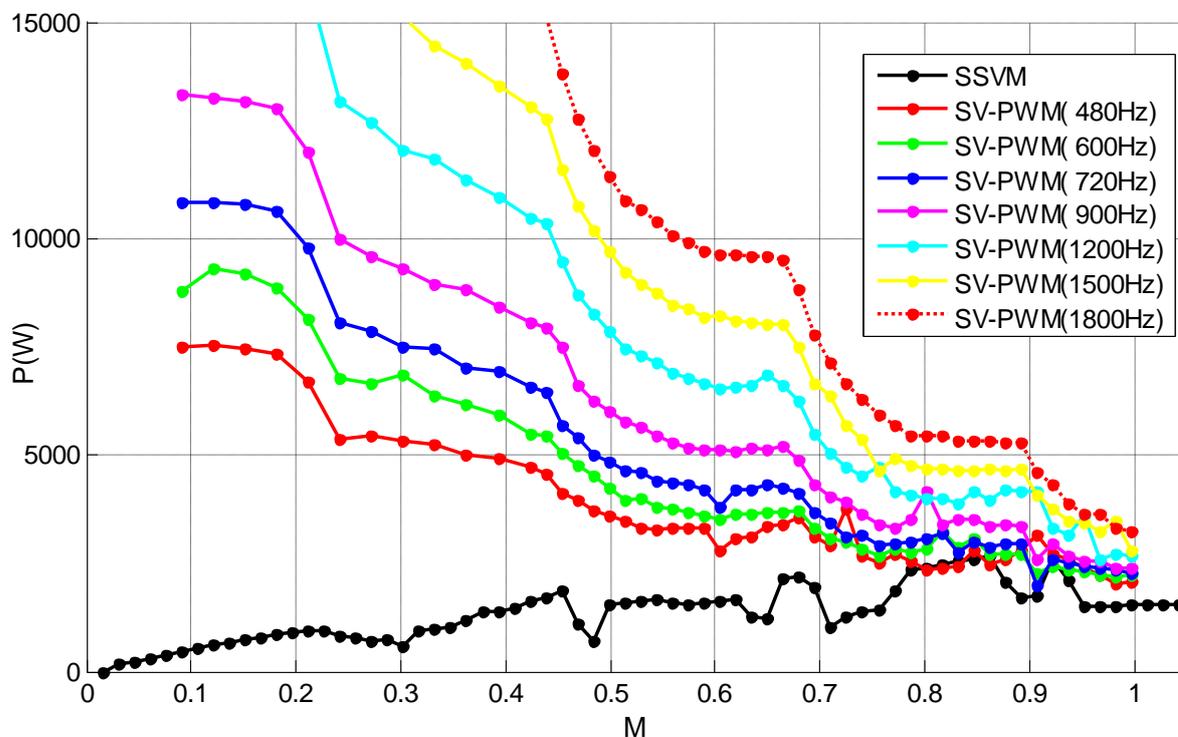


Figura 5.44: Soma das perdas por comutação nos semicondutores do conversor (IGCTs e diodos de grameamento). Métodos SSVM e SV-PWM.

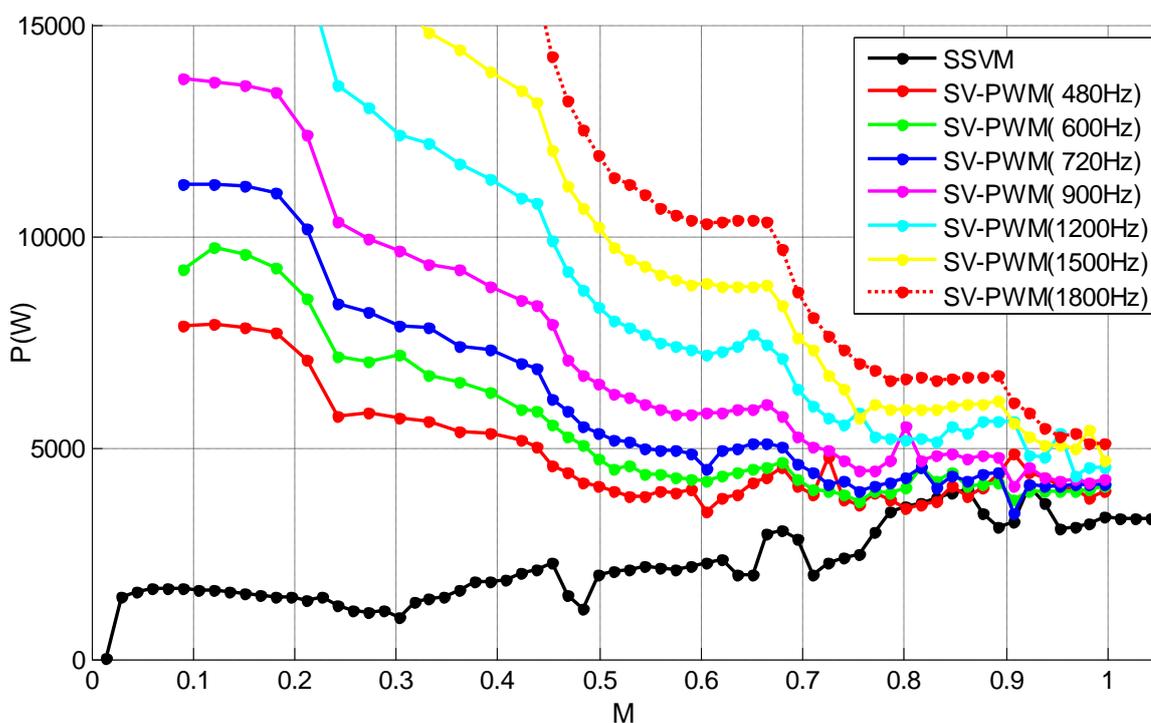


Figura 5.45: Soma das perdas totais (condução + comutação) nos semicondutores do conversor (IGCTs e diodos de grameamento). Métodos SSVM e SV-PWM.

Observa-se também que a vantagem do método proposto é tanto maior quanto menor é o valor de M (e de f_s), uma vez que nestes casos aumenta o número de comutações por período fundamental produzidas pelo modulador SV-PWM.

O gráfico da Figura 5.45 mostra que no pior caso observado para o método proposto ($M = 0,922$), as perdas totais observadas ($P=4.110W$) são 48,2% menores do que as observadas no pior caso correspondente ao método SV-PWM a 480Hz ($P=7.927W$ para $M = 0,1209$).

4 – Perdas nas Chaves Críticas - Método SV-PWM Síncrono

No método SV-PWM original as perdas nas chaves dependem não somente de M , mas também de f_s uma vez que o número de comutações das chaves por período fundamental varia em função da frequência de saída quando a relação V/f é mantida constante.

De forma a produzir uma comparação mais apropriada entre o método proposto e o método de referência, o primeiro foi comparado à versão síncrona do método SV-PWM tal qual foi feito em relação à THD na tensão de saída. No SV-PWM Síncrono o número de comutações por período fundamental é mantido constante para todos os pontos de operação simulados. Desta forma as perdas por comutação passam a depender apenas de M , tal como ocorre com o método proposto.

De forma análoga à análise da THD na tensão de saída, foi feita a comparação entre o método proposto e o método SV-PWM Síncrono utilizando-se cinco diferentes relações entre f_{PWM} e f_s : 8, 12, 16, 24 e 32. Os resultados obtidos são apresentados da Figura 5.46 até a Figura 5.50.

A Figura 5.46 mostra o gráfico das perdas por comutação na chave crítica de cada braço em cada ponto de operação considerado. Na Figura 5.47 observa-se o valor das perdas totais (condução + comutação) sobre a chave crítica do braço, também em função de M .

Utilizando-se o método de modulação proposto verificou-se, na chave crítica e no pior caso, uma perda total de 116,7W, enquanto que com o método SV-PWM estas perdas foram de 180,4W ($f_{PWM} = 8 \cdot f_s$), 207,7W ($f_{PWM} = 16 \cdot f_s$) e 216,1W ($f_{PWM} = 32 \cdot f_s$). As reduções percentuais obtidas com o método proposto são de, respectivamente, 35,3%, 43,8% e 46,0%. Observa-se a partir destes resultados que o método proposto permite reduzir significativamente o dimensionamento dos dissipadores dos IGCTs. Reduções destas ordens foram encontradas também em relação às perdas totais no diodo de grampeamento crítico considerando-se os dois métodos acima.

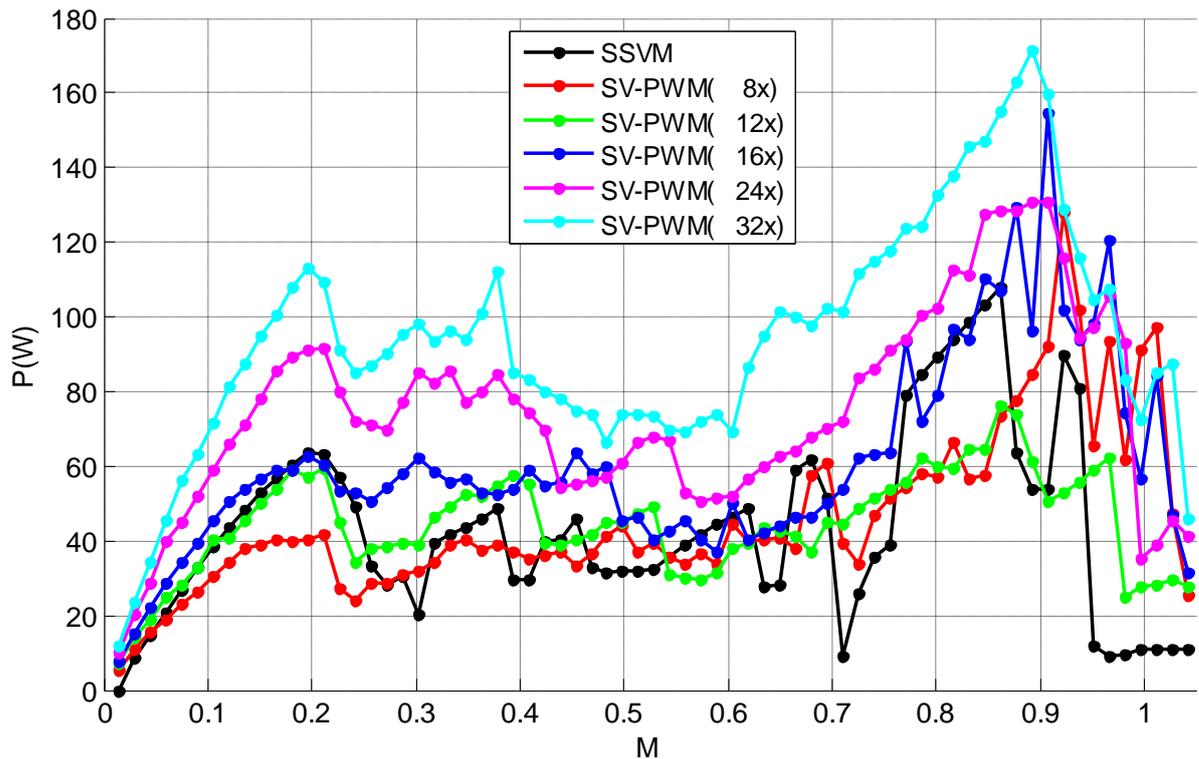


Figura 5.46: Perdas por comutação na chave mais solicitada do conversor em termos das perdas por comutação, para os métodos SSVM e SV-PWM Síncrono.

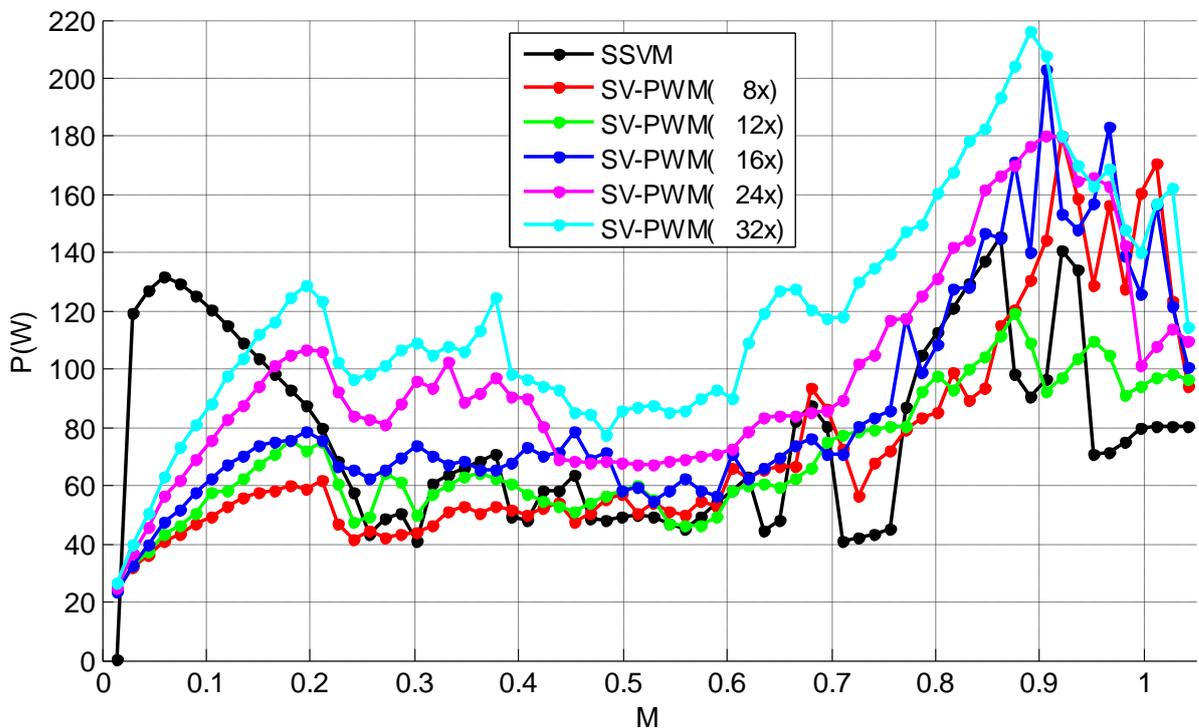


Figura 5.47: Perdas totais na chave mais solicitada do conversor em termos das perdas totais, para os métodos SSVM e SV-PWM Síncrono.

5 – Perdas Totais no Conversor - Método SV-PWM Síncrono

Os gráficos mostrados na Figura 5.48, na Figura 5.49 e na Figura 5.50 apresentam a soma das perdas no conversor considerando-se os 24 IGBTs e os 18 diodos de grameamento presentes na topologia NPC de cinco níveis, considerando-se o método proposto e o método SV-PWM Síncrono operando com diferentes relações entre f_{PWM} e f_s . A soma das perdas por condução no conversor é mostrada na Figura 5.48 para os dois métodos de modulação avaliados. Exceto pelo aumento das perdas produzidas pelo método proposto na faixa $M < 0,2$, já explicadas no item 3, não se observam diferenças entre os resultados correspondentes aos dois métodos.

A soma das perdas por comutação nos 42 semicondutores do conversor em função de M é mostradas na Figura 5.49 para os dois métodos. Com relação a estas perdas o método proposto apresentou redução expressiva quando comparado ao método SV-PWM, independentemente da relação f_{PWM}/f_s usada neste último. Esta redução é mais significativa para valores intermediários de M , embora tenha sido obtida para toda a faixa de M observada.

A Figura 5.50 apresenta as perdas totais (condução + comutação) no conversor em função de M . Observa-se que o método proposto permitiu reduzir as perdas totais em praticamente toda a faixa de M avaliada, independentemente do valor adotado para a relação f_{PWM}/f_s . O aumento das perdas por condução na faixa $M < 0,2$ foi inteiramente compensado pela redução das perdas por comutação nesta faixa.

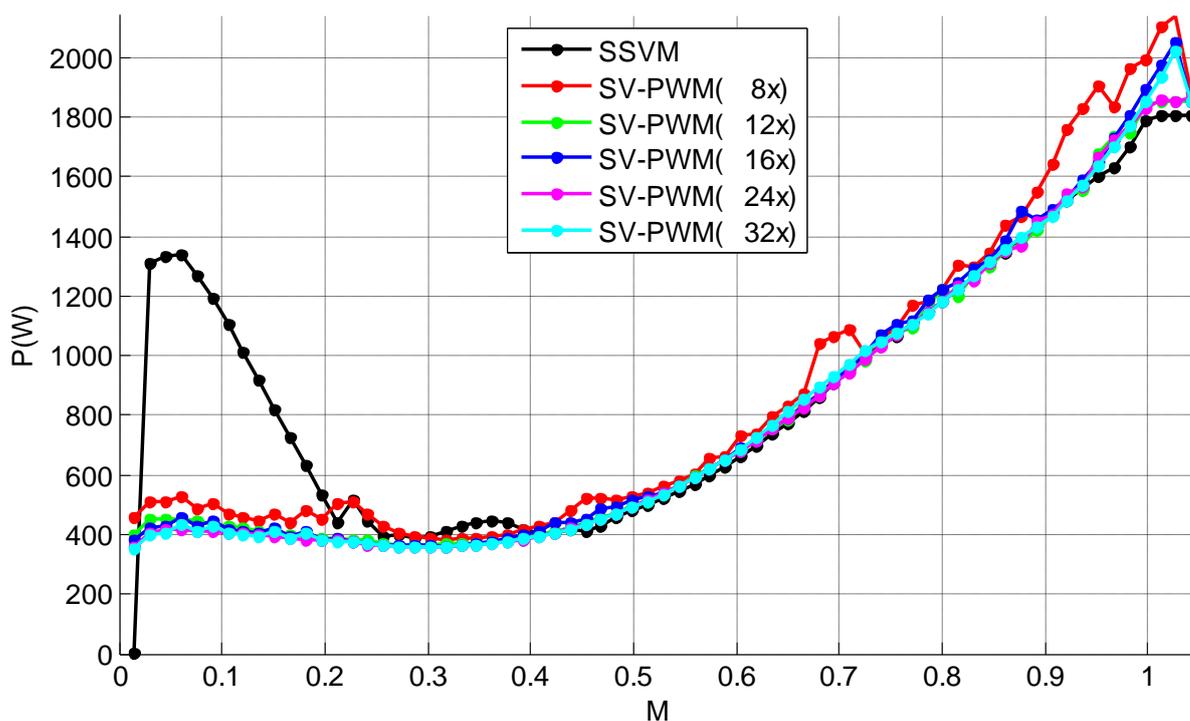


Figura 5.48: Perdas por condução no conversor. Métodos SSVM e SV-PWM Síncrono.

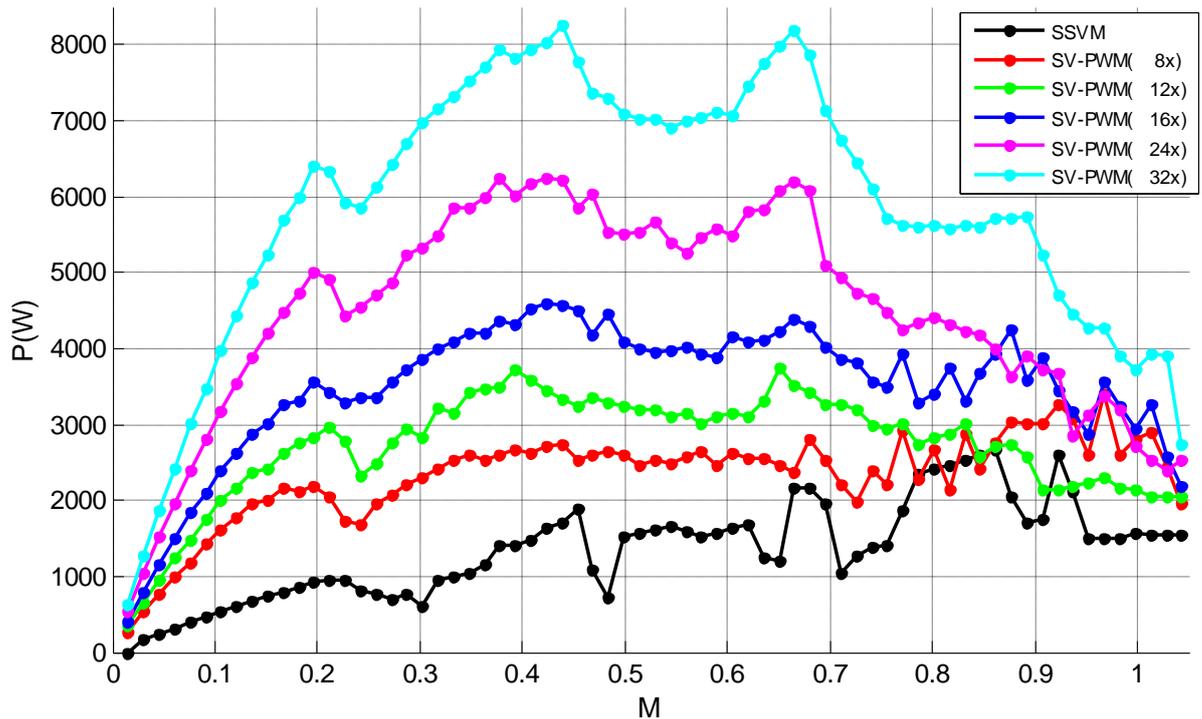


Figura 5.49: Perdas por comutação no conversor. Métodos SSVM e SV-PWM Síncrono.

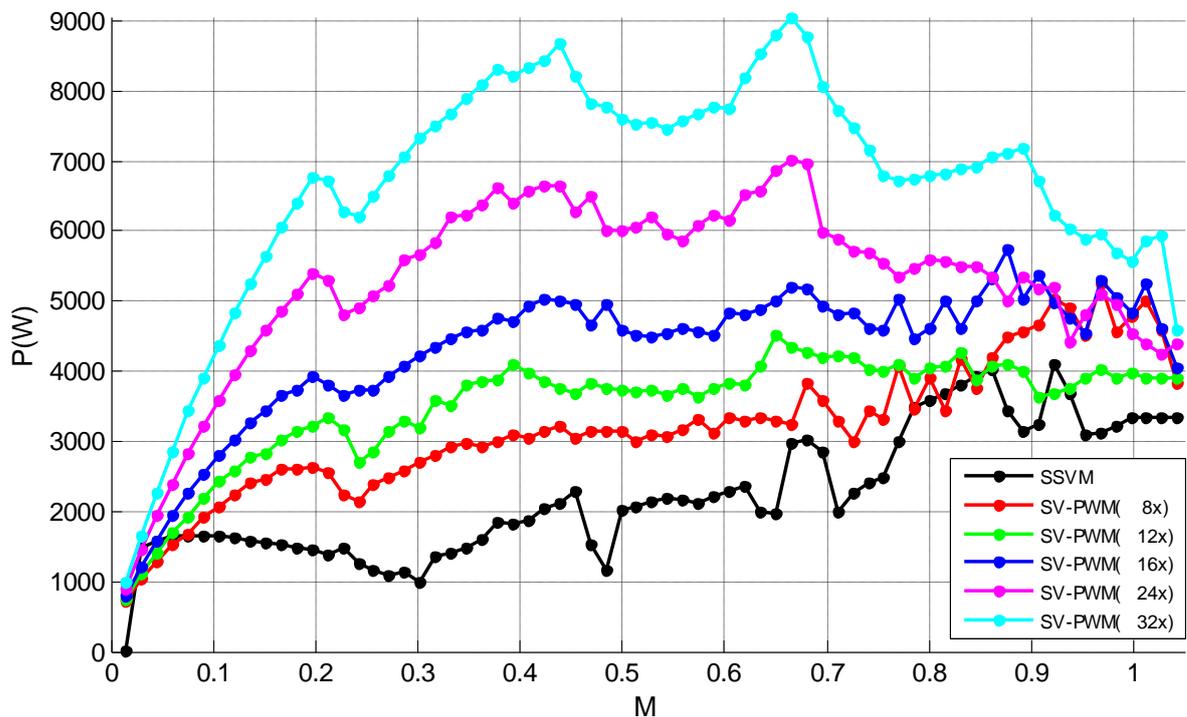


Figura 5.50: Perdas totais no conversor. Métodos SSVM e SV-PWM Síncrono.

A comparação do método SSVM com o método SV-PWM Síncrono permite observar que, do ponto de vista das perdas por comutação, o método proposto se comporta como o método SV-PWM implementado com uma relação f_{PWM}/f_s mais baixa, em torno de quatro.

5.2.11 Custo Computacional em Simulação

Nas simulações realizadas utilizando-se a ferramenta Matlab/Simulink observou-se um custo computacional médio para o método proposto sempre menor do que o observado para o método SV-PWM utilizado para comparação. No caso do método SV-PWM síncrono, a relação entre o custo computacional dos dois métodos depende da relação f_{PWM}/f_s adotada para este último. Quanto maior é esta relação, maior o número de amostragens realizadas pelo modulador SV-PWM e, portanto, maior é o custo computacional deste método.

A Tabela 5.4 mostra o custo relativo do método proposto, dado como a relação percentual entre o custo deste método e o observado para o método SV-PWM síncrono, medido nas simulações no Simulink em diferentes condições de operação do método SV-PWM no que diz respeito à relação entre a frequência de chaveamento (f_{PWM}) e a frequência fundamental na saída (f_s). Os valores nesta tabela consideram um custo computacional médio para os dois métodos, calculado para diferentes valores de M ao longo da faixa $0 \leq M \leq 1$.

Observa-se que o custo computacional do método proposto é sempre menor que aquele para o método SV-PWM síncrono, independentemente da relação f_{PWM}/f_s adotada.

Deve-se considerar, contudo, que do tempo de processamento total gasto em uma simulação do sistema, apenas uma pequena fração deste tempo é efetivamente gasto com os cálculos do método de modulação adotado. A maior parte do tempo é gasta nos cálculos relativos ao modelamento do sistema. Por isso, os resultados mostrados na Tabela 5.4 são apenas uma indicação de que o custo computacional do método proposto é sistematicamente mais baixo do que o do método SV-PWM. Os percentuais expressos nesta tabela, no entanto, não podem ser tomados como a relação direta entre os custos computacionais dos dois métodos.

Tabela 5.4: Relação Entre o Custo Computacional dos Métodos SSVM e SV-PWM Para Diferentes Relações f_{PWM}/f_s

	Relação f_{PWM}/f_s Para o Método SV-PWM				
	4x	8x	16x	32x	64x
Custo computacional relativo do método SSVM (%)	85,39	83,64	80,36	77,38	74,62

5.3 Conclusões

1 - Perdas Por Comutação Nos Semicondutores:

Em geral, o método proposto produziu perdas por comutação nas chaves e nos diodos de grameamento sempre inferiores àquelas observadas para os métodos SV-PWM e SV-PWM Síncrono, independentemente da frequência f_{PWM} adotada para o primeiro ou da relação f_{PWM}/f_s adotada para o segundo, conforme se comprova a partir dos resultados mostrados da Figura 5.36 até a Figura 5.50.

Comparado ao método SV-PWM chaveando com a frequência mais baixa avaliada ($f_{PWM} = 480\text{Hz}$), o método proposto apresentou redução das perdas totais por comutação em 53 dos 56 pontos de operação avaliados.

As reduções das perdas por comutação citadas acima são fruto do reduzido número de comutações das chaves principais por período de fundamental na comparação com o método SV-PWM, conforme se verifica através da Figura 5.33 até a Figura 5.35.

O método proposto reduz as perdas totais observadas na chave crítica, no pior caso em termos de M , conforme se observa na Figura 5.41 e na Figura 5.47. Reduções similares são observadas também para os diodos de grameamento. Estas reduções permitem dimensionar dissipadores menores para todos os semicondutores do conversor.

2 Perdas Por Condução Nos Semicondutores:

O método proposto produz perdas elevadas por condução para baixos valores de índice de modulação devido ao *ripple* de corrente elevado provocado pelos tempos prolongados de aplicação dos vetores espaciais nestes pontos de operação. No entanto, a redução nas perdas por comutação obtidas com o método proposto compensa este aumento nas perdas por condução de tal forma que as perdas totais no conversor, mesmo para $M < 0,2$, são menores para o método proposto do que para o método SV-PWM Síncrono quando f_{PWM}/f_s é maior do que 16.

2 Qualidade da Forma de Onda de Tensão:

O método proposto apresenta uma boa qualidade na forma de onda da tensão de saída, com harmônicos de pequena amplitude e distantes da componente fundamental no espectro de frequências, conforme resultados mostrados da Figura 5.8 até a Figura 5.15. Para f_s entre 61Hz e 67Hz, observou-se uma THD variando entre 8 e 9%, abaixo portanto do mínimo teórico para o inversor trifásico de cinco níveis mostrado na Tabela 5.5.

Tabela 5.5: THD mínimo teórico para algumas topologias de inversores

	THD Mínimo Teórico				
Topologia	Onda quadrada de dois níveis	Trifásico, onda quase quadrada	Trifásico de três níveis	Trifásico de quatro níveis	Trifásico de cinco níveis
THD (%)	48,34	31,08	16,86	11,86	9,43

Os gráficos de THD obtidos através de simulação e implementação em DSP demonstram que este método é superior ao método SV-PWM operando com frequência de chaveamento característica de aplicações de média tensão e alta frequência, em torno de 600Hz, para a faixa $M \geq 0,484$, conforme se observa na Figura 5.16(a).

O método SSVM produz THD mais baixa do que a produzida pelo método SV-PWM Síncrono operando com relações f_{PWM}/f_s iguais a 8, 12, 16 e 24, em toda a faixa de M avaliada.

3 Oscilação de Velocidade e Pulsção de Conjugado no Motor:

Em relação às amplitudes de oscilação da velocidade angular do motor (W) e do conjugado elétrico do motor (Te), os resultados observados permitem concluir que:

1 - Em regime permanente o método de modulação proposto reduz as amplitudes das oscilações de W e Te no motor na faixa $M > 0,25$, quando comparado ao método SV-PWM Síncrono com $f_{PWM}/f_s = 8$ e $f_{PWM}/f_s = 16$ (Figura 5.31 e Figura 5.32). O método proposto apresenta desempenho equivalente ao método Síncrono com $f_{PWM}/f_s = 12$ e $f_{PWM}/f_s = 24$.

2 - Em regime transitório, durante a rampa de aceleração, tanto o método SSVM com faixa estendida quanto o HSSVM produzem resultados satisfatórios, embora se verifiquem amplitudes de oscilação superiores às amplitudes correspondentes ao método SV-PWM.

3 - Em regime transitório, as amplitudes das oscilações de W e Te produzidas pelo método proposto tornam-se menores do que as produzidas pelo método SV-PWM a partir do instante de tempo $t = 1,0s$.

4 Faixa de Operação do Método Proposto:

Do ponto de vista do controle da tensão fundamental de saída, o método de modulação proposto apresenta a seguinte faixa de operação útil:

$$0,0293 \leq M \leq 0,969$$

que equivale a

$$1,93 \text{ Hz} \leq f_s \leq 64,1 \text{ Hz}$$

e a

$$1,86\% \cdot V_{dd} \leq |V^*| \leq 61,7\% \cdot V_{dd}.$$

Além da faixa de M acima, o método proposto é capaz de aplicar tensão zero na carga quando $M = 0$.

Dentro da faixa $0,907 \leq M \leq 0,969$, que pertence à região de sobre-modulação, o método proposto opera de maneira natural e sem aumento do custo computacional. No método SV-PWM a operação nesta região exige tratamento matemático específico e implica geralmente em aumento do custo computacional.

O limite inferior da faixa de operação útil do método proposto é pequeno e pode ser considerado como sendo igual a zero. A operação nesta região, conforme a rampa de aceleração mostrada na Figura 5.1, produziu resultados compatíveis com aqueles correspondentes ao método SV-PWM, conforme se observa na Figura 5.25 e na Figura 5.28.

5 Custo Computacional:

O método proposto apresentou em simulação um custo computacional sempre menor do que aquele apresentado pelo método SV-PWM, independentemente da relação entre a frequência de amostragem e a frequência fundamental adotada para este último.

6 Resultados Experimentais

6.1 Implementação em DSP

Os objetivos desta etapa foram: (a) avaliar a implementação do método proposto em DSP, medindo o seu custo computacional; (b) validar alguns dos resultados obtidos em simulação, tais como formas de onda produzidas na saída, conteúdo harmônico nestas tensões e gráfico de ganho entre componente fundamental da tensão de saída e módulo da tensão de referência na entrada do modulador.

Testes experimentais preliminares foram realizados à partir da implementação do método SSVM em um DSP de ponto flutuante (TMS320F28335, da Texas Instruments Inc., Dallas, TX, USA).

As funções de ajuste representadas pelas equações (4.6) e (4.7) foram implementadas através de dois sistemas de equações polinomiais.

Devido à não disponibilidade de um inversor NPC trifásico de cinco níveis a ser controlado pelo DSP, este foi substituído por uma placa de circuito impresso que emula o seu funcionamento através da implementação, via amplificadores operacionais, das equações (6.1) a (6.4). Estas quatro equações modelam as tensões fase-neutro na saída do inversor em função dos estados de quatro das oito chaves principais de cada braço do mesmo, estados estes comandados pelo DSP à partir da execução do método de modulação proposto.

$$C_A = S_{1A} + S_{2A} - S_{7A} - S_{8A} \quad (6.1)$$

$$C_B = S_{1B} + S_{2B} - S_{7B} - S_{8B} \quad (6.2)$$

$$C_C = S_{1C} + S_{2C} - S_{7C} - S_{8C} \quad (6.3)$$

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \begin{bmatrix} +2/3 & -1/3 & -1/3 \\ -1/3 & +2/3 & -1/3 \\ -1/3 & -1/3 & +2/3 \end{bmatrix} \cdot \begin{bmatrix} C_A \\ C_B \\ C_C \end{bmatrix} \quad (6.4)$$

Os estados das chaves S_3 , S_4 , S_5 e S_6 de cada braço do inversor são complementares aos estados de S_{1A} , S_{2A} , S_{7A} e S_{8A} , conforme equações booleanas (6.5), (6.6), (6.7) e (6.8).

$$S_{3X} = \neg S_{7X} \quad (6.5)$$

$$S_{4X} = /S_{8X} \quad (6.6)$$

$$S_{5X} = /S_{1X} \quad (6.7)$$

$$S_{6X} = /S_{2X} \quad (6.8)$$

onde $X = \{A,B,C\}$ representa cada um dos três braços do inversor.

A placa emuladora de inversor NPC de cinco níveis apresenta um ganho tal que

$$V_{AN1} = 7,323 \cdot M \quad (6.9)$$

sendo V_{AN1} o valor de pico da componente fundamental da tensão fase-neutro V_{AN} em Volts.

Utilizando-se a plataforma detalhada acima, foram executados testes utilizando-se os 22 pontos de operação mostrados na Tabela 6.1.

Tabela 6.1: Pontos de operação usados nos testes experimentais

Ponto de Operação	Índice de Modulação (M)	Frequência da Componente Fundamental em Regime Permanente (fs)
1	0,05	3,30Hz
2	0,10	6,62Hz
3	0,15	9,92Hz
4	0,20	13,23Hz
5	0,250	16,54Hz
6	0,300	19,85Hz
7	0,350	23,16Hz
8	0,400	26,46Hz
9	0,450	29,77Hz
10	0,500	33,08Hz
11	0,550	36,99Hz
12	0,600	39,70Hz
13	0,665	44,00Hz
14	0,700	46,31Hz
15	0,750	49,62Hz
16	0,800	52,93Hz
17	0,850	56,24Hz
18	0,900	59,54Hz
19	0,907	60,00Hz
20	0,950	62,85Hz
21	1,000	66,16Hz
22	1,047	69,27Hz

6.2 Resultados Experimentais

Os resultados obtidos a partir da implementação do método proposto em DSP e utilizando-se a placa de circuito impresso que emula o funcionamento do inversor NPC trifásico de cinco níveis são apresentados na Figura 6.1 até a Figura 6.4. O método proposto foi implementado com todas as suas funcionalidades, isto é, as equações (4.6) e (4.7) e o mecanismo de equalização parcial das tensões nos capacitores e equalização das perdas entre as chaves e braços do conversor.

6.2.1 Tensão Fase-Neutro na Carga

Na Figura 6.1 e na Figura 6.2 são apresentadas, respectivamente, as formas de onda da tensão fase-neutro V_{AN} no domínio do tempo para dois diferentes pontos de operação: $M = 0,907 / f_s = 60\text{Hz}$ e $M = 0,600 / f_s = 39,69\text{Hz}$.

A forma de onda observado na Figura 6.1 é idêntica àquela obtida em simulação e apresentada na Figura 5.8. A forma de onda da Figura 6.2 também confirma o resultado apresentado na Figura 5.12, correspondente ao PO $M = 0,604 / f_s = 40\text{Hz}$.

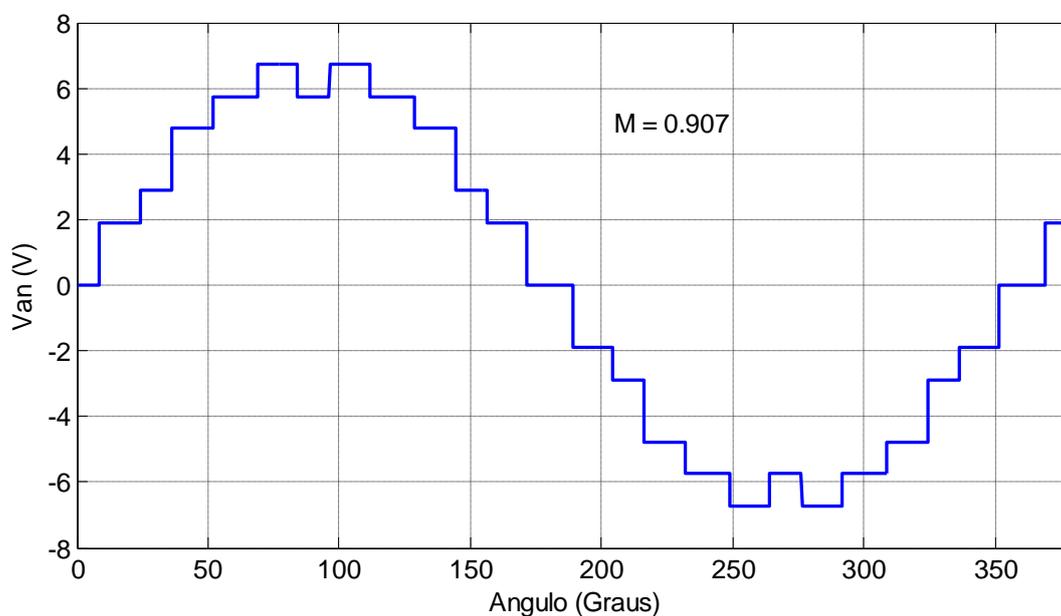


Figura 6.1: Forma de onda no tempo da tensão fase-neutro V_{AN} para $M = 0,9096$.

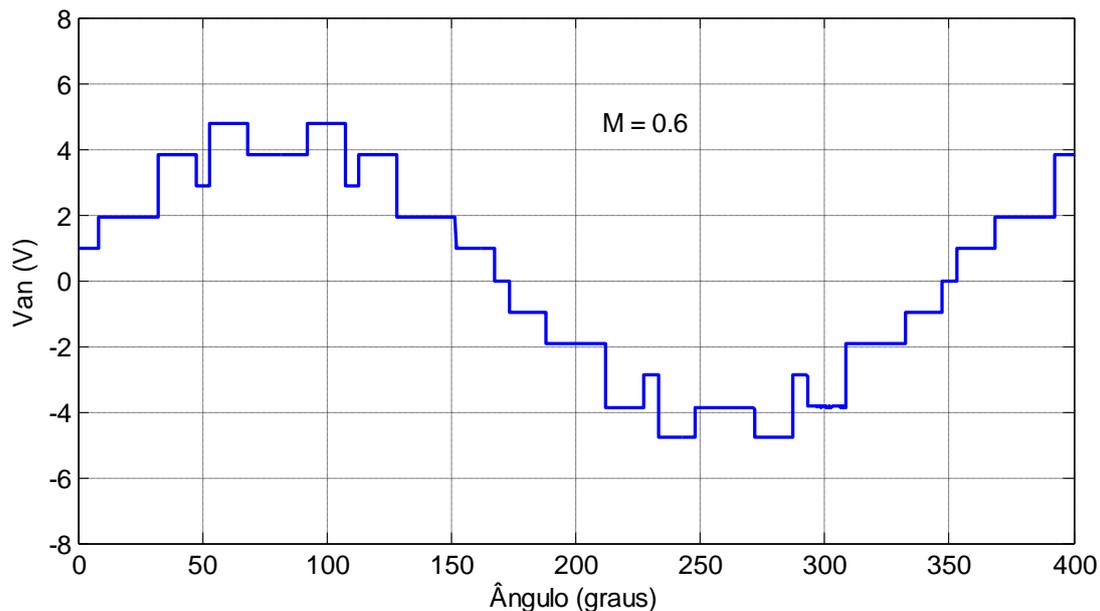


Figura 6.2: Forma de onda no tempo da tensão fase-neutro VAN para $M = 0,6$.

6.2.2 Região Linear do Modulador

A relação entre a componente fundamental da tensão fase-neutro V_{AN} na saída (V_{AN1}) e o índice de modulação (M) é mostrada na Figura 6.3. Os pontos mostrados no gráfico correspondem aos listados na Tabela 6.1. O resultado apresentado nesta figura confirma o resultado obtido por simulação e apresentado na Figura 5.24 e garante a relação linear e unitária entre as variáveis de controle e controlada.

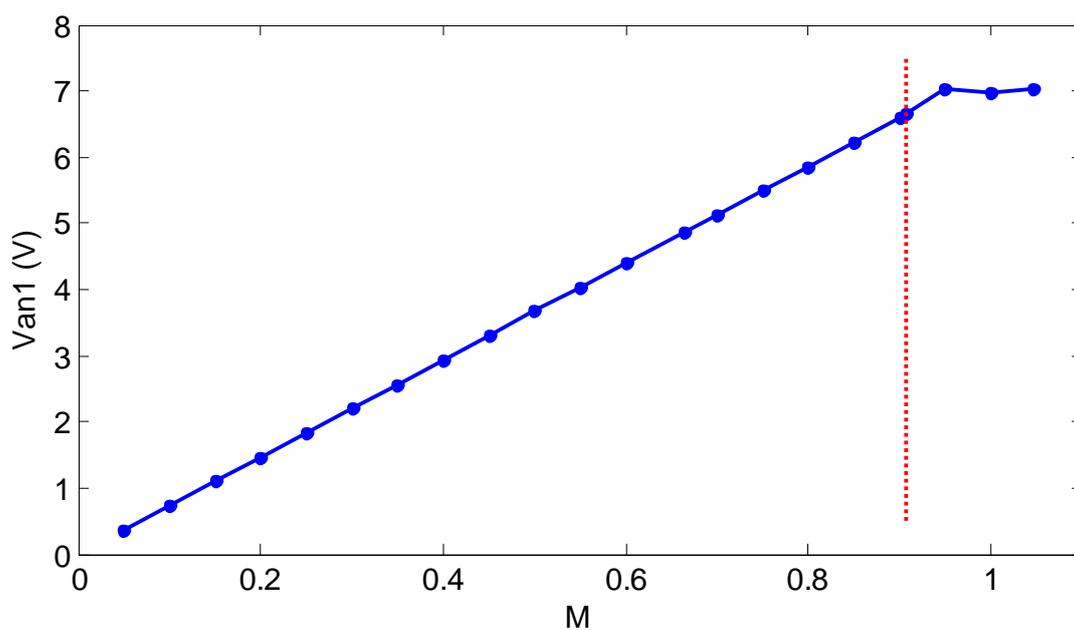


Figura 6.3: Ganho do modulador/inversor, correspondente à relação entre V_{AN1} e M . A linha tracejada vertical corresponde ao PO nominal ($M = 0,9069$).

6.2.3 THD

Na Figura 6.4 são mostrados os valores da THD calculada conforme equação (1.1), para os pontos de operação listados na Tabela 6.1. As THD foram calculadas utilizando-se o programa WaveStar a partir dos dados de tensões V_{AN} medidos na saída da placa emuladora de inversor. Os resultados mostrados nesta figura confirmam os resultados de simulação mostrados na Figura 5.16(a).

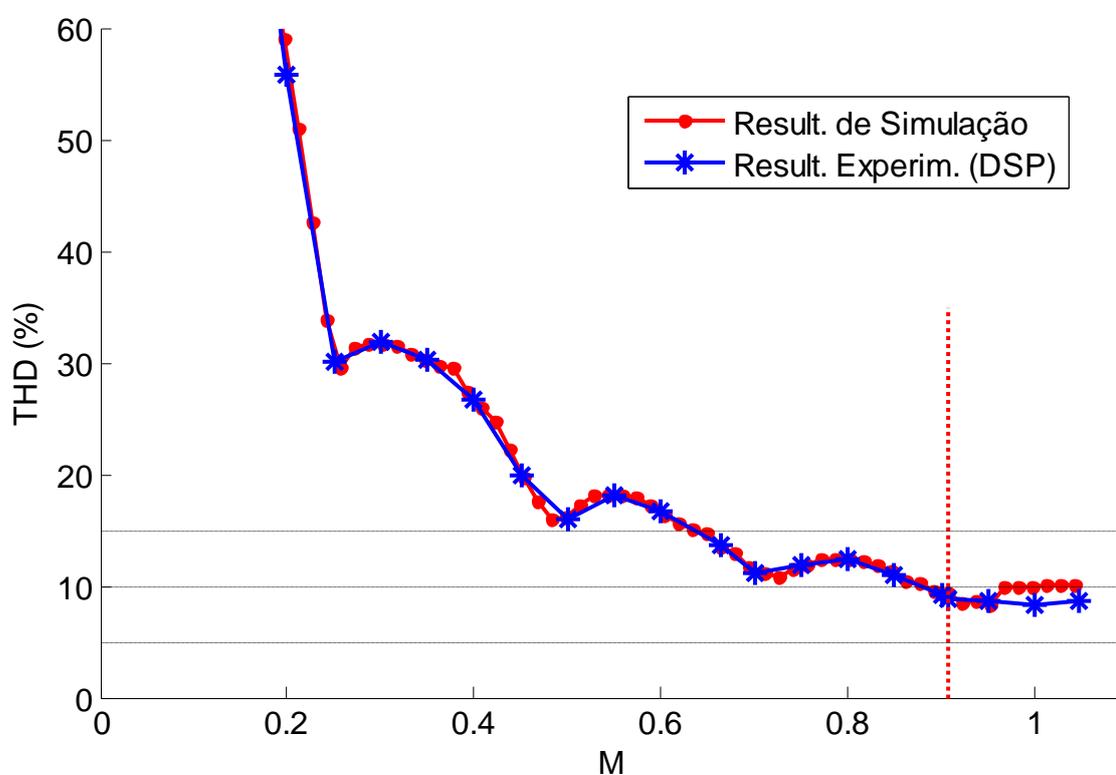


Figura 6.4: THD da tensão fase-neutro V_{an} obtida através da implementação do método SSVM em DSP. A reta vertical tracejada indica o PO nominal ($M = 0,9069$).

6.2.4 Custo Computacional em DSP

O custo computacional da implementação em DSP do método SSVM varia com o número total de vetores espaciais a serem testados, em cada período de amostragem, na busca pelo vetor ideal. Este número depende da região de operação e é máximo dentro da faixa $0,7633 \leq M \leq 0,8842$ mostrada na Figura 4.15, na qual são utilizados vetores espaciais pertencentes aos hexágonos H_3 e H_4 . Nesta região, o número de vetores espaciais a serem testados em cada

período de amostragem é igual a cinco, sendo dois vetores pertencentes a H_3 e três pertencentes a H_4 em cada sextante. O custo computacional do mecanismo de busca do vetor ideal é, portanto, máximo dentro desta região.

Na região $M > 0,9069$ (sobre-modulação) o número de vetores espaciais a serem testados é reduzido de cinco para três, o que reduz o custo do mecanismo de busca. Nesta região, no entanto, a função de ajuste Ψ_2 passa a ser utilizada, aparecendo uma nova parcela no custo computacional total do método. Porém, o custo computacional da função Ψ_2 é inferior à redução verificada no custo do mecanismo de busca quando da entrada na região de sobre-modulação. Desta forma o custo computacional máximo verificado para o método SSVM ocorre na região $0,7633 \leq M \leq 0,8842$.

O custo computacional da implementação do método SSVM em DSP foi medido experimentalmente utilizando-se as seguintes condições:

- 1) DSP utilizado: TMS320F28335 (Texas Instruments Inc);
- 2) Frequência de barramento do DSP utilizada: 150MHz
- 3) Índice de modulação: $M = 0,88$ (dentro da faixa de custo computacional máximo).

Foram encontrados os seguintes valores de custo computacional, medidos em tempo de execução e mostrados na Tabela 6.2:

Tabela 6.2 – Tempos de Execução Medidos em DSP

Transformada de Clark para obtenção de V_d^* e V_q^*	2,0 μ s
Cálculo das coordenadas polares de V^*	3,0 μ s
Aplicação da função Ψ_1 ao vetor de referência V^*	4,3 μ s
Mecanismo de busca do vetor ideal	2,3 μ s
Outros passos do algoritmo SSVM	6,7 μ s
TOTAL	18,3 μ s

O menor período de amostragem realizável pelo DSP é aquele igual ao valor do tempo de processamento total de cada ciclo do método SSVM no caso crítico, igual a 18,3 μ s. A máxima frequência de amostragem realizável é igual a

$$f_{a_{\max}} = 1/T_{a_{\min}} = 1/18,3\mu s = 54,6\text{kHz}$$

A frequência mínima de amostragem necessária para um conversor de cinco níveis, conforme apresentado ao final da Seção 4.3, é igual a $69,11 \cdot f_s$. Sendo assim, a maior frequência fundamental que poderá ser produzida na saída de um conversor controlado por este DSP será:

$$f_{s_{\max}} = f_{a_{\max}}/69,11 = 790,6\text{Hz}$$

Na implementação prática do método SSVM realizada, no entanto, além do algoritmo do método proposto, outras tarefas normalmente implementadas em FPGA, como a geração de tensões trifásicas de referência e a decodificação dos estados dos braços do conversor em pulsos de comandos para as chaves, também tiveram que ser implementadas em DSP. A implementação destes códigos extras representou um custo computacional adicional igual a $6,0\mu\text{s}$, o que reduziu $f_{a_{\text{max}}}$ e $f_{s_{\text{max}}}$ para $41,1\text{kHz}$ e $595,5\text{Hz}$, respectivamente.

A Figura 6.5 mostra três formas de onda de V_{AN} medidas na saída da placa emuladora para $M = 0,8$. Estas curvas correspondentes a três valores de frequência fundamental: (a) $f_s = 60\text{Hz}$; (b) $f_s = 400\text{Hz} (< f_{s_{\text{MAX}}})$; (c) $f_s = 695\text{Hz} (> f_{s_{\text{MAX}}})$. Observa-se que no caso (b), abaixo do limite $f_{s_{\text{max}}}$ calculado para o pior caso de M ($595,5\text{Hz}$), a forma de onda de tensão produzida (Figura 6.5(b)) é praticamente idêntica àquela gerada para $f_s = 60\text{Hz}$ (Figura 6.5(a)). Acima do limite $f_{s_{\text{max}}}$ o vetor de referência \mathbf{V}^* passa a não ser representado por todos os vetores espaciais ideais. Ele passa, assim, a ser representado por diferentes vetores espaciais a cada ciclo de fundamental, uma vez que f_a não é múltiplo inteiro de f_s , produzindo uma forma de onda que varia ligeiramente ao longo do tempo, efeito este registrado pelo osciloscópio utilizando-se a função de persistência do mesmo, conforme se observa na Figura 6.5(c).

6.3 Conclusões

O método de modulação proposto se mostrou realizável na implementação em DSP.

Os resultados obtidos usando-se a implementação do método proposto em DSP e acionando a placa que emula o funcionamento do inversor NPC trifásico de cinco níveis, tais como a forma de onda de tensão fase-neutro na saída, a relação entre as variáveis de entrada (M) e de saída (V_{AN1}) do modulador, bem como a curva de THD da tensão V_{AN} em função de M coincidiram com os resultados equivalentes produzidos em simulação utilizando-se o modelo do sistema no *software* Matlab/Simulink.

O método SSVM apresentou no DSP utilizado (TMS320F28335), trabalhando a uma frequência de 150MHz , um tempo de processamento de cada ciclo de controle igual a $18,3\mu\text{s}$. Este custo computacional permite uma frequência de amostragem máxima igual a $54,6\text{kHz}$ no pior caso em termos de índice de modulação. Com esta frequência de amostragem acima, o método proposto pode produzir uma tensão com frequência fundamental de até $790,7\text{Hz}$ na saída do conversor.

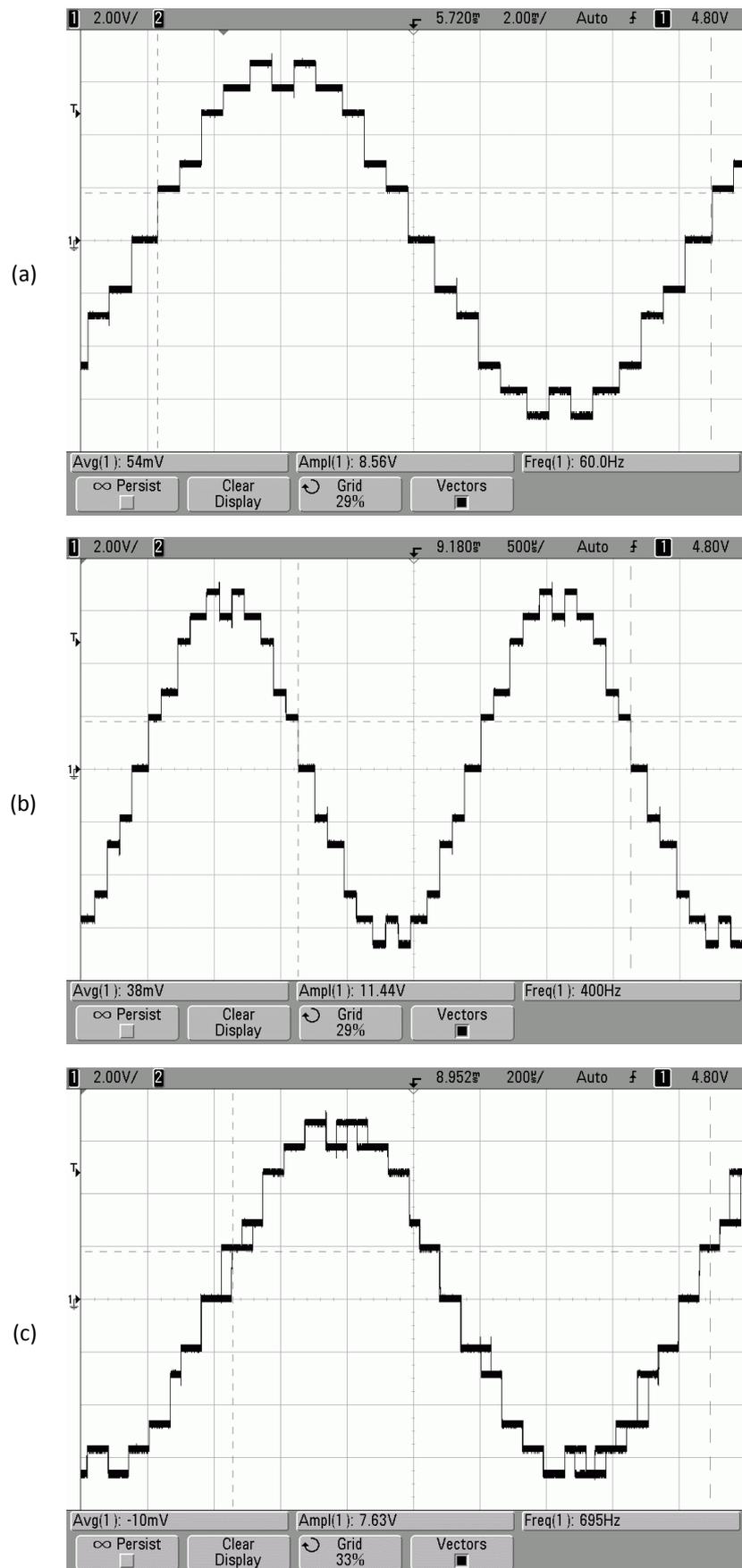


Figura 6.5: Tensão V_{AN} correspondente a $M = 0,8$ e: (a) $f_s = 60\text{Hz}$; (b) $f_s = 400\text{Hz}$; (c) 695Hz

7 Generalização do Número de Níveis do Conversor

7.1 *Introdução*

A maioria dos métodos de modulação atualmente disponíveis são aplicáveis a conversores multiníveis com qualquer número de níveis. Isso é, a princípio, válido também para o método de modulação proposto neste trabalho.

No caso dos métodos SV-PWM, S-PWM e SHE, quanto maior é o número N de níveis, menor é o conteúdo harmônico presente na tensão de saída do conversor. Esse comportamento, assim como a influência de N sobre as perdas do conversor, precisam ser estudados também para o método SSVM.

Nos capítulos anteriores o método SSVM foi aplicado a um inversor multinível com cinco níveis. Visando avaliar a aplicabilidade deste método em inversores com menor número de níveis, bem como avaliar o seu desempenho em inversores com $N > 5$, o método proposto foi generalizado em termos de N para qualquer valor ímpar igual ou maior que três. Em seguida, o método foi testado em inversores com N ímpar variando entre três e 23.

Um conversor com número ímpar de níveis é capaz de sintetizar o nível zero na saída de cada braço, o que não é possível em uma topologia com N par. Vários aspectos do funcionamento do método SSVM foram implementados a partir da existência do nível zero nos braços do conversor. Em função disso, da forma como o método proposto está atualmente implementado, ele não pode ser utilizado em conversores com nível par de níveis.

7.2 *Algumas Características Relacionadas a N*

Um conversor multinível trifásico de N níveis possui N estados diferentes em cada braço, o que representa N^3 combinações possíveis de estados considerando-se os três braços. Várias combinações de estado diferentes geram o mesmo vetor espacial no espaço vetorial do conversor.

Desta forma, vários parâmetros importantes na implementação do método SSVM tais como o número de vetores espaciais diferentes (N_{SV}), o número de hexágonos (N_H), o número de círculos limite (N_{CL}) e de vetores espaciais em cada hexágono (N_{SVH}) dependem do número de níveis do conversor e podem ser generalizados em função deste parâmetro.

O número de vetores espaciais diferentes (N_{SV}) presentes em cada braço do conversor trifásico de N níveis, incluindo-se o vetor nulo, é dado pela equação (7.1):

$$N_{SV} = 3 \cdot N \cdot (N - 1) + 1 \quad (7.1)$$

O número de hexágonos (N_H) presentes no espaço vetorial deste conversor, considerando-se o vetor nulo como um hexágono nulo, é dado pela equação (7.2):

$$N_H = N \quad (7.2)$$

O número de círculos limite (N_{CL}) presentes neste espaço vetorial é dado pela equação (7.3):

$$N_{CL} = 2 \cdot N - 2 \quad (7.3)$$

O número de vetores espaciais (N_{SVH}) pertencentes ao hexágono H_I do espaço vetorial pode ser dado em função do índice I , sendo este índice crescente, a partir de 1, do menor para o maior hexágono, a partir da equação (7.4):

$$N_{SVH} = 6 \cdot I \quad (7.4)$$

A Figura 7.1, a Figura 7.2 e a Figura 7.3 mostram os espaços vetoriais correspondentes, respectivamente, aos conversores trifásicos de cinco, sete e nove níveis com barramento de 6000V, onde se destacam os vetores espaciais, os hexágonos e os círculos limite (linhas azuis cheias). Estão também indicados os limites da região linear do modulador SV-PWM (linha tracejada preta), equivalente a $M = 0,9069$, e o limite da região linear entre $|V_{AN1}|$ e M para o modulador SSVM (linha tracejada vermelha), equivalente a $M = 0,969$. O círculo tracejado de cor verde corresponde a $M = 1$.

No Capítulo 5 mostrou-se que as regiões ímpares do espaço vetorial do conversor de cinco níveis se caracterizam por utilizar vetores mais próximos pertencentes a um único hexágono, enquanto que nas regiões pares são encontrados vetores mais próximos pertencentes a dois hexágonos vizinhos. Esta regra pode ser expressa pela equação

$$N_H = 2 - \text{mod}(R,2) \quad (7.5)$$

onde N_H é o número de hexágonos usados dentro de uma região qualquer;
 R é o índice da região considerada, crescente a partir do menor hexágono;
a função *mod* retorna o resto da divisão inteira de R por dois.

A equação (7.5), no entanto, expressa um caso particular de uma regra genérica que só se verifica para conversores com 9 ou mais níveis. Nestes conversores, regiões mais elevadas ($R > 13$) podem ter três ou mais hexágonos ativos. A lei geral que expressa o número de hexágonos ativos (efetivamente utilizados) dentro de uma região qualquer, ou seja, cujos vetores espaciais serão usados quando da aplicação do método de modulação proposto, pode ser expressa através da equação

$$N_H = 2 - \text{mod}(R,2) + \text{fix}(R/13) \quad (7.6)$$

onde a função *fix* arredonda o resultado da divisão de R por 13 na direção de $-\infty$.

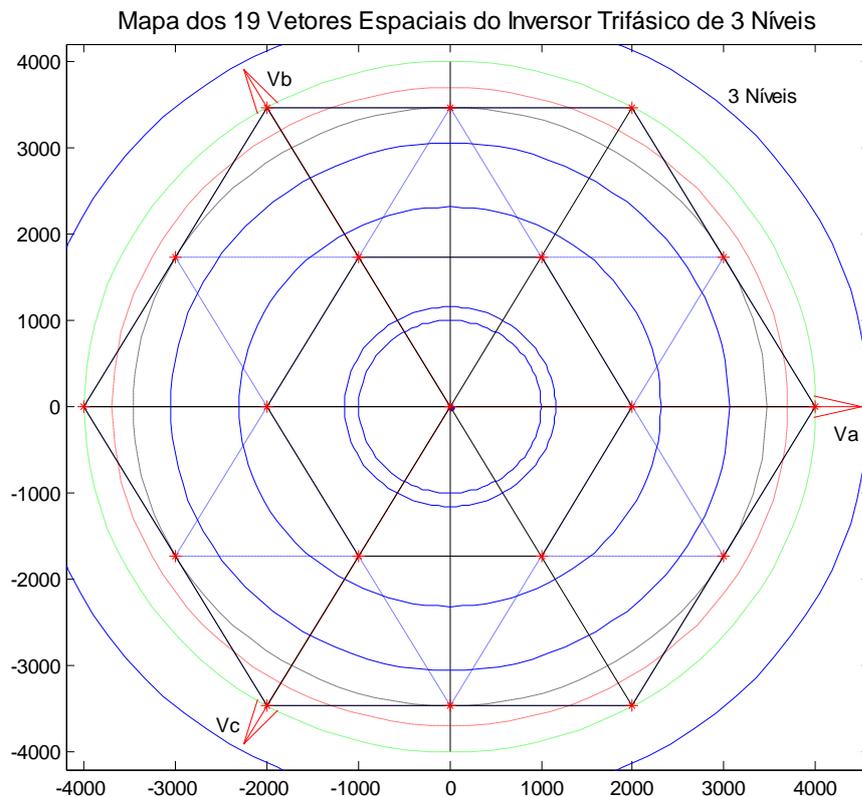


Figura 7.1: Espaço vetorial de um conversor de 3 níveis.

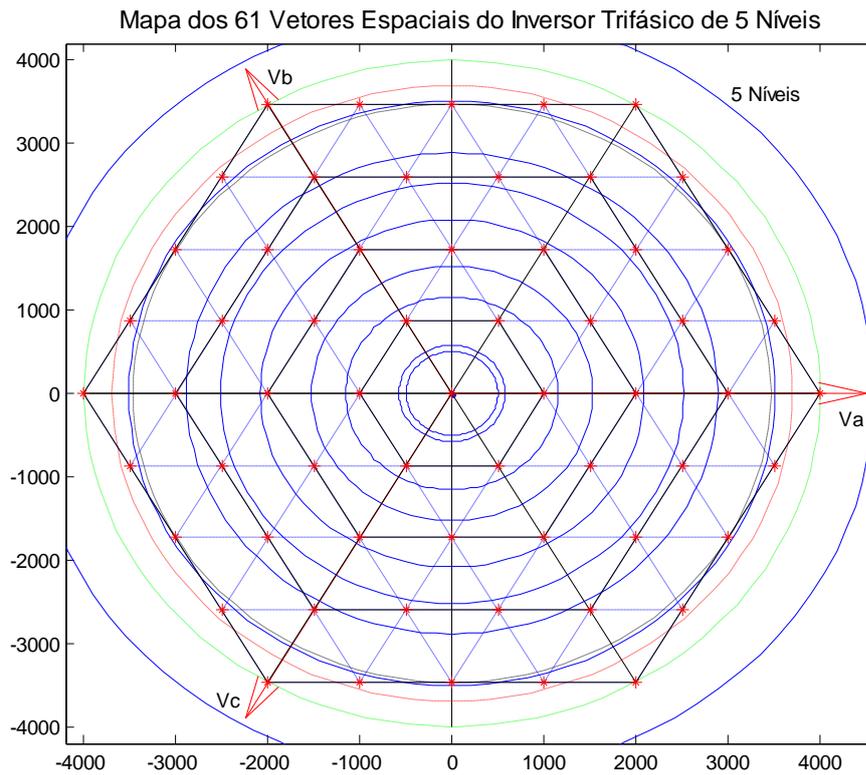


Figura 7.2: Espaço vetorial de um conversor de cinco níveis.

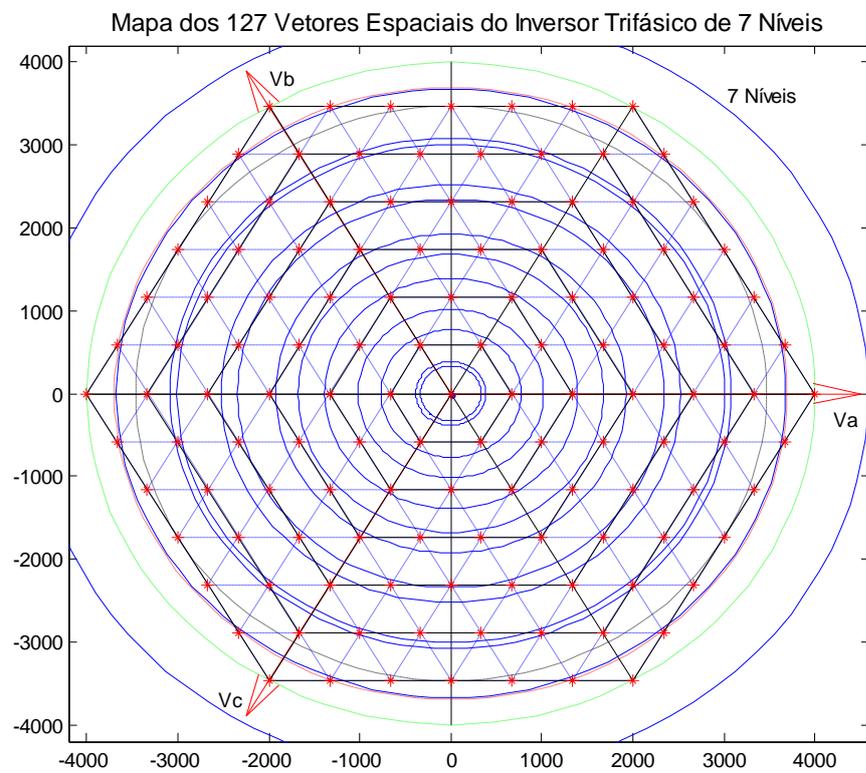


Figura 7.3: Espaço vetorial de um conversor de 7 níveis.

O fato de a operação em uma determinada região R utilizar vetores espaciais de dois, três ou N_H hexágonos produz a redução da THD da tensão produzida, assim como um aumento das perdas por comutação devido ao aumento no número de comutações nestes casos. Desta

forma, pode-se pensar em uma alternativa ao algoritmo proposto que reduza os hexágonos ativos em conversores com número de níveis elevados como forma de reduzir as perdas por condução. Os resultados obtidos em termos de THD nas duas situações devem ser comparados visando encontrar a solução ideal. Este estudo está fora do escopo do presente trabalho e é apresentado como proposta de continuidade.

O número de dispositivos semicondutores necessários em cada braço de um conversor N níveis, na topologia NPC, pode ser calculado a partir das seguintes equações em função de N:

$$\text{Chaves ativas: } N_S = 2 \cdot (N - 1) \quad (7.7)$$

$$\text{Diodos de grampeamento: } N_{DC} = 2 \cdot (N - 2) \quad (7.8)$$

A relação (7.8) considera a utilização de diodos com diferentes tensões de bloqueio dimensionadas de acordo com a posição de cada um no circuito. Nos casos práticos é usual utilizar diodos com tensões de bloqueio idênticas e dimensionadas para a menor tensão encontrada no circuito. Nas posições onde a tensão solicitante é maior, utiliza-se a associação em série de dois ou mais diodos. Neste caso o número mínimo de diodos de grampeamento sobe e é dado pela equação (7.9)

$$\text{Diodos de grampeamento: } N_{DC} = (N - 1) \cdot (N - 2) \quad (7.9)$$

Relações equivalentes podem ser deduzidas para as topologias FC e Cascata.

As curvas de tensão fundamental de saída (V_{AN1}) em função de M para conversores de três, cinco, sete e 23 níveis são mostradas da Figura 7.4 à Figura 7.7. Em todas elas são mostradas as respostas obtidas sem e com o mecanismo de correção de ganho apresentado no Capítulo 4. Observa-se que nos três casos o método de modulação proposto apresenta relação linear e unitária entre a variável de controle (M) e a variável controlada (V_{AN1}) quando o mecanismo de correção é utilizado. Em inversores com elevado número de níveis, no entanto, a relação entre V_{AN1} e M é naturalmente próxima de uma reta e o mecanismo de correção de ganho não é necessário.

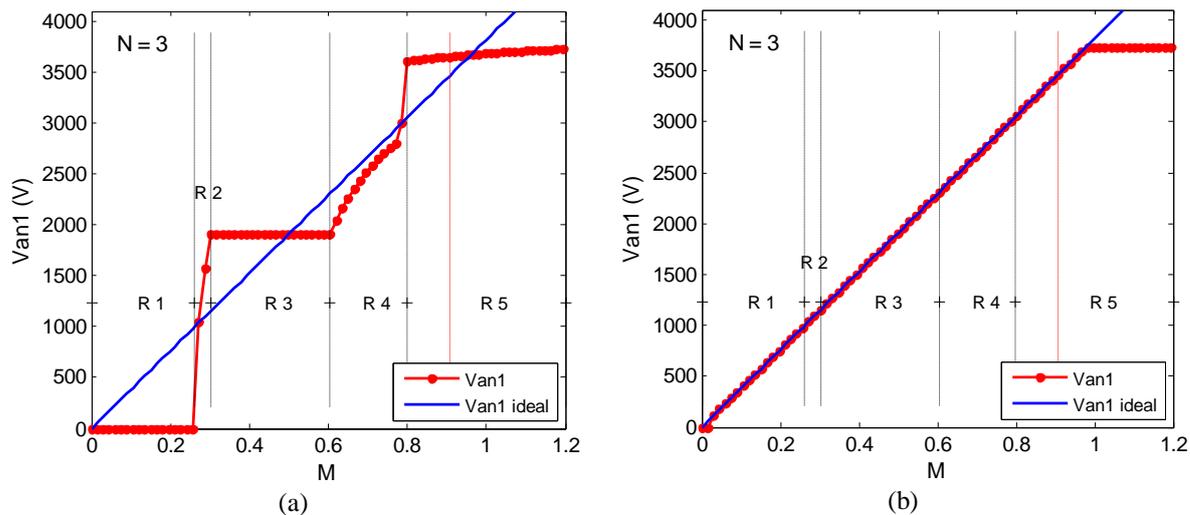


Figura 7.4: Tensão fundamental (V_{AN1}) na saída do conversor de três níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.

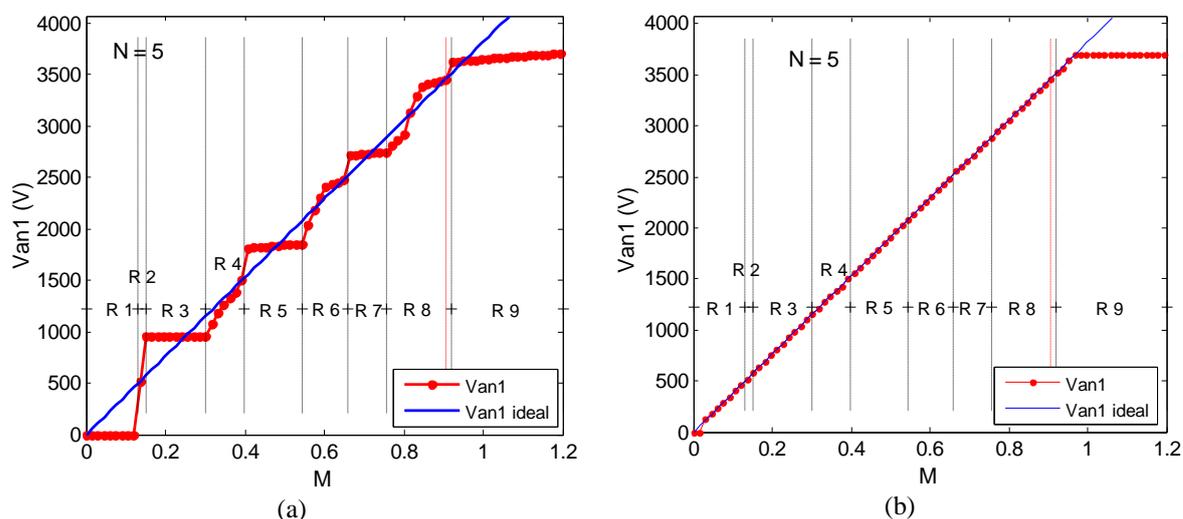


Figura 7.5: Tensão fundamental (V_{AN1}) na saída do conversor de cinco níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.

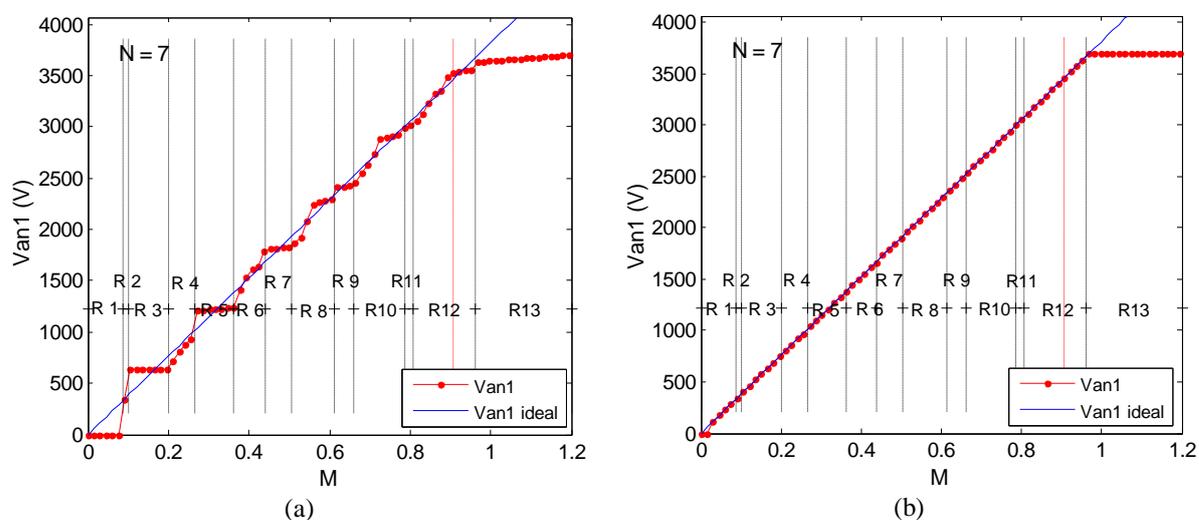


Figura 7.6: Tensão fundamental (V_{AN1}) na saída do conversor de 7 níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.

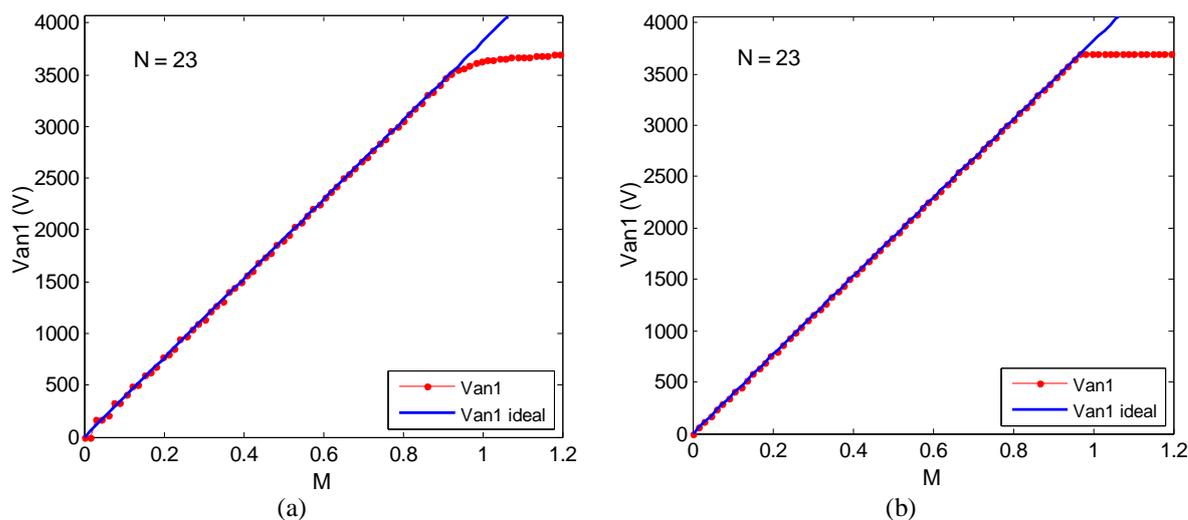


Figura 7.7: Tensão fundamental (V_{AN1}) na saída do conversor de 23 níveis em função de M . (a) sem mecanismo de correção de ganho; (b) com o mecanismo de correção de ganho.

7.3 Resultados de Simulação

Utilizando-se um modelo elaborado em Arquivo M do conversor trifásico genérico de N níveis e usando o método SSVM genérico em termos de N , realizou-se simulações no domínio do tempo e em função de M e N , visando comparar o método de modulação proposto em conversores com diferentes valores de N .

A Figura 7.8 mostra o semi-ciclo positivo da forma de onda da tensão fase-neutro na carga (V_{AN}), correspondente a $M = 0,9069$, produzida pelo método SSVM em inversores com, respectivamente, três, cinco, nove e 23 níveis. O aumento no número de níveis do inversor aproxima naturalmente a forma de onda produzida da forma senoidal.

O aumento do número de níveis N do conversor produz uma redução da curva de THD em praticamente toda a faixa de índice de modulação avaliada, conforme se observa no gráfico da Figura 7.9, que apresenta as curvas de THD em função de M para diferentes valores de N . O ponto de mínimo de cada uma destas curvas é tanto menor quanto maior é o valor de N . Por outro lado, a THD observada dentro da região de sobre-modulação é constante em função de M e esse valor decresce com o aumento de N apenas até $N = 9$. Para N acima deste valor, não se verifica qualquer redução adicional da THD nesta região.

As perdas nos semicondutores do conversor são analisadas a partir dos gráficos das figuras Figura 7.10 à Figura 7.12. O gráfico da Figura 7.10 mostra as perdas totais (condução + comutação) separadas por tipo de semicondutor (chave do IGCT, diodo de roda livre do IGCT e diodo de grampeamento), em função de M . São mostradas curvas correspondentes a 6

diferentes valores de N . Uma curva correspondente à soma das perdas nestes três tipos de semicondutores também é apresentada. Observa-se que as perdas totais se concentram na chave do IGCT. Observa-se um crescimento consistente destas perdas com o aumento do número de níveis do conversor.

Na Figura 7.11 observa-se um gráfico onde as perdas são agrupadas por tipo de semicondutor e separadas quanto à natureza das mesmas (perdas por condução ou perdas por comutação). São mostradas curvas correspondentes a cinco valores de N . Observa-se que as perdas por condução crescem de forma praticamente linear com o aumento de N . Este resultado é de certa forma esperado uma vez que o aumento de N implica no aumento de chaves conectadas em série conduzindo a corrente de carga. Outro resultado observado, menos óbvio, é que as perdas por comutação também crescem de maneira aparentemente linear com o aumento de N .

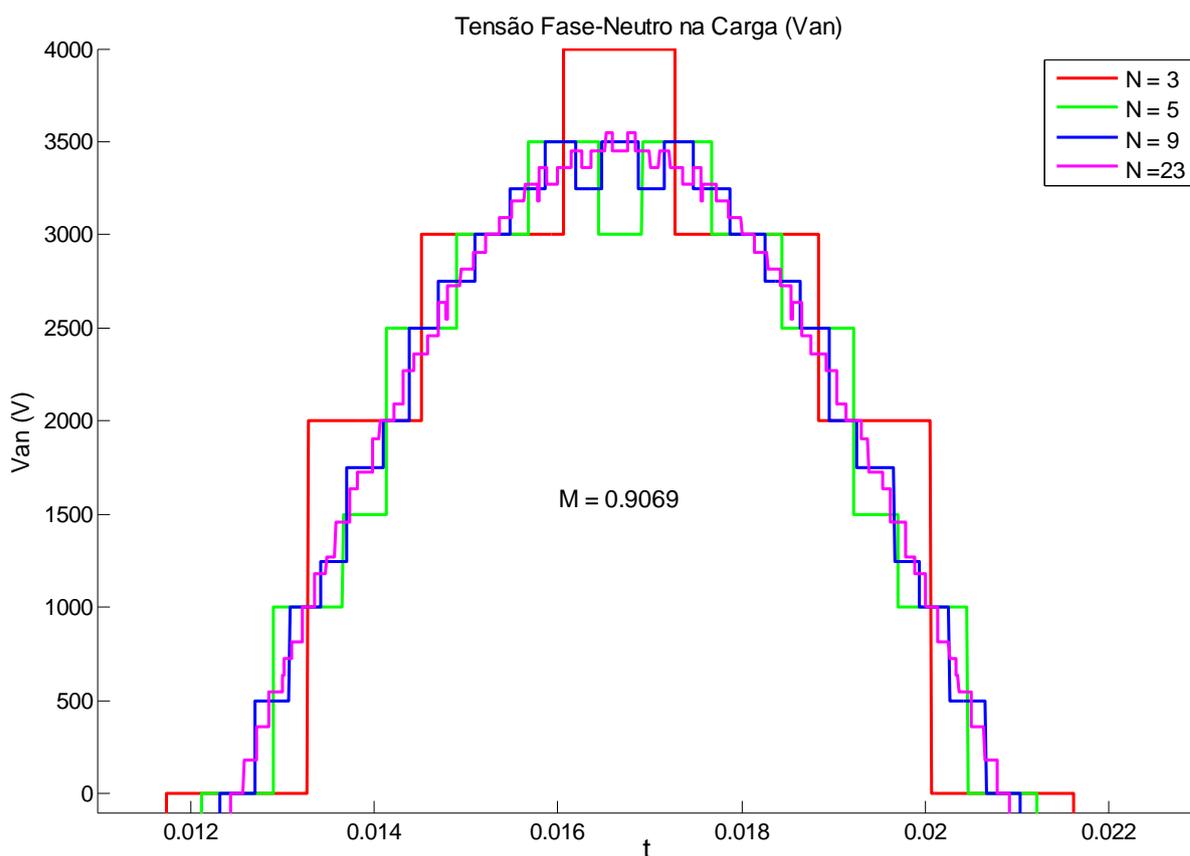


Figura 7.8: Tensão fase-neutro (V_{AN}) na carga em função de N .

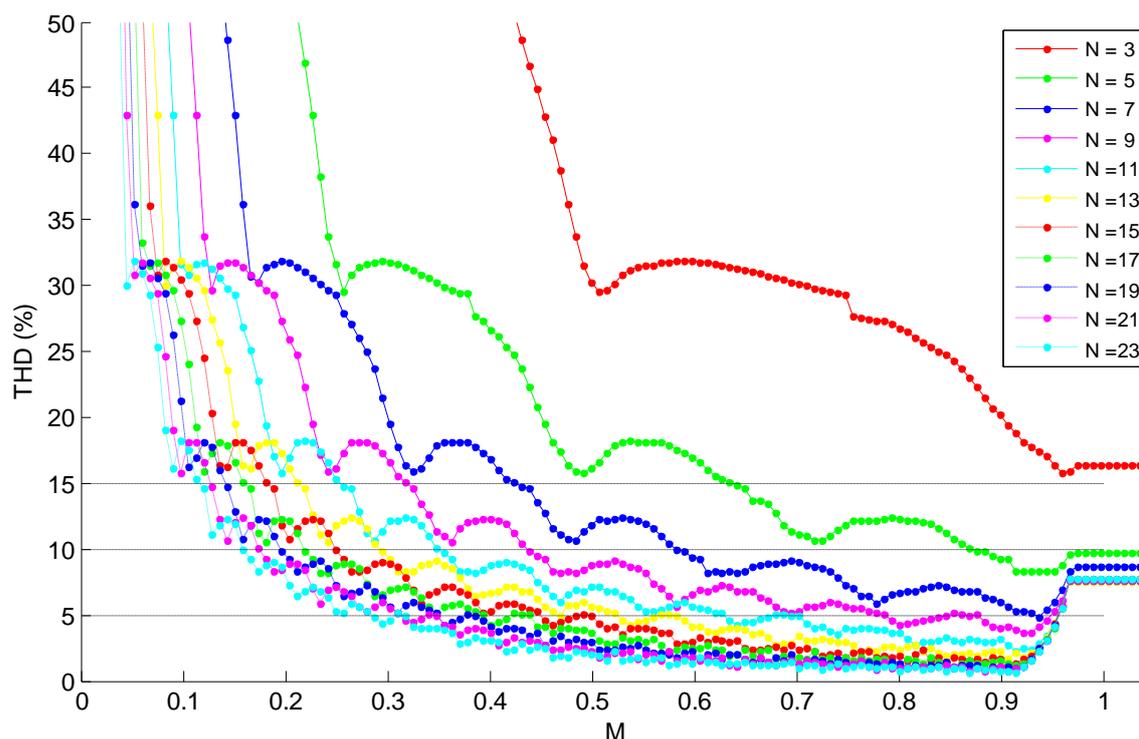


Figura 7.9: THD em função de M para 10 diferentes valores de número de níveis do conversor (N).

Este comportamento pode ser compreendido a partir da observação da Figura 7.1 à Figura 7.3 nas quais se verifica que o aumento de N aumenta o número de transições entre vetores espaciais ao longo de um período de tensão fundamental na saída. O aumento do número de transições é determinado pelo aumento no número de vetores espaciais existentes em cada hexágono, que aumenta linearmente em função de N conforme a equação (7.4). Esta relação explica o resultado observado na Figura 7.11 relativo às perdas por comutação.

A Figura 7.12 apresenta três relações envolvendo potência no conversor, o valor da potência ativa entregue à carga, a relação entre as perdas totais no conversor e a potência ativa entregue à carga (que indiretamente expressão a eficiência do conversor), e a relação entre as perdas por comutação e por condução nos semicondutores do conversor. Todas as curvas são plotadas em função de M e em todos os gráficos são apresentadas curvas correspondentes a cinco diferentes valores de N. A primeira conclusão que pode ser retirada desta figura é que a potência ativa entregue à carga não depende do número de níveis do conversor. Verifica-se também que a eficiência do conversor diminui com o aumento de N. Outra importante conclusão obtida desta figura é que a relação entre as perdas por condução e as perdas por comutação varia pouco em função de N e são mais fortemente influenciadas pelo ponto de operação do conversor (valor de M).

Os gráficos mostrados na Figura 7.9 e na Figura 7.11 mostram o efeito do aumento do número de níveis do conversor sobre o aumento das perdas nos semicondutores e a redução da THD na tensão de saída. A informação contida nestes dois gráficos pode ser condensada na forma dos gráficos da Figura 7.13 e da Figura 7.14. Nestes últimos, os valores críticos correspondentes às curvas mostradas na Figura 7.9 e na Figura 7.11 são traçados em função do número de níveis do conversor.

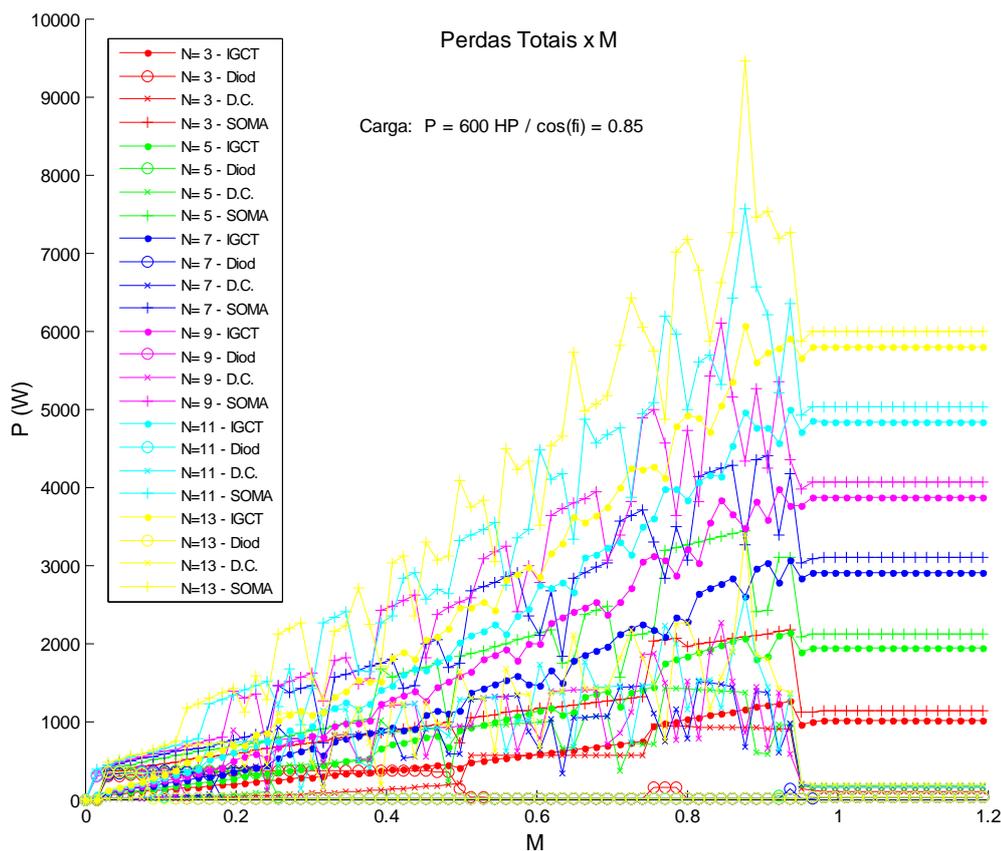


Figura 7.10: Perdas totais (condução e comutação) separadas por dispositivo. (▪) IGCT; (o) diodo de roda livre; (x) diodo de grampeamento; (+) soma das perdas nos três dispositivos. Conversor NPC de: três níveis (vermelho); cinco níveis (verde); sete níveis (azul escuro); nove níveis (roza); 11 níveis azul claro; 13 níveis (amarelo)

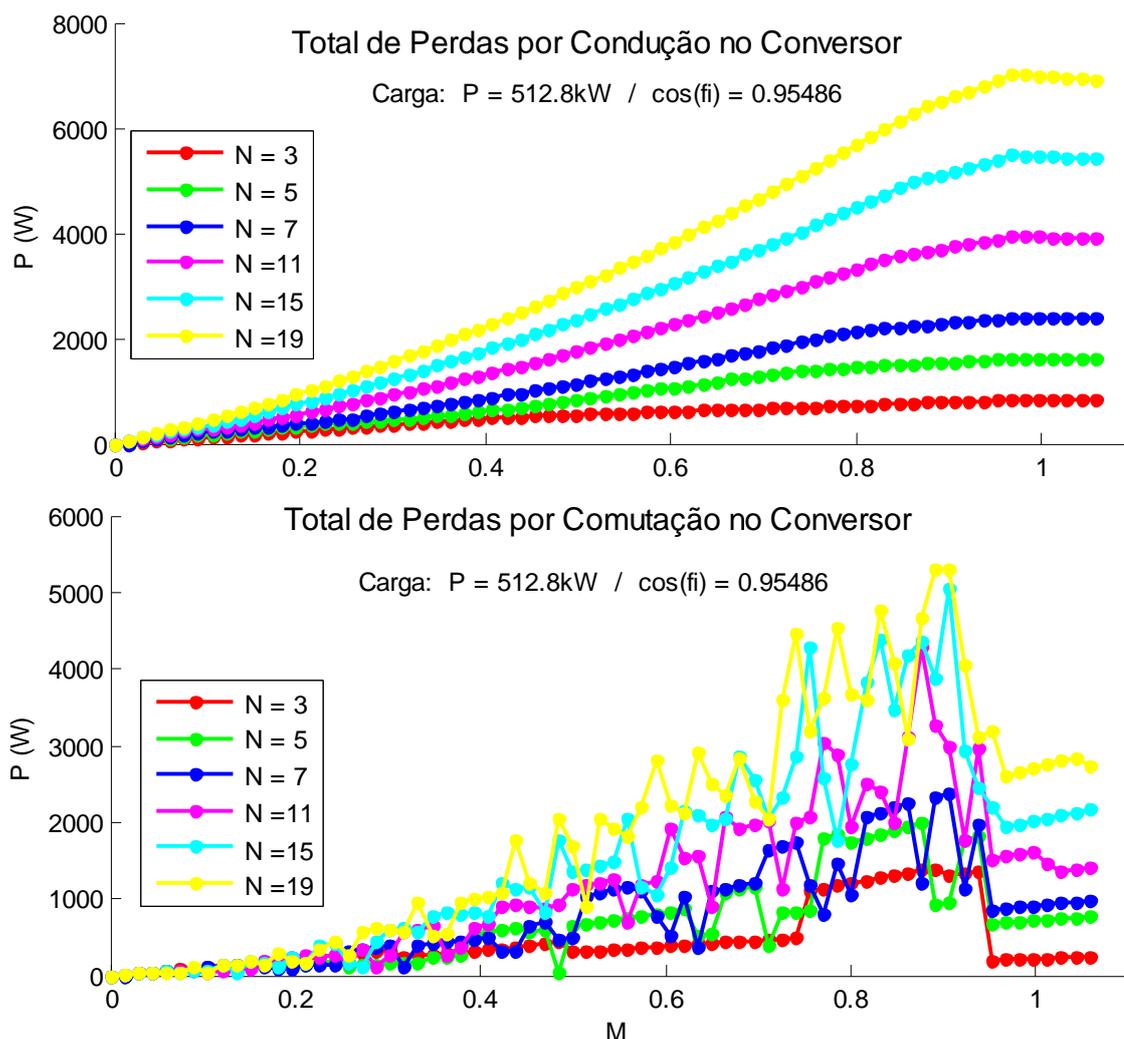


Figura 7.11: Perdas no conversor separadas por tipo de perda (condução ou comutação). Conversor NPC de cinco níveis (vermelho), sete níveis (verde), nove níveis (azul escuro), onze níveis (roza) e treze níveis (azul claro).

O gráfico da Figura 7.13 mostra o ponto de mínima THD de cada curva do gráfico da Figura 7.9 em função do número de níveis do inversor. Este gráfico mostra também o valor de THD na região de sobre-modulação em função de N . Verifica-se que o decréscimo da THD em função do aumento de N não é linear. Este decréscimo é tanto menor quanto maior é o valor de N . O gráfico da Figura 7.14, por sua vez, mostra que as perdas nos semicondutores, tanto por condução quanto por comutação, crescem de forma aproximadamente linear com o aumento do número de níveis N do conversor.

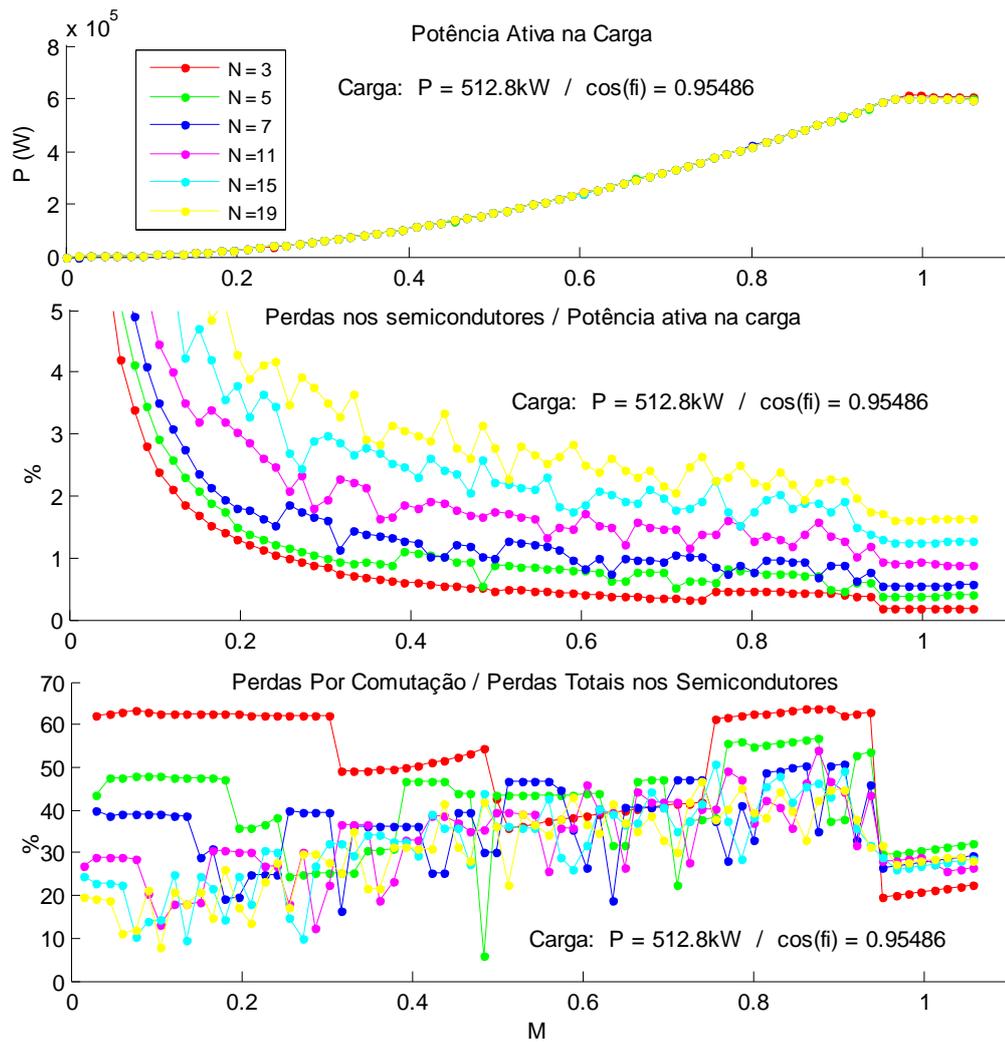


Figura 7.12: Primeiro gráfico: potência ativa entregue à carga. Segundo gráfico: relação entre as perdas no conversor e a potência entregue à carga. Terceiro gráfico: relação entre as perdas por comutação e as perdas totais nos semicondutores.

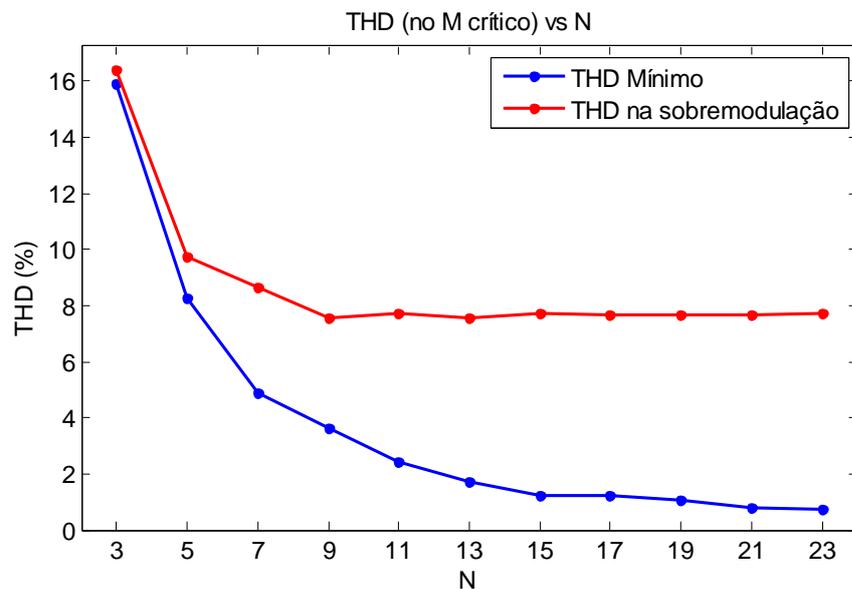


Figura 7.13: Linha azul: relação entre número de níveis N e o valor mínimo de THD encontrado na curva de THD x M correspondente. Linha vermelha: relação entre N e o valor de THD encontrado na região de sobre-modulação da curva de THD x M correspondente.

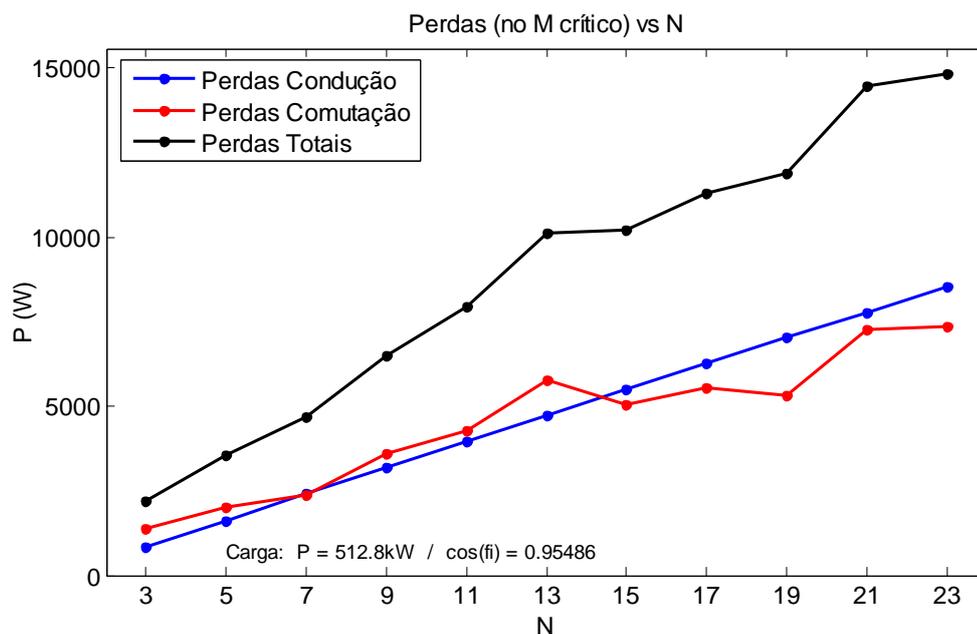


Figura 7.14: Relação entre o número de níveis N conversor e a perda máxima encontrada na curva de perda x M correspondente. Linha azul: perdas por condução; Linha vermelha: perda por chaveamento; Linha preta: perda total.

O crescimento linear das perdas com N, associado ao decréscimo cada vez mais tênue da THD com o crescimento de N, suscita a hipótese de haver um número de níveis ótimo do ponto de vista da relação entre perdas e qualidade da forma de onda de tensão de saída. A fim de verificar a existência ou não deste valor ótimo, elaborou-se a

Tabela 7.1, que relaciona o decréscimo percentual da THD com o correspondente acréscimo percentual das perdas totais no conversor a cada degrau de aumento do número de níveis N.

As variações percentuais das perdas totais no conversor (ΔP) e da THD (ΔTHD) na

Tabela 7.1 podem ser relacionados relacionadas entre si dando origem a uma nova figura de mérito, denominada QVP - Qualidade Versus Perdas – que relaciona o aumento da qualidade da forma de onda com o custo, em perdas totais no conversor, para se obter este aumento de qualidade. QVP foi definida como a razão entre ΔTHD e ΔP , ambos dados em valores percentuais. Assim sendo, quanto maior é o valor de QVP, maior é a redução percentual da THD para um determinado aumento percentual das perdas no conversor.

A Tabela 7.2 apresenta o resultado da QVP obtida para cada valor de N em relação ao valor N = 3. Os resultados observados mostram que a QVP é máxima quando o número de níveis N do conversor sobe de três para cinco e seu valor diminui continuamente para os demais degraus avaliados. Este resultado mostra que o aumento indefinido de N não é desejável do

ponto de vista da relação custo/benefício obtida. Outra observação importante em relação à Tabela 7.2 é que a QVP é especialmente mais alta nos degraus $3 \rightarrow 5$ e $3 \rightarrow 7$, caindo consideravelmente a partir do degrau $3 \rightarrow 9$. Isso permite concluir que, do ponto de vista exclusivamente da THD e da relação entre THD e perdas totais no conversor, expressa pela figura de mérito QVP, sete é o número ideal de níveis do conversor, uma vez que concilia um perfil satisfatório da THD com uma relação também satisfatória entre esta e as perdas totais no conversor.

Tabela 7.1: Variação Percentual de Perdas e THD a Cada Degrau de N

N	3	5	7	9	11	13	15	17	19	21	23
P (w)	722,9	1146	1475	2035	2520	3154	3160	3490	4183	4431	4635
ΔP (%)	-	58,53	104,04	181,51	248,60	336,30	337,13	382,78	478,64	512,95	541,17
THD (%)	15,84	8,288	4,881	3,669	2,244	1,719	1,217	1,145	0,8419	0,7125	0,6213
ΔTHD (%)	-	47,68	69,19	76,84	85,83	89,15	92,32	92,77	94,68	95,50	96,08

Tabela 7.2: Valor de QVP a Cada Degrau de Aumento de N

ΔN	$3 \rightarrow 5$	$3 \rightarrow 7$	$3 \rightarrow 9$	$3 \rightarrow 11$	$3 \rightarrow 13$	$3 \rightarrow 15$	$3 \rightarrow 17$	$3 \rightarrow 19$	$3 \rightarrow 21$	$3 \rightarrow 23$
$QVP = \frac{\Delta THD (\%)}{\Delta P (\%)} =$	0,78	0,61	0,39	0,32	0,25	0,25	0,22	0,21	0,17	0,16

7.4 Taxa de Amostragem e Custo Computacional

A . Taxa de Amostragem

O método SSVM consiste em, a cada amostragem do vetor de referência V^* , encontrar o vetor espacial mais próximo a esta amostra de V^* e aplicá-lo na saída do conversor. A taxa de amostragem de V^* deve, preferencialmente, ser alta o bastante para garantir que todos os vetores espaciais que venham a ser os mais próximos das amostras de V^* ao longo do tempo sejam efetivamente usados pelo modulador, o que garante a produção de uma tensão de saída a mais próxima possível da tensão de referência usada. Isso fica mais claro ao se levar em consideração o conceito de área de influência dos vetores espaciais disponíveis, conforme explicado a seguir.

Considere-se o primeiro sextante do espaço vetorial de um conversor de cinco níveis, mostrado na Figura 7.15, no qual se destaca o vetor espacial V_8 . A área de influência de V_8 é

a região (sombreada na figura) do espaço vetorial do conversor dentro da qual qualquer amostra do vetor de referência \mathbf{V}^* terá \mathbf{V}_8 como sendo seu vetor mais próximo. Considere-se a utilização de uma taxa de amostragem de \mathbf{V}^* tal que gere amostras a intervalos angulares de φ graus, conforme mostrado nesta figura, de tal forma que na vizinhança de \mathbf{V}_8 sejam geradas as amostras \mathbf{V}_{k}^* e \mathbf{V}_{k+1}^* . Como estas duas amostras estão fora da área de influência de \mathbf{V}_8 , este vetor espacial não será usado pelo modulador, embora num dado intervalo de tempo ele seja o vetor mais próximo da trajetória feita pelo vetor de referência \mathbf{V}^* . A consequência disso será a presença de um maior conteúdo harmônico na tensão de saída do que aquele que seria possível ter se todos os vetores espaciais mais próximos fossem usados. Para evitar que este problema ocorra o intervalo angular de amostragem φ deve ser reduzido a um valor tal que garanta que pelo menos uma amostra de \mathbf{V}^* seja realizada dentro da área de influência de todos os vetores espaciais disponíveis. Uma forma simples de fazer isso é garantir que a distância angular φ entre amostras sucessivas seja menor do que a menor distância angular entre vetores espaciais vizinhos.

A distância angular existente entre os vetores dos hexágonos maiores são menores do que as distâncias angulares entre vetores dos hexágonos menores. Na Figura 7.16, observa-se que a distância angular φ_1 , entre dois vetores do hexágono H_4 é menor do que a distância angular φ_2 , entre dois vetores do hexágono H_2 . No entanto, conforme explicado no Capítulo 4, há certas regiões de operação do modulador, do ponto de vista do valor de M , onde vetores espaciais pertencentes a dois ou mais hexágonos são usados para representar um determinado vetor de referência no tempo. Desta forma, as distâncias angulares entre vetores espaciais pertencentes a hexágonos diferentes, porém vizinhos, também devem ser verificadas. Na Figura 7.16 a menor distância angular mostrada é a φ_3 , entre um vetor espacial do hexágono H_3 e outro do hexágono H_4 .

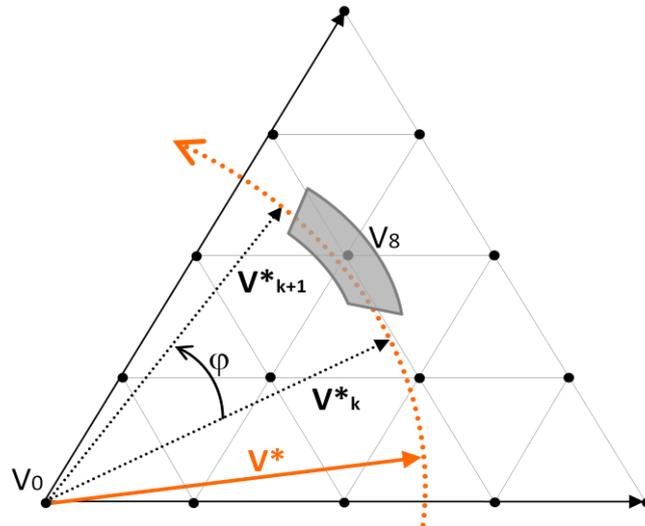


Figura 7.15: Região de influência do vetor espacial V_g e distância angular entre duas amostras de V^* .

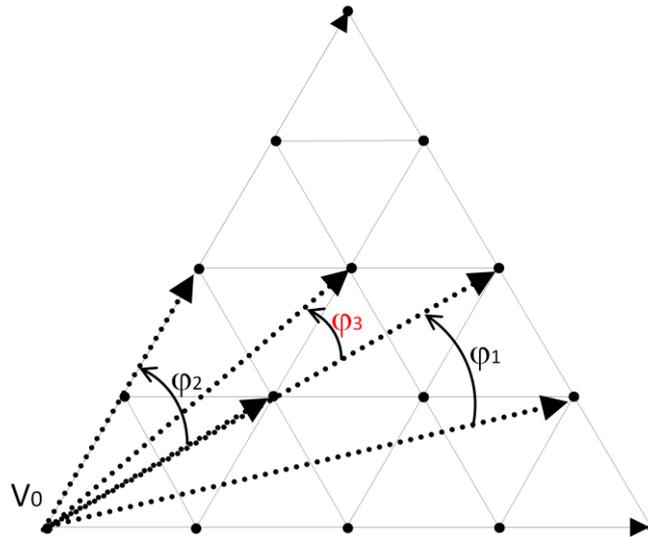


Figura 7.16: Distância angular entre vetores vizinhos de um mesmo hexágono ou de hexágonos vizinhos.

Deve-se considerar também que o intervalo de tempo para que o vetor de referência se desloque de uma distância angular φ é diretamente proporcional à frequência da tensão fundamental na saída do conversor. A frequência de amostragem (f_a) do modulador pode então ser definida como sendo

$$f_a = f_s / (\varphi_{\min} / 2\pi) \quad (7.10)$$

onde φ_{\min} é a menor distância angular, em radianos, entre vetores de um mesmo hexágono ou de hexágonos vizinhos, dentro de uma determinada faixa de M onde o conversor irá operar;

f_s é a maior frequência fundamental na saída do conversor;

A distância angular mínima φ_{\min} depende do número de níveis do conversor, como se pode constatar observando-se a Figura 7.1 até Figura 7.3. Quanto maior o valor de N , menor a distância entre os vetores disponíveis e, portanto, menor a distância angular mínima entre eles. A Figura 7.17 mostra o gráfico da frequência mínima de amostragem (f_a) necessária para garantir que todos os vetores do conversor sejam usados, em função de M e de N . Considerando-se condição de operação do conversor em toda a faixa de M (0 a 1,2), na qual o ponto de máximo de cada curva do gráfico da Figura 7.17 tem que ser respeitado, este gráfico pode ser sintetizado plotando-se os pontos de máximo (M crítico) referentes a cada valor de N , conforme mostrado na Figura 7.18. O gráfico nesta figura mostra o valor da frequência mínima de amostragem, normalizada pela frequência fundamental f_s , em função do número de níveis do conversor. Considerando-se a frequência fundamental de saída com sendo igual a 60Hz, a frequência mínima de amostragem necessária seria de

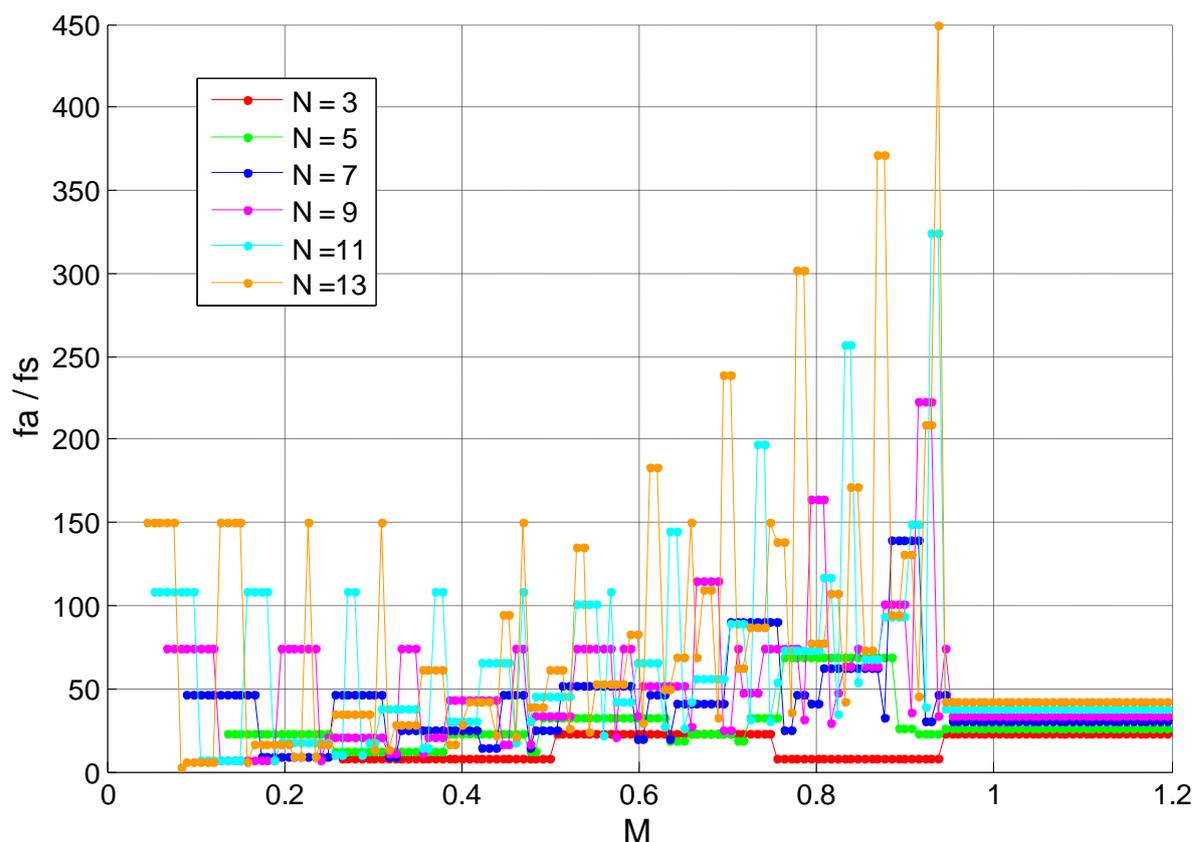


Figura 7.17: Frequência mínima de amostragem necessária no método SSVM, normalizada por f_s , em função de M , para diferentes valores de N .

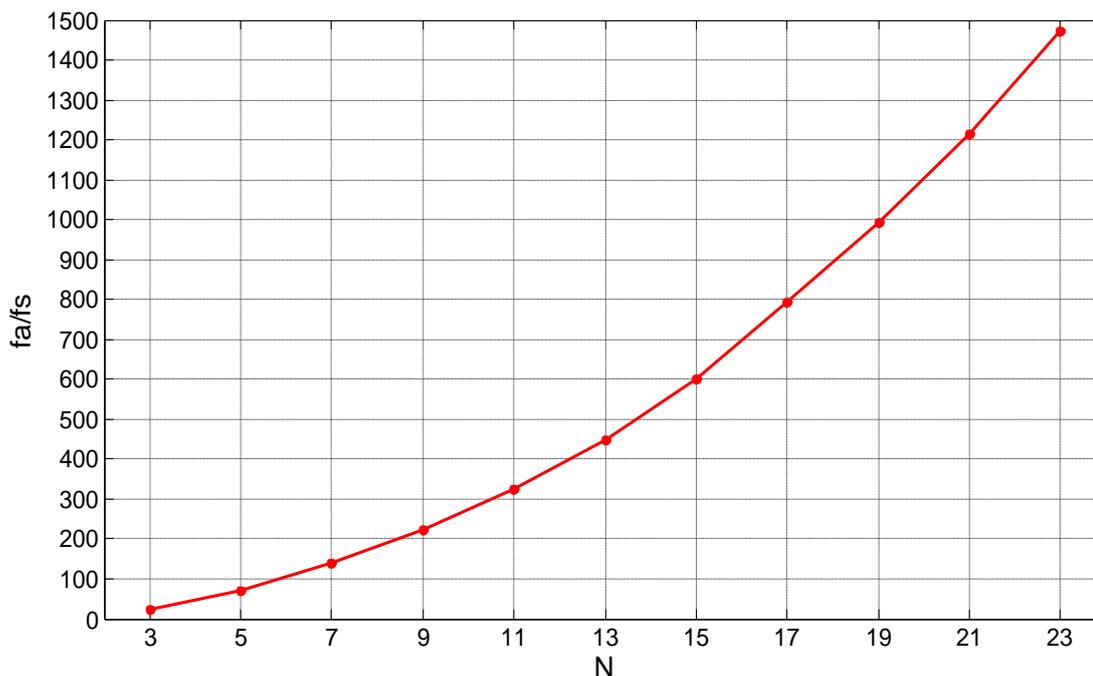


Figura 7.18: Frequência mínima de amostragem necessária no método SSVM, normalizada pela frequência fundamental, para o M crítico, em função do número de níveis N do conversor.

$$22,5 \times 60\text{Hz} = 1,35\text{kHz} \text{ para um conversor de três níveis}$$

$$69,1 \times 60\text{Hz} = 4,15\text{kHz} \text{ para um conversor de cinco níveis}$$

$$139,1 \times 60\text{Hz} = 8,35\text{kHz} \text{ para um conversor de sete níveis}$$

$$222,6 \times 60\text{Hz} = 13,35\text{kHz} \text{ para um conversor de nove níveis}$$

$$324,3 \times 60\text{Hz} = 19,46\text{kHz} \text{ para um conversor de onze níveis}$$

A capacidade de um DSP realizar a amostragem e demais cálculos nestas frequências depende da capacidade do DSP e, sobretudo, do custo computacional do método SSVM. A próxima seção aborda este assunto.

B . Custo Computacional

Conforme mostrado no fluxograma da Figura 4.8, a cada amostragem de \mathbf{V}^* ou das tensões de referência trifásicas V_{AN}^* , V_{BN}^* e V_{CN}^* , o algoritmo do método SSVM realiza os seguintes passos:

- 1) Aplica a transformada de Clark às tensões de referência V_{AN}^* , V_{BN}^* e V_{CN}^* e encontra as coordenadas retangulares correspondentes V_d^* e V_q^* ;
- 2) Calcula as coordenadas polares referentes a V_d^* e V_q^* (Mod_V^* e Ang_V^*);

3) Verifica se Mod_V^* é igual ao utilizado na amostragem anterior:

Se $\text{Mod_V}^*_k = \text{Mod_V}^*_{k-1}$, utiliza a correção $\Delta\text{Mod_V}^*$ anterior e faz

$$\text{Mod_V}^{*'} = \text{Mod_V}^* + \Delta\text{Mod_V}^*;$$

Se $\text{Mod_V}^*_k \neq \text{Mod_V}^*_{k-1}$, usa função Ψ_1 , calcula $\Delta\text{Mod_V}^*$ e faz

$$\text{Mod_V}^{*'} = \text{Mod_V}^* + \Delta\text{Mod_V}^*;$$

4) Verifica valor de M:

Se $M > 1$, usa função Ψ_2 , calcula $\Delta\text{Ang_V}^*$ e faz $\text{Ang_V}^{*'} = \text{Ang_V}^* + \Delta\text{Ang_V}^*$

Se $M \leq 1$, faz $\text{Ang_V}^{*'} = \text{Ang_V}^*$

5) De posse de $\text{Mod_V}^{*'}$ e $\text{Ang_V}^{*'}$, encontra o vetor espacial geometricamente mais próximo de $\text{V}^{*'}$.

Os passos (1) a (4) listados acima têm custo computacional fixo. O passo (5) tem custo computacional variável em função do número de níveis do conversor, uma vez que número de vetores espaciais a serem testados na busca do vetor mais próximo aumenta com o aumento de N. O pior caso em termos do valor de M ocorre dentro da faixa $0,85 \leq M \leq 0,95$ (o valor exato depende de N, como se verifica no gráfico da Figura 7.17). No pior caso o número de vetores espaciais a serem testados para se determinar o vetor ideal é igual a $[N + (N-1)]/2$.

O algoritmo do método SSVM tem, então, um custo computacional dado pela expressão

$$T(N) = k_1 \cdot [N + (N-1)]/2 + k_2 = k_1 \cdot (N - 0,5) + k_2 \quad (7.11)$$

onde k_2 corresponde ao tempo de execução dos passos (1) a (4);

$k_1 \cdot (N - 0,5)$ corresponde ao tempo de execução do passo (5).

O método SSVM tem, portanto, complexidade $O(n)$.

Conforme apresentado na Seção 6.2, a implementação em DSP do método SSVM (na versão para $N = 5$) apresentou um custo computacional, no ponto crítico em termos de M ($M = 0,88$), igual a $18,3\mu\text{s}$. Este é o tempo necessário para realizar um ciclo completo do algoritmo e corresponde à soma $16,0\mu\text{s} + 2,3\mu\text{s}$, sendo a primeira parcela correspondente à execução dos passos (1) a (4), de valor fixo, e a última correspondente à execução do passo (5), variável em função de N.

A frequência de amostragem máxima na qual o DSP é capaz de trabalhar pode ser calculada através do tempo mínimo que cada ciclo irá consumir utilizando-se a equação (7.12):

$$f_{a_{\text{máx}}} = 1/(C_1 + C_2) \quad (7.12)$$

onde C_1 é o custo computacional correspondente aos passos (1) a (4) para $N = 5$;
 C_2 é o custo computacional correspondente ao passo (5), para $N = 5$.

Isso significa que utilizando-se o DSP 28335 para controlar um conversor com $N = 5$, teremos:

$$fa_{m\acute{a}x} = 1/(16,0\mu s + 2,3\mu s) = 54,6\text{kHz}$$

A frequência fundamental máxima ($fs_{m\acute{a}x}$) que pode ser produzida na saída do inversor, no pior caso, pode ser calculada através da equação :

$$fs_{m\acute{a}x} = fa_{m\acute{a}x} / k \quad (7.13)$$

onde k é o valor da relação fa_{min}/fs extraído do gráfico da Figura 7.18 em função de N e vale 69,11 para $N = 5$.

Considerando-se o DSP 28335 trabalhando a 150MHz, controlando um conversor com $N = 5$, temos:

$$fs_{m\acute{a}x} = 54,6\text{kHz} / 69,11 = 790,7\text{Hz}$$

O cálculo de $fs_{m\acute{a}x}$ para um conversor com um número de níveis N' qualquer, usando-se o método SSVM implementado o DSP 28335, pode ser estimado a partir dos dados obtidos para o conversor com $N = 5$, através do seguinte procedimento:

1) Cálculo do custo computacional do algoritmo para um conversor de N' níveis, utilizando-se a equação (7.11):

$$C_1' = C_1 \quad ; \quad C_2' = C_2 \cdot (N - 0,5) / (5 - 0,5)$$

2) Cálculo da frequência de amostragem máxima realizável em um conversor de N' níveis, usando-se a equação (7.12):

$$fa'_{m\acute{a}x} = 1/(C_1' + C_2')$$

3) Cálculo da frequência fundamental máxima na saída de um conversor de N' níveis poderá ser obtida usando-se a equação (7.13):

$$fs'_{m\acute{a}x} = fa'_{m\acute{a}x} / K$$

onde K é a relação fa_{min}/fs mostrada no gráfico da Figura 7.18 em função de N' .

Estimativas do valor de $fs_{m\acute{a}x}$ para sete diferentes valores de N , considerando a implementação do método proposto no DSP utilizado e desprezando-se o custo computacional dos processos usualmente implementados em FPGA, são mostradas na Tabela 7.3.

Tabela 7.3: f_s máximo realizável no DSP 28335 utilizando-se o método SSVM

N	5	7	9	11	13	15	17
$f_{s_{\text{máx}}}$	790,7Hz	372,1Hz	220,9Hz	144,3Hz	99,4Hz	71,25Hz	51,6Hz

Embora o custo computacional de cada ciclo de cálculo do método SSVM seja proporcional a N , a relação mínima necessária f_a/f_s (gráfico da Figura 7.18) cresce com o quadrado de N . A soma destas duas tendências faz com que a frequência fundamental máxima realizável em DSP caia de maneira inversamente proporcional ao cubo de N , o que representa um obstáculo para a implementação do método proposto em conversores com N elevado. Do ponto de vista do acionamento de máquinas elétricas, onde a frequência máxima é usualmente pouco acima de 60Hz, a implementação do método proposto no DSP utilizado neste trabalho é satisfatória em conversores de até 15 níveis.

7.5 Conclusões

Do ponto de vista da linearidade entre a variável de entrada (M) e de saída (V_{AN1}) o método SSVM pode ser aplicado em conversores com qualquer número de níveis ímpar com $N \geq 3$.

Do ponto de vista da THD da tensão de saída, a utilização do método proposto em conversores de três níveis apresenta resultados insatisfatórios, em torno de 30%. A partir de $N = 5$, no entanto, obtém-se resultados de conteúdo harmônico compatíveis com o método de modulação usado como referência (SV-PWM).

As perdas totais (condução e comutação) nos semicondutores do conversor crescem de forma aproximadamente linear em função de N . Por outro lado, a THD da tensão de saída é gradualmente reduzida com o aumento de N . Uma análise realizada para conversores com $3 \leq N \leq 23$ e apresentada na Tabela 7.2 mostra que a relação entre a redução percentual da THD e o correspondente aumento percentual das perdas totais no conversor é mais favorável para degraus menores de aumento de N . Considerando-se a THD e a QVP, conclui-se que 7 é o número ótimo de níveis do conversor.

A complexidade do custo computacional do método proposto é $O(n)$, porém, a máxima frequência fundamental (f_s) realizável é inversamente proporcional a N^3 , o que é um obstáculo à aplicação do método proposto em conversores com N elevado. Considerando-se o DSP disponível na fase experimental, o método SSVM pode ser satisfatoriamente utilizado, em aplicações envolvendo acionamentos elétricos, em conversores com até 15 níveis.

8 Conversores Paralelos Entrelaçados

8.1 Introdução

No Capítulo 3 foram abordadas algumas topologias de conversores multiníveis em série, tais como Neutral Point Clamped (NPC), Flying Capacitor (FC), Cascade and Stacked-Multicell-Converter (SMC) [1], [73] - [82]. Nos capítulos seguintes um método de modulação para estes conversores foi apresentado.

O dual dos conversores multiníveis em série, ou seja, a conexão de conversores convencionais de dois níveis em paralelo também pode ser usada como solução para a produção de tensões multiníveis na carga. Nos últimos anos, os inversores em paralelo vêm recebendo atenção crescente [83] - [89]. A conexão em paralelo de dois ou mais inversores é feita utilizando-se indutores, conforme mostrado na Figura 8.1. As vantagens deste tipo de estrutura são a possibilidade de fornecer correntes elevadas à carga utilizando-se dispositivos semicondutores convencionais e a possibilidade de reduzir o *ripple* de corrente na carga. Uma outra importante vantagem destes inversores quando comparado aos inversores convencionais é que, para um mesmo *ripple* de corrente na carga, uma associação de N_I inversores em paralelo possibilita a redução da energia total armazenada no total de indutores (acopladores e filtros) numa relação de N_I^2 , onde N_I é o número de inversores em paralelo. Isso significa reduzir o volume e o peso do sistema final e aumentar a resposta dinâmica do mesmo [90] - [92].

Existem vários métodos de modulação aplicáveis em inversores multiníveis, e os mais importantes são *Space-Vector* PWM (SV-PWM), Modulação com Portadora Senoidal (S-PWM), Eliminação Seletiva de Harmônicos (SHE), Modulação Híbrida (HM) e *Step Modulation* (SM) [11], [45], [50], [63], [93]. As leis da dualidade mostram que estes métodos podem também ser aplicados aos inversores multiníveis em paralelo [94], [95].

O método de modulação S-PWM tem sido largamente utilizado em inversores multiníveis em paralelo [96], [97]. Diferentes técnicas de modulação com respeito à disposição das N_I portadoras triangulares a serem usadas podem ser usadas com o método S-PWM. As técnicas mais comuns são *Phase Shift* (PS), *Phase Disposition* (PD), *Phase Oposit Disposition* (POD)

e *Alternate Phase Oposit Disposition* (APOD), todas elas descritas em detalhes em [98]. A técnica PD é a mais eficiente do ponto de vista da minimização do conteúdo harmônico na tensão na carga [98], ao passo que a POD é o que produz o menor *ripple* máximo de fluxo magnético nos indutores de acoplamento [95].

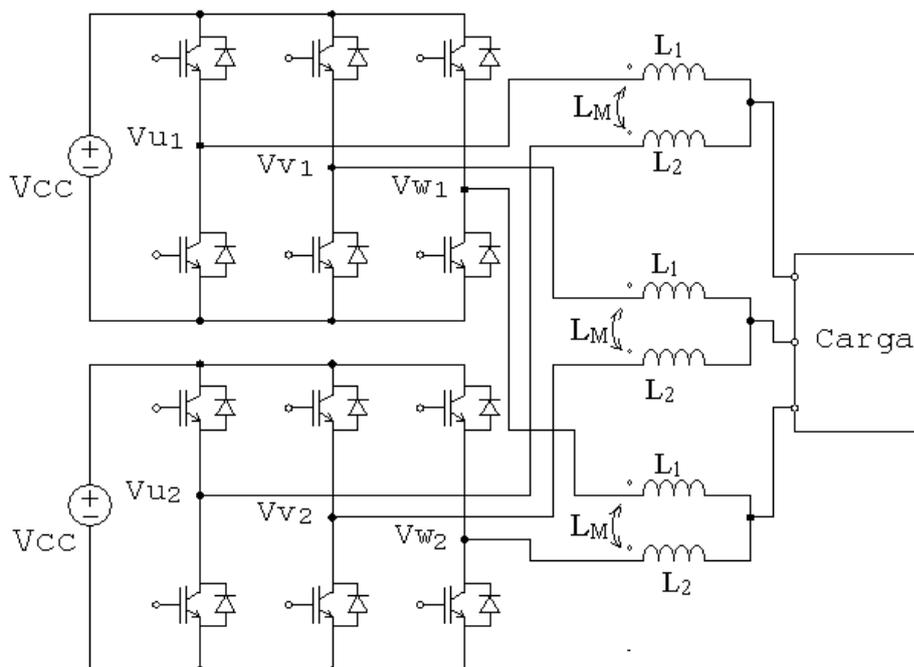


Figura 8.1: dois inversores trifásicos acoplados em paralelo e alimentando a mesma carga trifásica

Os indutores usados para a conexão em paralelo dos inversores podem ser magneticamente acoplados ($L_M \neq 0$) ou não ($L_M = 0$), onde L_M é a indutância mútua entre o par de indutores correspondente a cada fase da carga. Indutores magneticamente acoplados, também chamados de InterCell Transformer (ICT) [90], permitem a vantagem adicional da redução do *ripple* de corrente em alta frequência em cada célula inversora, o que reduz as perdas em alta frequência no cobre do ICT e nas chaves estáticas do inversor [99].

O valor máximo do fluxo magnético nos indutores acoplados é o parâmetro usado para se determinar a seção transversal mínima necessária do núcleo de forma a não haver saturação do material magnético. Desta forma, a redução do *ripple* de fluxo magnético, obtido através do acoplamento entre os indutores, permite também reduzir o tamanho e o peso destes componentes. O dimensionamento de ICTs para aplicação em inversores paralelos é apresentado em [99] – [101].

O diagrama simplificado para uma fase do sistema a dois inversores paralelos magneticamente acoplados é mostrado na Figura 8.2. No caso de utilização de cargas

fortemente indutivas, e considerando-se que a relutância de dispersão (*RelDisp*) do ICT é muito maior que a relutância do núcleo (*RelCore*) do mesmo, o fluxo magnético no núcleo do ICT depende apenas das correntes que circulam através dos dois enrolamentos que compõem este dispositivo [7], e pode ser expresso através da equação (8.1):

$$\phi = \frac{N I_1 - N I_2}{RelCore} \quad (8.1)$$

onde *N* é o número de espiras em cada enrolamento,

RelCore é a relutância do núcleo do ICT,

*I*₁ e *I*₂ são, respectivamente, as correntes através dos enrolamentos 1 e 2 do ICT.

A equação (8.1) demonstra que o fluxo magnético no núcleo do ICT pode ser conhecido a partir da medição das correntes *I*₁ e *I*₂ nos enrolamentos 1 e 2 do ICT, além de ser diretamente proporcional à corrente diferencial *I*_{DIF} = *I*₁ - *I*₂. O fluxo magnético pode ser escrito também em função da integral das tensões *V*_{*x*1} e *V*_{*x*2} nas saídas da fase *x* dos inversores 1 e 2, respectivamente, onde *x* ∈ {*u*, *v*, *w*} (ver Figura 8.1), conforme a equação (8.2).

$$\phi = \frac{N}{RelCore} \frac{\int (V_{x1} - V_{x2})}{(L + L_m)} \quad (8.2)$$

onde *L* é a indutância de cada enrolamento do ICT;

*L*_{*m*} é a indutância mútua do ICT;

N é o número de espiras de cada enrolamento do ICT;

RelCore é a relutância do núcleo do ICT.

O estado da saída de cada célula inversora ao longo do tempo pode ser escolhido para manter a corrente diferencial, e portanto o fluxo magnético no ICT, dentro de uma faixa pré-estabelecida, evitando a saturação do material magnético. A utilização desta técnica no acionamento de inversores paralelos é analisada em [95].

Diferentemente do sistema mostrado na Figura 8.1, inversores paralelos, magneticamente acoplados ou não, podem também ser usados para alimentar cargas separadas. O acionamento de cargas separadas encontra diversos campos de aplicação tais como FACTS, acionamento de máquinas elétricas especiais com dois enrolamentos trifásicos independentes e acionamento de múltiplas cargas idênticas. O diagrama simplificado para uma fase neste caso

é apresentado na Figura 8.3 e o fluxo magnético no ICT em função da integral das tensões na saída de cada inversor passa a ser dado pela equação (8.3):

$$\phi = \frac{N}{RelCore} \frac{\int (V_{x1} - V_{n1}) - (V_{x2} - V_{n2})}{(L_{load} + L) - (M_{load} + L_m)} \quad (8.3)$$

onde V_{n1} e V_{n2} são os potênciais dos neutros 1 e 2;

L_{load} é a indutância da carga

M_{load} é a indutância mútua entre as cargas

L é a indutância de cada enrolamento do ICT;

L_m é a indutância mútua do ICT.

O terceiro campo de aplicação listado acima é encontrado nos sistemas de climatização de aeronaves, nos quais é comum a existência de diversas cargas pequenas e idênticas que podem ser acionadas por um mesmo conversor. Essa solução possibilita a redução do número de conversores estáticos embarcados e, portanto, do peso total do sistema. Neste tipo de aplicação, encontram-se dois padrões diferentes de tensão de barramento CC: 270V e 540V. Isso exige a utilização de sistemas de inversores paralelos diferentes, conforme a tensão CC disponível.

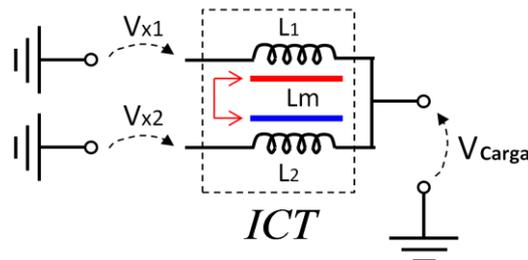


Figura 8.2: Diagrama simplificado para uma fase de um sistema composto por 2 inversores paralelos magneticamente acoplados acionando uma única carga.

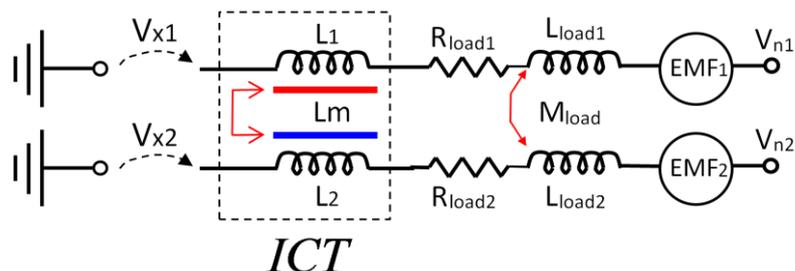


Figura 8.3: Diagrama simplificado para uma fase de um sistema composto por 2 inversores paralelos magneticamente acoplados acionando cargas separadas.

A solução proposta neste trabalho para este problema é utilizar um sistema composto por inversores paralelos, com $N_I = 2$, utilizando acopladores ICT e alimentando duas cargas

separadas. Este sistema pode ser conectado tanto a um barramento CC de 270V quanto a um de 540V, sem a necessidades de modificações ou adaptações no mesmo.

8.2 Conexão de Entrada Em Paralelo ou Em Série

O termo inversores paralelos se refere à maneira como a saída dos mesmos é conectada. No entanto, tais inversores possuem também suas entradas conectadas em paralelo, havendo o compartilhamento integral da tensão do barramento CC por parte de ambos, conforme mostrado na Figura 8.4(a). O presente trabalho propõe conectar as entradas de dois inversores paralelos, não apenas da forma usual citada acima, mas também em série, como forma de reduzir à metade a tensão aplicada à entrada de cada inversor. Isso possibilita que inversores dimensionados para uma dada tensão de entrada V_{cc} possam ser utilizados em um barramento CC com uma tensão igual a $2 \cdot V_{cc}$, como mostrado na Figura 8.4(b). Neste caso, a tensão total do barramento CC ($2 \cdot V_{cc}$) pode ser dividida pela associação, em série, dos capacitores presentes nas entradas dos dois inversores.

Seguindo este raciocínio, se o sistema é conectado a um barramento CC com tensão igual a V_{cc} , os dois inversores terão suas entradas conectados em paralelo, como mostrado na Figura 8.4(a). Cada inversor será alimentado pela tensão total do barramento CC, isto é, V_{cc} , que fornecerá uma corrente igual a $2 \cdot I_{cc}$ ao sistema. Por outro lado, se o sistema e conectado a um barramento CC com tensão igual a $2 \cdot V_{cc}$, os dois inversores terão suas entradas conectadas em série, conforme Figura 8.4(b). Os capacitores C_1 e C_2 nas entradas de cada inversor serão usados, neste caso, como um divisor de tensão capacitivo, sendo cada um carregado com metade da tensão do barramento CC. Como a potência total fornecida a carga é a mesma, a corrente fornecida pelo barramento CC será igual a I_{cc} .

A abordagem apresentada acima é útil em aplicações aeronálicas, onde dois padrões diferentes de tensão CC estão estabelecidos, 270V e 540V, o que permite que o mesmo sistema possa ser empregado em aeronaves com quaisquer dos dois padrões. Neste caso cada célula inversora deve ser dimensionada para a tensão mais baixa disponível, isto é, 270V.

Neste trabalho, o comportamento do sistema nas duas configurações possíveis acima é estudado. A influência das técnicas de modulação PD e POD são avaliadas do ponto de vista do *ripple* de corrente nos ICTs e do equilíbrio da tensão nos capacitores C_1 e C_2 nas entradas dos inversores. A influência de diferenças entre os parâmetros das duas cargas separadas

sobre o *ripple* de fluxo magnético no ICT e sobre o *ripple* de tensão nos capacitores C_1 e C_2 é analisada.

Em sistemas com inversores paralelos acionando cargas separadas, pode-se conectar ou não os neutros N_1 e N_2 das duas cargas. A não conexão dos neutros fornece um grau de liberdade adicional ao sistema. No presente trabalho, considerou-se estas duas possibilidades na análise, o que combinado com o tipo de modulador escolhido, produziu quatro cenários diferentes: (i) neutros desconectados, modulador POD; (ii) neutros desconectados, modulador PD; (iii) neutros conectados, modulador POD e (iv) neutros conectados, modulador PD. Estes quatro cenários foram avaliados comparando-se os dois tipos de conexão de entrada: paralelo ou série.

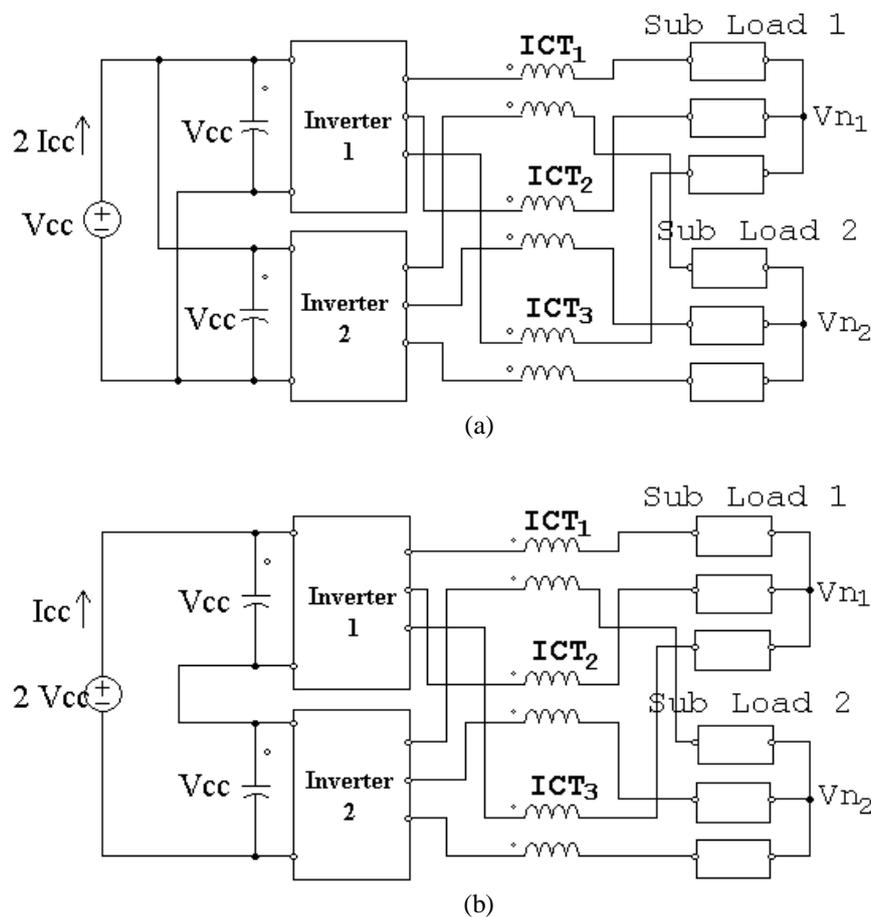


Figura 8.4: Inversores paralelos magneticamente acoplados com: (a) entradas conectadas em paralelo; (b) entradas conectadas em série.

8.3 Acionamento de Cargas Separadas

A influência do tipo de conexão das entradas dos inversores (paralelo ou série) sobre o funcionamento do sistema foi estudada utilizando-se um modelo contruído com o *software* PSIM, da PowerSys. Utilizou-se duas figuras de mérito, o *ripple* de corrente diferencial nos ICTs e as tensões nos terminais dos capacitores C_1 e C_2 . Na primeira etapa, os 4 cenários (i), (ii), (iii) e (iv) descritos na seção anterior foram avaliados considerando-se o acionamento de duas cargas separadas e idênticas. Na segunda etapa, apresentada na próxima seção, realizou-se um estudo considerando-se cargas separadas não idênticas.

Os parâmetros usados em simulação, idênticos aos parâmetros do protótipo posteriormente usado para validar os dados de simulação, são os seguintes:

(i) Parâmetros dos Inversores:

- Tensão do barramento CC (V_{cc}): 100V (config. série) ou 50V (config. paralelo)
- Frequência de chaveamento dos inversores (f_{PWM}): 16kHz
- Frequência da fundamental na carga (f_s): 500Hz
- Tensão de modo comum (CMV) injetada através do modulador S-PWM: PWMBC (sem conexão de neutro) [103] e PWMBCNC (com conexão de neutro) [104].

(ii) Parâmetros das cargas trifásicas:

$$- P = 4\text{kW} ; R_{\text{fase-neutro}} = 45\Omega ; L_{\text{fase-neutro}} = 400\mu\text{H}$$

(iii) Parâmetros dos ICTs:

$$- L = 3,182\text{ mH} ; M = -3,180\text{ mH}$$

O valor da indutância mútua do ICT acima é negativo de forma a deixar claro que cada enrolamento dos ICTs tem polaridade invertida em relação ao outro enrolamento, isto é, correntes na mesma direção nos dois enrolamentos induzem fluxos magnéticos em direções opostas no núcleo do ICT, como mostrado na Figura 8.5.

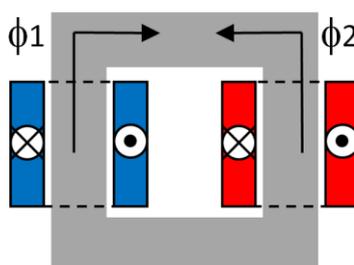


Figura 8.5: Fluxos magnéticos opostos no núcleo do

ICT produzidos pela corrente em cada enrolamento.

Afim de avaliar o modelo em diferentes pontos de operação com relação ao índice de modulação (M), este parâmetro foi variado no tempo, entre 0 e 1,2 com passo de incremento de 0,1 a cada 4ms, conforme mostrado na Figura 8.6. Como $f_s = 500\text{Hz}$, cada valor de M ocorre durante um intervalo igual a dois períodos da tensão fundamental de saída.

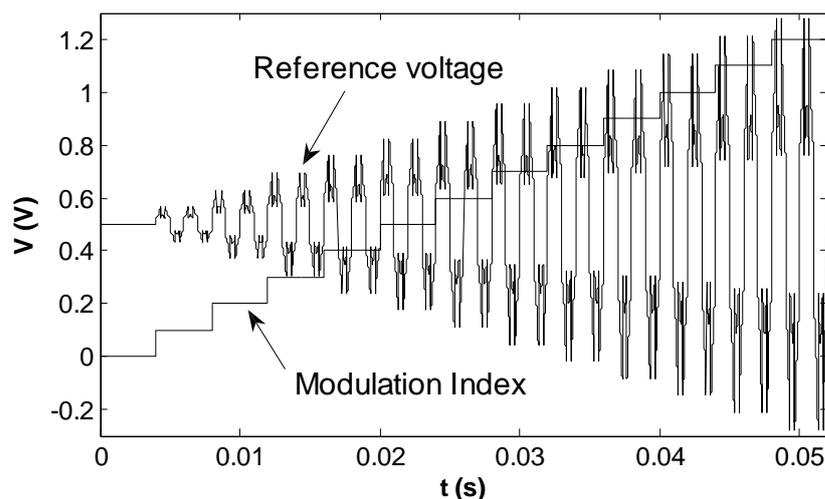


Figura 8.6: Índice de modulação (M) e tensão de referência correspondente considerando-se tensão de modo comum PWMBCNP.

A. *Ripple* de Corrente Diferencial:

A alteração entre as conexões em série e em paralelo das entradas dos inversores não produz qualquer alteração nas correntes em cada enrolamento dos ICTs, na corrente diferencial nos ICTs, assim como na corrente na carga, considerando-se os dois primeiros cenários avaliados: modulador POD e PD, sem conexão entre os neutros das cargas. Os gráficos mostrando a evolução da corrente diferencial (I_{DIF}) e da corrente no enrolamento 1 (I_1) no tempo, nestes dois cenários, válidos tanto para entradas conectadas em paralelo quanto em série, são apresentados na Figura 8.7. Resultados para um ponto de operação fixo ($M = 0,9$) são mostrados na Figura 8.8. Resultados equivalentes foram encontrados para o cenário (ii), também válidos para as duas configurações de entrada avaliadas. Estes resultados de simulação mostram que nos cenários (i) e (ii) (sem conexão dos neutros das cargas), o tipo de conexão das entradas dos inversores, em paralelo ou em série, não produz qualquer alteração na corrente diferencial através dos ICTs, bem como nas correntes em cada enrolamento do ICT e na corrente de carga. Nestes dois casos, embora os potenciais instantâneos dos dois neutros sejam diferentes, a diferença de potencial média entre eles é nula quando as entradas dos inversores são conectadas em paralelo, observando-se apenas uma flutuação de potencial

na frequência de chaveamento. No caso da conexão das entradas em série, estes neutros apresentam diferença de potencial médio diferente de zero, além da flutuação em alta frequência já mencionada. A diferença de potencial média entre N_1 e N_2 é neste caso igual à metade da tensão total do barramento CC, e advêm do fato de a entrada de cada inversor estar conectado a um capacitor com potencial elétrico diferente, conforme mostrado na Figura 8.4(b).

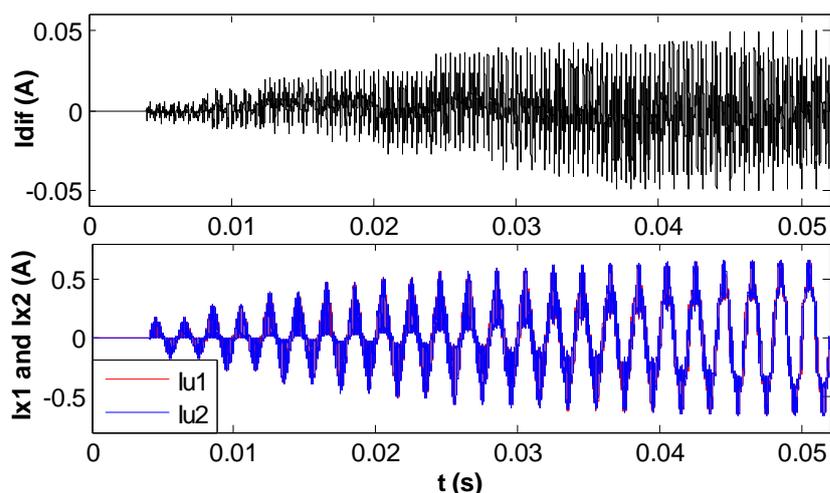


Figura 8.7: Forma de onda de I_{DIF} , de I_1 e I_2 , para M variando no tempo entre 0,1 e 1,2, com neutros desconectados, técnica POD e entradas conectadas em série ou em paralelo.

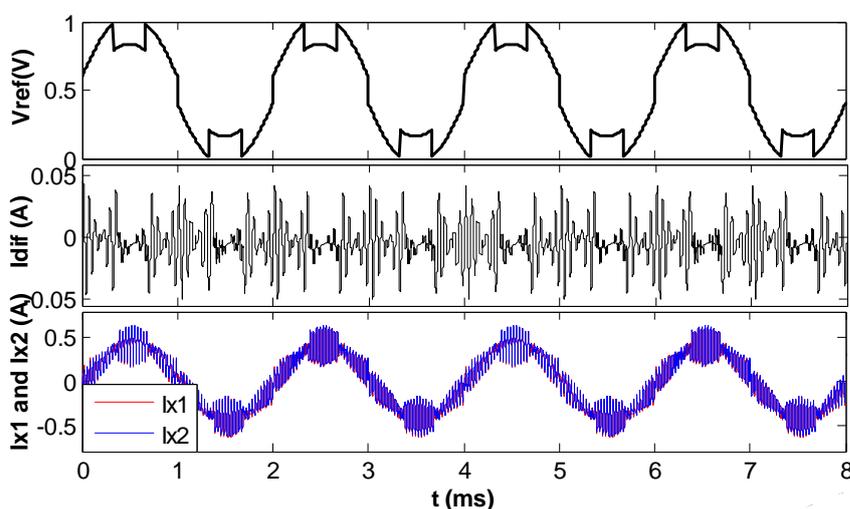


Figura 8.8: Tensão de referência (V_{ref}) para tensão de modo comum PWMBC, e correntes I_{DIF} , I_{x1} e I_{x2} correspondentes, com $M = 0,9$, $f_s = 500\text{Hz}$, neutros não conectados, técnica POD e entradas conectadas em série ou em paralelo.

Na análise dos cenários (iii) e (iv) (com conexão entre os neutros das duas cargas), uma consideração inicial deve ser feita: a conexão das entradas dos inversores em série associada a uma conexão entre os neutros produz um deslocamento do potencial médio do neutro da carga 1 igual a $-V_{cc}/4 = -135\text{V}$. De forma análoga, o potencial médio do neutro da carga dois sofre um deslocamento de $+V_{cc}/4 = +135\text{V}$. A consequência destes deslocamentos dos potenciais

dos neutros pode ser verificada através das tensões fase-neutro V_{AN1} (carga 1) e V_{AN2} (carga 2) em função de M mostradas na Figura 8.9(a), bem como os respectivos valores eficazes destas duas tensões, para um valor de M variando no tempo entre 0,1 e 1,1. A conexão entre os neutros com as entradas conectadas em série produz a adição de uma componente contínua às tensões fase-neutro das cargas. Esta componente contínua varia em função de M , indo de zero à metade da tensão do barramento CC quando M varia entre 0 a 1. Comportamento análogo é observado sobre as correntes de linha das cargas, bem como sobre a corrente diferencial (I_{DIF}) nos ICTs, que apresentam uma componente média crescente em função de M . A Figura 8.9(b) mostra as mesmas tensões fase-neutro nas cargas para o caso de neutros não conectados.

Os resultados apresentados na Figura 8.9 mostram que os neutros das duas cargas não podem ter o mesmo potencial elétrico quando as entradas dos inversores são conectadas em série. Portanto, a conexão direta entre os neutros não pode ser estabelecida neste tipo de conexão de entrada. Uma segunda e importante conclusão advinda desta primeira é que no caso de inversores com entradas conectadas em série, estes devem obrigatoriamente acionar cargas separadas. O acionamento de uma única carga implicaria em estabelecer potenciais elétricos médios diferentes de zero e diferentes entre si nas entradas de cada ICT, o que levaria este componente à saturação.

Uma solução para a conexão dos neutros das cargas separadas com entradas dos inversores conectadas em série é fazer esta conexão através de um capacitor eletrolítico. Este capacitor se carrega com uma tensão igual à metade da tensão total do barramento CC, mantendo o potencial médio de cada neutro igual àquele existente na configuração sem conexão de neutro. Outra solução que possibilita a conexão dos neutros das cargas é utilizar ICTs eletricamente isolados. Esta solução, contudo, deve ser adotada apenas nos casos em que as cargas devem ficar eletricamente isoladas, uma vez que estes ICTs apresentam elevado volume e peso devido ao fato de haver fluxo magnético de baixa frequência no núcleo dos mesmos.

No presente trabalho à conexão entre os neutros foi realizada utilizando-se um capacitor eletrolítico de 3300 μF .

Considerando-se a principal figura de mérito adotada, os resultados de simulação obtidos mostram que a conexão entre os neutros das cargas, cenários (iii) e (iv), altera a forma e a amplitude máxima do *ripple* de corrente diferencial no ICT, em relação aos cenários (i) e (ii). Com neutros desconectados, a diferença de potencial V_{N1N2} apresenta alguns componentes harmônicos significativos, os principais deles na frequência de chaveamento (f_{PWM}) e a 3 x

f_{PWM} . Quando a conexão entre neutros é estabelecida, estes componentes harmônicos de tensão se transformam em harmônicos de corrente fluindo entre os dois neutros, a f_{PWM} e a $3 \times f_{PWM}$. Estas correntes se somam à corrente diferencial nos ICTs, aumentando a amplitude pico a pico do seu *ripple*. A Figura 8.10 mostra a corrente I_{DIF} no domínio da frequência, com $M = 0,8$, sem e com conexão de neutro.

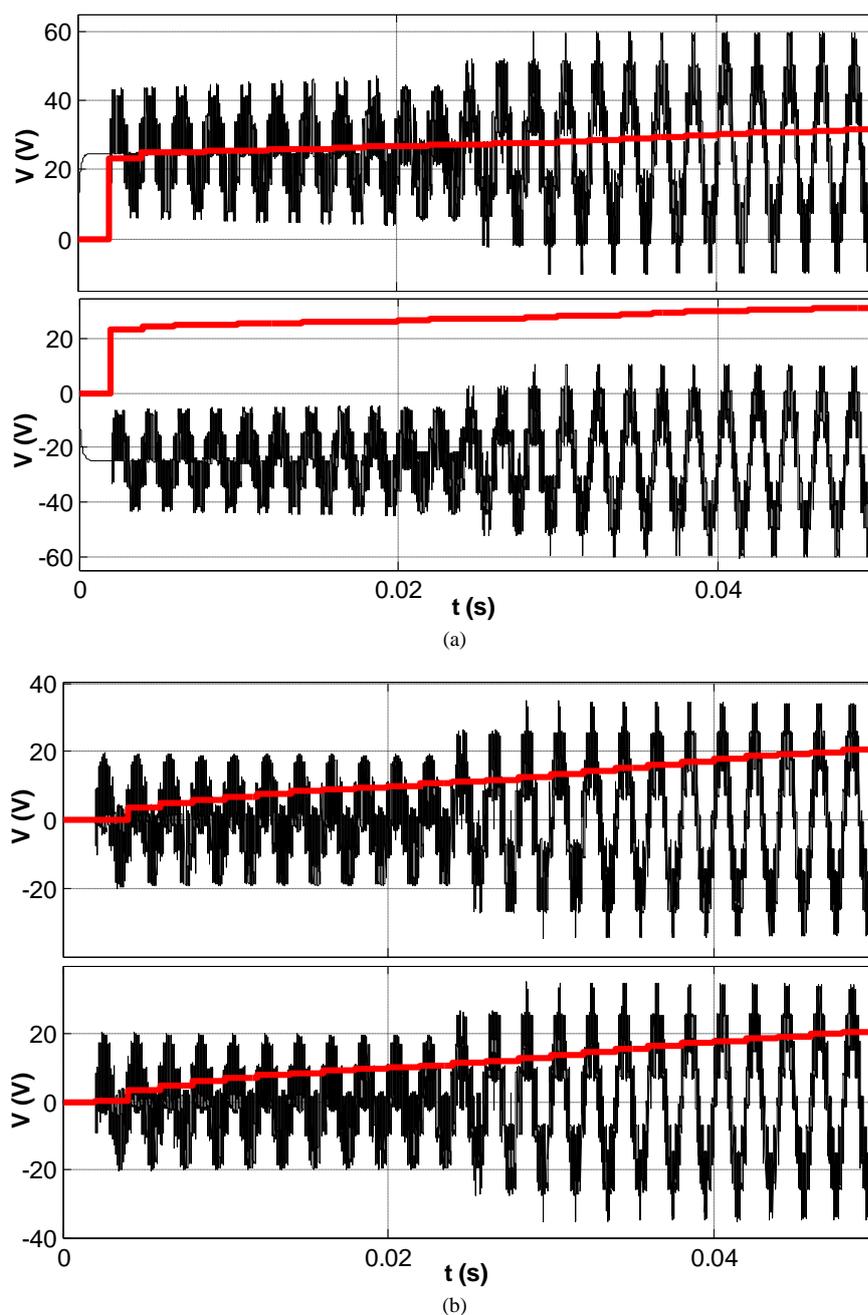


Figura 8.9: Tensão fase-neutro (V_{AN}) nas cargas 1 e 2, com entradas conectadas em série, para M variando no tempo entre 0,1 e 1,2. Linha preta: V_{AN1} ; Linha vermelha: $V_{AN1}(RMS)$. (a) neutros conectados; (b) neutros desconectados.

Embora a conexão entre os neutros altere a corrente diferencial nos ICTs, não foram observadas alterações produzidas pela troca do tipo de conexão das entradas entre paralelo e série. Os resultados obtidos para I_{DIF} nos cenários iii e iv, válidos para os dois tipos de conexão de entrada avaliados, são mostrados na Figura 8.11, na qual se variou M conforme o gráfico da Figura 8.6.

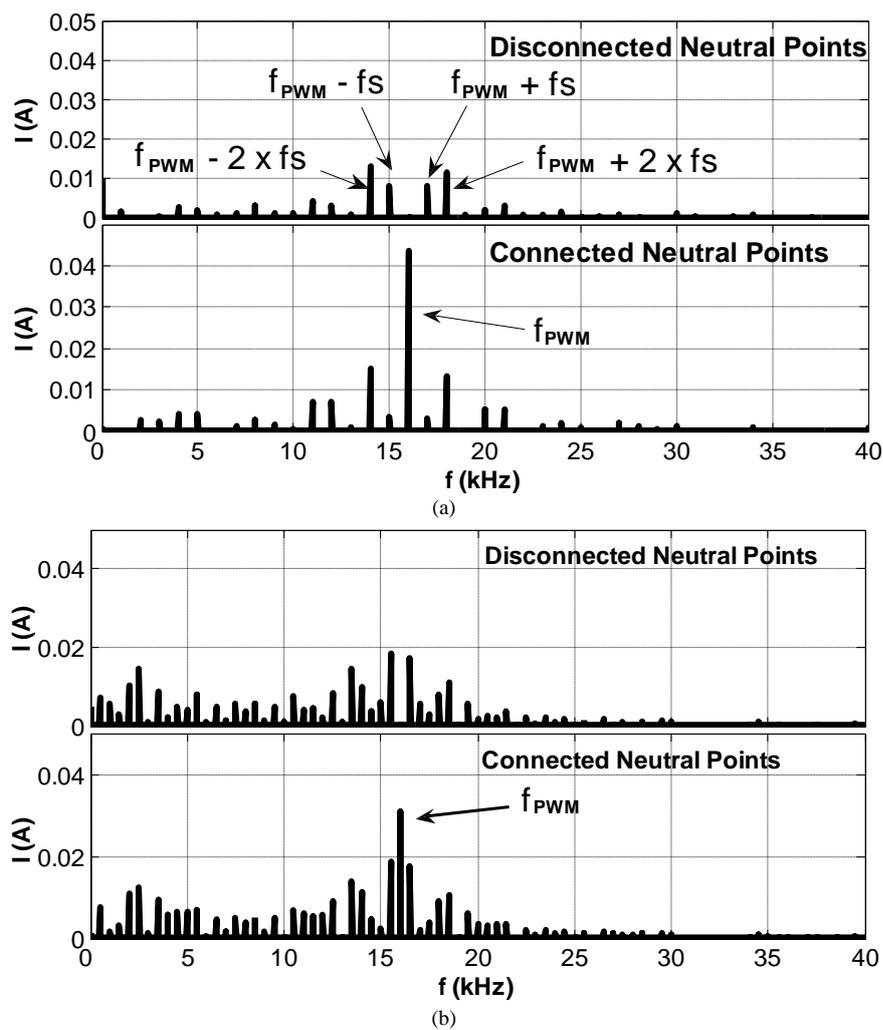


Figura 8.10: Impacto da conexão entre os neutros sobre a corrente diferencial nos ICTs no domínio da frequência, para entradas conectadas com série ou em paralelo, $M = 0,9$, $f_{PWM} = 16\text{kHz}$ e $f_s = 500\text{Hz}$. (a) POD; (b) PD.

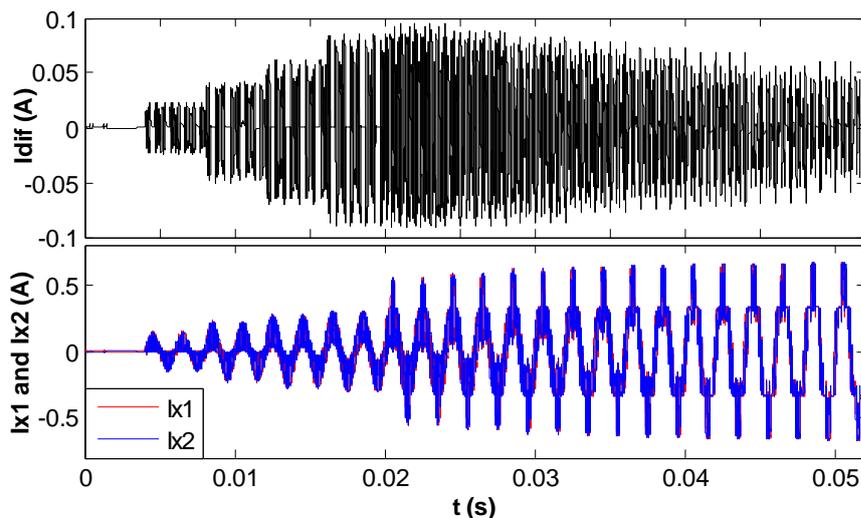


Figura 8.11: Formas de onda da corrente diferencial (I_{DIF}) e da corrente em cada enrolamento do ICT (I_{x1} e I_{x2}) com M variando no tempo de 0,1 a 1,2, com neutros conectados, técnica POD, entradas conectadas em série ou em paralelo.

A Figura 8.12 apresenta resultado análogo ao da Figura 8.11 considerando, no entanto, a operação do sistema em um ponto de operação fixo, correspondente a $M = 0,9$. Foram obtidos resultados idênticos para as duas configurações de entrada avaliadas.

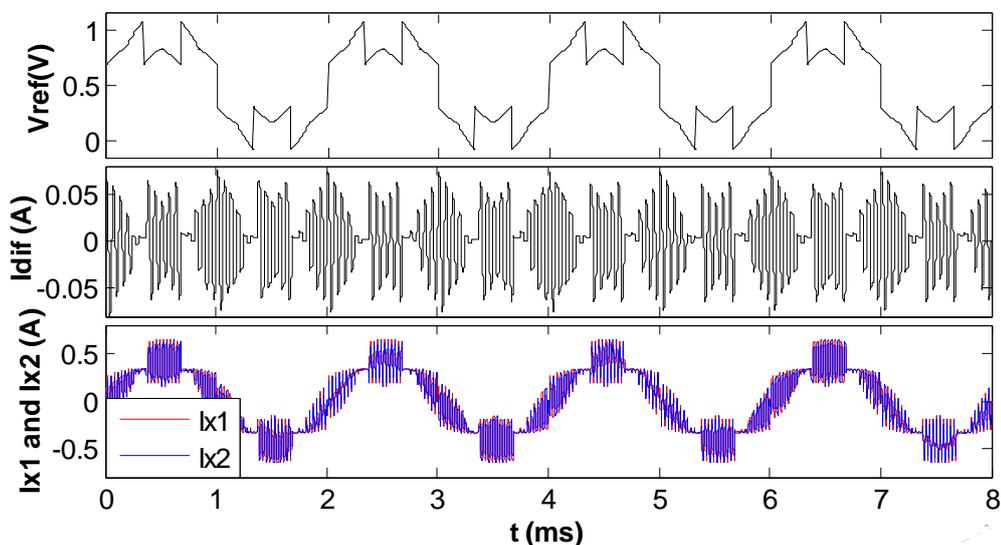


Figura 8.12: Tensão de referência (V_{ref}) para tensão de modo comum PWMBCNP CMV, corrente diferencial (I_{dif}) e corrente nos enrolamentos do ICT (I_{x1} and I_{x2}), com $M = 0,9$, $f_s = 500\text{Hz}$, neutros conectados, técnica POD, entradas conectadas em paralelo ou em série.

B. Equilíbrio das Tensões nos Capacitores:

Diferentes técnicas de modulação visando garantir a equalização das tensões dos capacitores do barramento CC são encontradas na literatura para conversores em série (NPC, FC, CHB) [105]-[107]. No caso de conversores em paralelo, nos quais as tensões dos capacitores são

impostas pelo barramento CC, o *ripple* de corrente no barramento CC deve ser estudado [108].

Diferentemente do que ocorre com o fluxo magnético no núcleo do ICT, o equilíbrio das tensões dos capacitores C_1 e C_2 pode ser afetado pela configuração de entrada dos inversores. Na conexão em paralelo ambos os capacitores tem tensões impostas pelo barramento CC, conforme Figura 8.4(a). Já na configuração série, Figura 8.4(b), apenas a soma das tensões dos dois capacitores é imposta pelo barramento CC e a correta divisão desta tensão entre C_1 e C_2 deve ser verificada.

Resultados de simulação mostraram que no caso de cargas idênticas (o caso de cargas não idênticas será analisado na próxima seção), a tensão do barramento CC se divide meio a meio entre os capacitores C_1 e C_2 , nos 4 cenários avaliados para entradas conectadas em série.

8.4 Acionamento de Cargas Separadas Não Idênticas

A. *Ripple* de Corrente Diferencial:

A análise conduzida até aqui leva em consideração a simplificação de que as duas cargas separadas alimentadas pelo sistema são idênticas, o que garante a simetria no fluxo de corrente através dos enrolamentos de cada ICT. Na prática, a existência de pequenas diferenças entre os parâmetros de cada carga é provável, e a influência destas diferenças sobre o *ripple* de corrente diferencial no ICT deve ser observada.

Com o objetivo de analisar o desbalanceamento de corrente elétrica entre os dois enrolamentos de cada ICT e a possível saturação do material magnético do núcleo, considere-se o diagrama simplificado para uma fase do sistema envolvido, mostrado na Figura 8.3. Para simplificar a análise, a resistência elétrica dos enrolamentos do ICT será incorporada à resistência da carga, dando origem à R_{U1} , e a indutância da carga será somada à indutância própria do ICT, resultando em L_{U1} . Desta forma, as tensões V_{U1} e V_{U2} nas estradas das duas malhas do circuito da Figura 8.3 são dadas pela equação (8.4):

$$\begin{aligned} V_{U1} &= R_{U1} \cdot i_{U1} + L_{U1} \cdot \frac{di_{U1}}{dt} + M_U \cdot \frac{di_{U2}}{dt} + e_{U1} + V_{N1} \\ V_{U2} &= R_{U2} \cdot i_{U2} + L_{U2} \cdot \frac{di_{U2}}{dt} + M_U \cdot \frac{di_{U1}}{dt} + e_{U2} + V_{N2} \end{aligned} \quad (8.4)$$

Escrevendo-se as equações correspondentes para as três fases de cada um dos dois subsistemas (cargas) e somando-as, pode-se encontrar a equação para a tensão de neutro de cada carga. Como exemplo, a equação para o potencial do neutro da carga 1 é apresentada abaixo, simplificada utilizando-se a Transformada de Laplace.

$$V_{N1}(s) = \frac{\sum_{x=U,V,W} [V_{x1} - (L_{x1}.s + R_{x1}).i_{x1} - M_x.i_{x2} - e_{x1}]}{3} \quad (8.5)$$

Dado o acoplamento magnético entre os dois subsistemas, as 6 equações do sistema podem ser escritas em notação matricial da seguinte forma:

$$B.V = A.I + B.E \quad \text{ou} \quad B.(V - E) = A.I \quad (8.6)$$

e

$$I = A'.B.(V - E)$$

onde A' denota a matriz inversa de A

As matrizes A e B e os vetores I , V e E são os seguintes:

$$V = \begin{bmatrix} V_{U1} \\ V_{V1} \\ V_{W1} \\ V_{U2} \\ V_{V2} \\ V_{W2} \end{bmatrix}, \quad I = \begin{bmatrix} I_{U1} \\ I_{V1} \\ I_{W1} \\ I_{U2} \\ I_{V2} \\ I_{W2} \end{bmatrix}, \quad E = \begin{bmatrix} e_{U1} \\ e_{V1} \\ e_{W1} \\ e_{U2} \\ e_{V2} \\ e_{W2} \end{bmatrix}, \quad B = \begin{bmatrix} 2/3 & -1/3 & -1/3 & 0 & 0 & 0 \\ -1/3 & 2/3 & -1/3 & 0 & 0 & 0 \\ -1/3 & -1/3 & 2/3 & 0 & 0 & 0 \\ 0 & 0 & 0 & 2/3 & -1/3 & -1/3 \\ 0 & 0 & 0 & -1/3 & 2/3 & -1/3 \\ 0 & 0 & 0 & -1/3 & -1/3 & 2/3 \end{bmatrix}$$

$$A = \begin{bmatrix} 2.(L_{U1}.s + R_{U1})/3 & -(L_{V1}.s + R_{V1})/3 & -(L_{W1}.s + R_{W1})/3 & 2.(M_U.s)/3 & -(M_V.s)/3 & -(M_W.s)/3 \\ -(L_{U1}.s + R_{U1})/3 & 2.(L_{V1}.s + R_{V1})/3 & -(L_{W1}.s + R_{W1})/3 & -(M_U.s)/3 & 2.(M_V.s)/3 & -(M_W.s)/3 \\ -(L_{U1}.s + R_{U1})/3 & -(L_{V1}.s + R_{V1})/3 & 2.(L_{W1}.s + R_{W1})/3 & -(M_U.s)/3 & -(M_V.s)/3 & 2.(M_W.s)/3 \\ 2.(M_U.s)/3 & -(M_V.s)/3 & -(M_W.s)/3 & 2.(L_{U2}.s + R_{U2})/3 & -(L_{V2}.s + R_{V2})/3 & -(L_{W2}.s + R_{W2})/3 \\ -(M_U.s)/3 & 2.(M_V.s)/3 & -(M_W.s)/3 & -(L_{U2}.s + R_{U2})/3 & 2.(L_{V2}.s + R_{V2})/3 & -(L_{W2}.s + R_{W2})/3 \\ -(M_U.s)/3 & -(M_V.s)/3 & 2.(M_W.s)/3 & -(L_{U2}.s + R_{U2})/3 & -(L_{V2}.s + R_{V2})/3 & 2.(L_{W2}.s + R_{W2})/3 \end{bmatrix}$$

Utilizando-se (8.6), pode-se estudar a influência de diferenças entre os parâmetros das duas cargas separadas sobre a corrente diferencial e o fluxo magnético no ICT.

Uma importante conclusão é que estas equações não dependem do tipo de conexão de entrada, o que demonstra que optar por uma configuração de entrada em série ou em paralelo não altera o funcionamento do ICT em sistemas com cargas não idênticas.

Os gráficos mostrados na Figura 8.13 e na Figura 8.14 foram gerados usando-se a equação (8.6). A Figura 8.13 mostra a densidade de fluxo magnético diferencial no núcleo em função dos parâmetros de uma das cargas, normalizados em relação aos valores nominais. Os parâmetros da outra carga foram mantidos em seus valores nominais. Considerou-se neste estudo variações nos parâmetros resistência (R) e indutância (L) da carga, bem como na tensão representada pela FEM da máquina, a qual reflete a carga mecânica no eixo da mesma. Como esperado, a densidade de fluxo magnético diferencial é mínima quando a relação entre os parâmetros das duas cargas é unitária, o que corresponde ao valor 1 no das abscissas do gráfico. Verifica-se também que o sistema é pouco sensível a diferenças entre os valores das indutâncias das cargas, ao passo que diferenças nas resistências ou nas FEMs apresentam maior influência sobre o aumento da corrente diferencial e, conseqüentemente, do fluxo magnético no ICT.

Na Figura 8.14, a influência de variações dos parâmetros tensão (FEM) e resistência é analisada de outra perspectiva: esta figura apresenta o valor que cada um destes dois parâmetros deve ter (normalizado em relação ao valor nominal), em função da permeabilidade relativa do núcleo do ICT, de forma que se verifique um aumento na densidade do fluxo magnético no núcleo igual a 0,2T. A observação deste gráfico permite concluir que núcleos com permeabilidade relativa mais baixa conferem ao sistema uma maior robustez em relação às diferenças destes dois parâmetros entre as duas cargas. Observa-se também que a margem disponível para diferenças entre os parâmetro R das cargas é maior do que para o parâmetro FEM, em toda a faixa de permeabilidade relativa mostrada.

Os efeitos das variações dos parâmetros R, L e V de uma das cargas também foram observados através da simulação do modelo elaborado no programa PSIM. Foram gerados resultados de simulação com variação não simultânea dos parâmetros R_2 e L_2 (carga 2), entre 0,8 e 1,2 vezes os valores nominais, mantendo-se os parâmetros da carga 1 iguais aos valores nominais.

A Figura 8.15 mostra o *ripple* da corrente diferencial no ICT nos quatro cenários considerados em função de M e de R_2 , este último normalizado pelo valor nominal (R_{2NOM}). Nos quatro casos foram encontrados resultados idênticos para as configurações de entrada em paralelo e em série. Observou-se um aumento do *ripple* máximo à medida que R_2 se afasta do valor nominal. Esse aumento é diretamente proporcional a M. Para o método POD, observa-se um aumento de 172% no *ripple* máximo para $M = 1,2$ e $R = 1,2$. No caso do modulador PD o aumento é de 77,5% nas mesmas condições. O aumento menor no método PD se deve ao fato

de o *ripple* máximo, para $R_2 = R_{2-NOMINAL}$, ocorrer quando M tende a zero, enquanto que para o método POD ele é máximo para M máximo.

A Figura 8.16 mostra a influência da variação de L sobre o *ripple* da corrente diferencial, também para os quatro cenários avaliados. Esta influência é menos importante do que a observada para variações de R , conforme se observa na figura. Neste caso mais uma vez não se observou influência do tipo de conexão de entrada sobre os resultados encontrados.

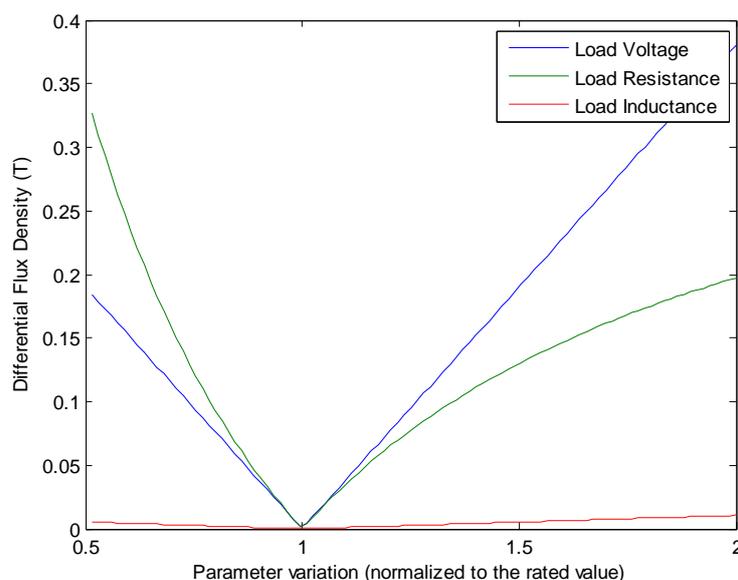


Figura 8.13: Densidade de fluxo magnético no núcleo do ICT em função de R , L e FEM na carga (normalizados pelos valores nominais). Os parâmetros da outra carga foram mantidos em seus valores nominais.

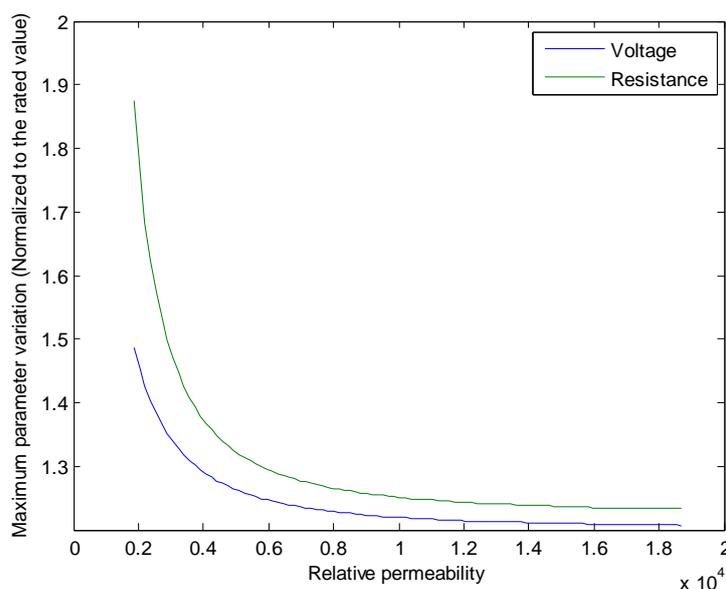


Figura 8.14: Valor normalizado que os parâmetros R e E de uma das cargas deve ter, em função da permeabilidade relativa do núcleo do ICT, para que a densidade de fluxo se eleve em $0,2T$.

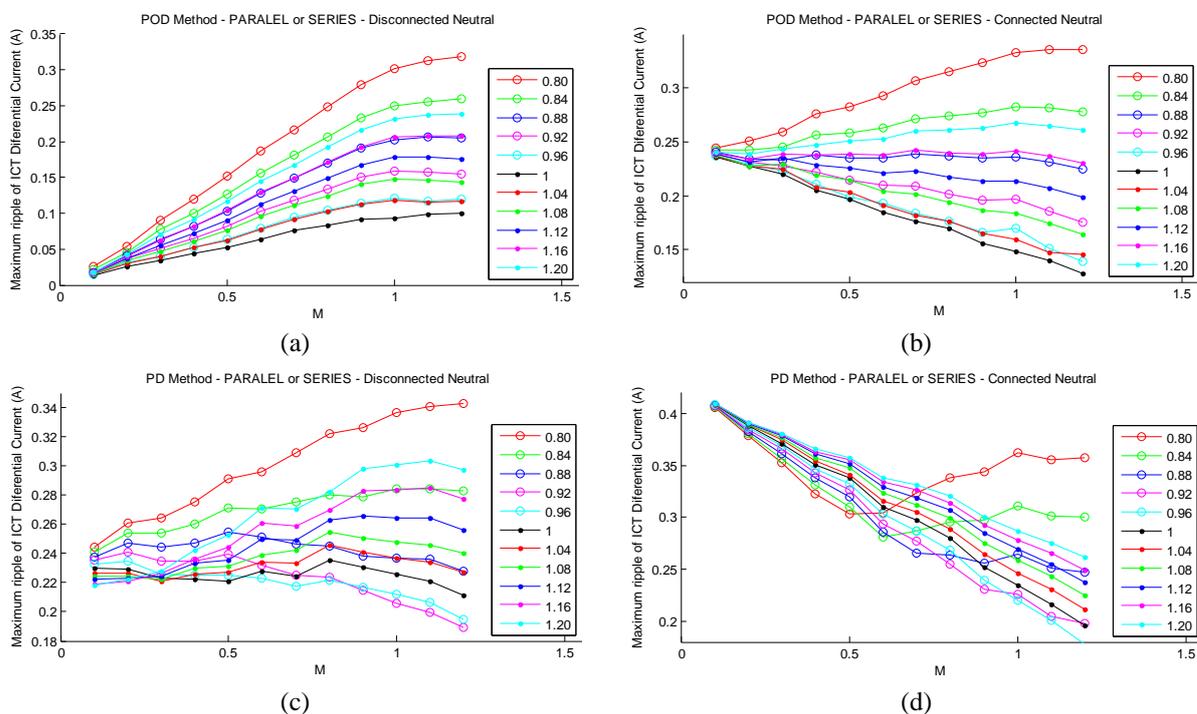


Figura 8.15: *Ripple* máximo de I_{DIF} no ICT em função de M , para diferentes valores de R_2 (normalizados pelo valor nominal) para entradas conectadas em série ou em paralelo. (a) POD, neutros desconectados; (b) POD, neutros conectados; (c) PD, neutros desconectados; (d) PD, neutros conectados.

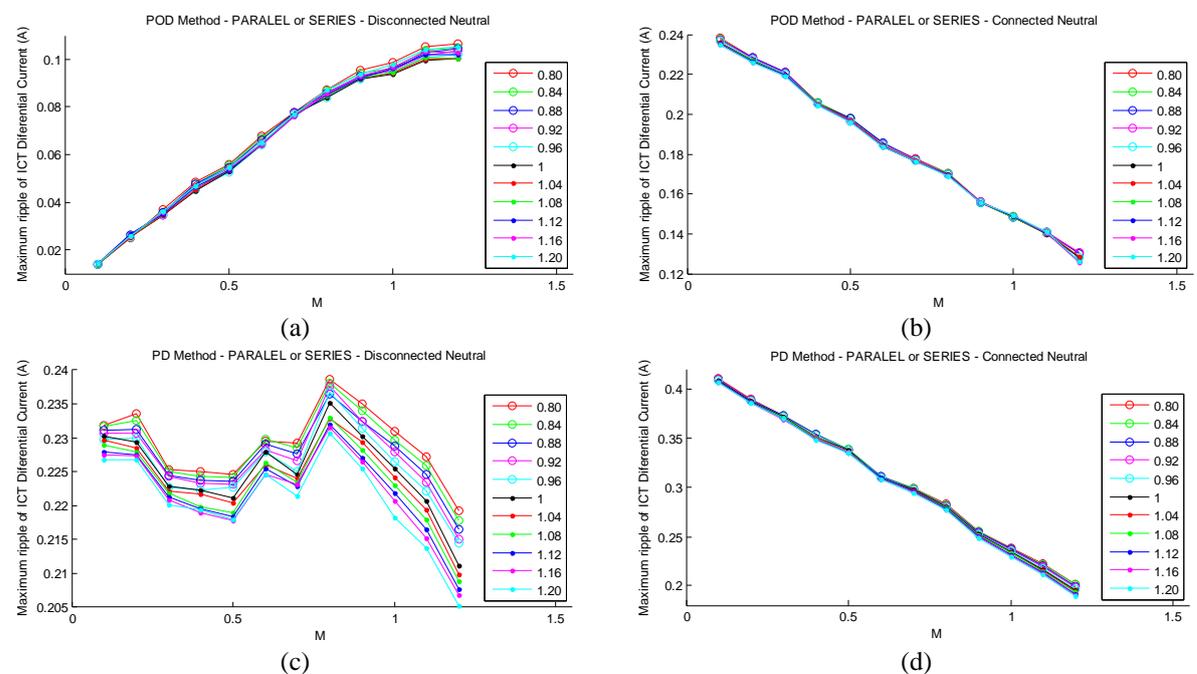


Figura 8.16: *Ripple* máximo de I_{DIF} no ICT em função de M , para diferentes valores de L_2 (normalizados pelo valor nominal) para entradas conectadas em série ou em paralelo. (a) POD, neutros desconectados; (b) POD, neutros conectados; (c) PD, neutros desconectados; (d) PD, neutros conectados.

B. Equilíbrio das Tensões nos Capacitores:

Diferenças entre os parâmetros das cargas separadas produzem diferenças entre as correntes de linha em cada carga. No caso de entradas conectadas em série, no qual a tensão de cada capacitor não é imposta pelo barramento CC, tais diferenças produzem desequilíbrios nas tensões destes capacitores. A Figura 8.17 apresenta a tensão sobre o capacitor C_1 para três valores de R_1 , normalizados em relação ao valor nominal, sem conexão de neutro e usando-se o modulador POD. Quanto mais distante é o valor de R_1 em relação ao valor nominal, mais distante de $V_{cc}/2$ será a tensão sobre o capacitor C_1 após o transitório de partida do sistema. O estabelecimento de uma conexão entre os neutros neste caso não produz alterações neste perfil de distribuição das tensões sobre os capacitores.

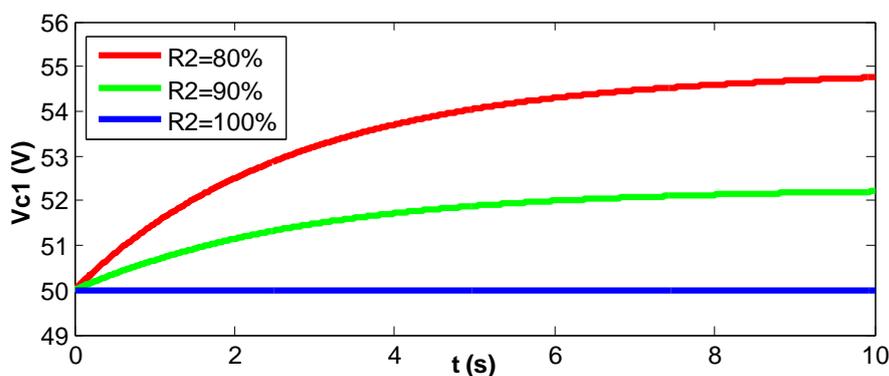


Figura 8.17: tensão sobre o capacitor C_1 para três diferentes valores de R_2 , com $R_1 = 100\%$, entradas conectadas em série, neutros conectados ou desconectados, técnica POD, $M = 0,9$ e $f_s = 500\text{Hz}$.

8.5 Resultados Experimentais

Utilizando-se a estrutura mostrada na Figura 8.18, foram colhidos dados experimentais visando validar os dados analíticos e de simulação apresentados neste trabalho. A estrutura mostrada na figura é composta de dois inversores trifásicos de dois níveis, magneticamente acoplados por três ICTs, tendo suas entradas conectadas em série ou em paralelo. Os inversores são controlados por um DSP em ponto flutuante (TMS320C6713). Uma FPGA é utilizada para gerar o sinal de comando de amostragem das tensões de referência, bem como para gerar os sinais de comando para os gatilhos das chaves estáticas. Há ainda um PC executando uma Macro-Excel que funciona como interface entre o usuário e o DSP, permitindo o ajuste de diversos parâmetros de controle. Os inversores alimentam duas cargas

separadas de 4kW cada. As resistências e indutâncias de fase medidas em cada carga são as seguintes:

Carga 1: $R_1 = 45\Omega$; $L_1 = 400\text{mH}$ (potência nominal)

Carga 2: $R_2 = 45\Omega$; $L_1 = 330\text{mH}$ (potência nominal)

$R_2 = 50\Omega$; $L_1 = 394\text{mH}$ (90% da potência nominal)

$R_2 = 57\Omega$; $L_1 = 428\text{mH}$ (80% da potência nominal)

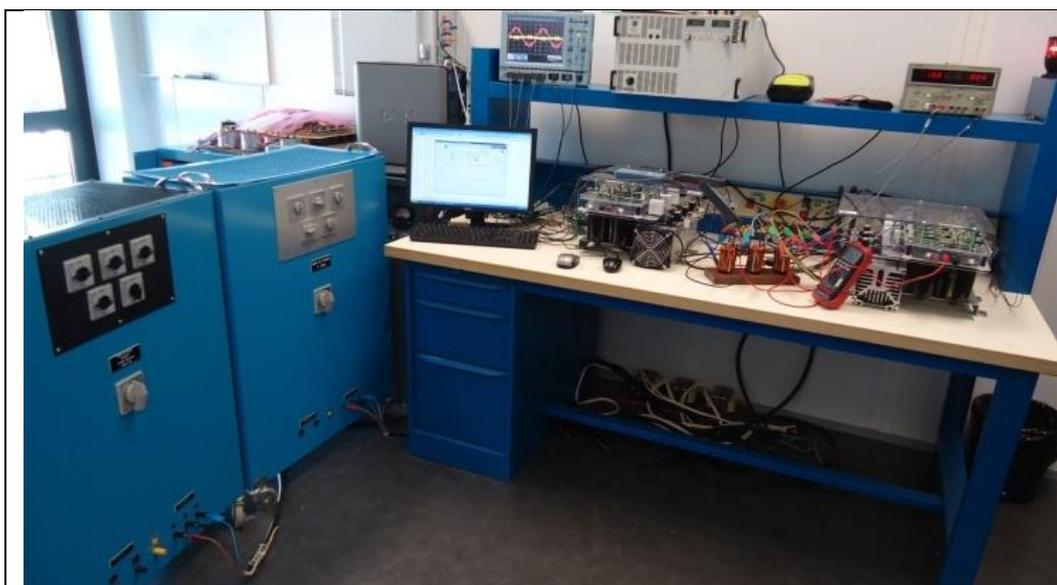


Figura 8.18: Estrutura utilizada na etapa experimental.

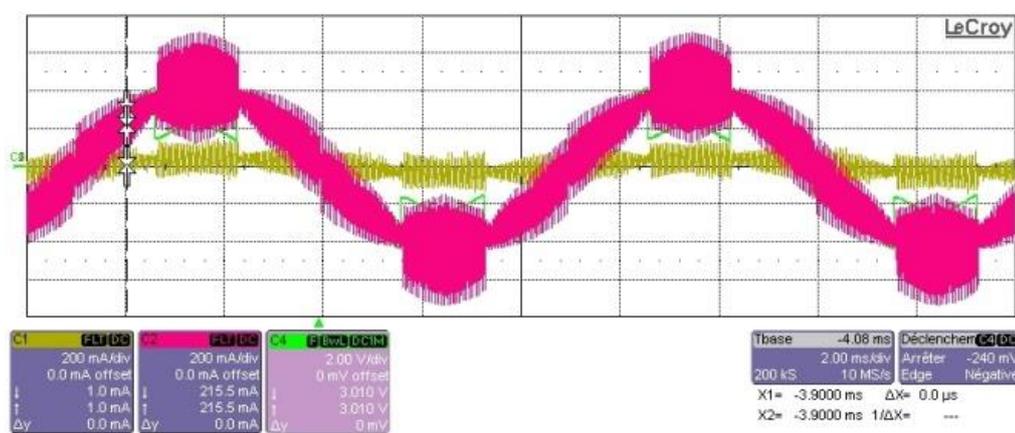
O *ripple* de fluxo magnético dentro do núcleo dos ICTs foi estimado a partir da medição da corrente diferencial (I_{DIF}). Foram feitas medições correspondentes aos quatro cenários avaliados. As tensões de modo comum injetadas através do sinal de referência foram o PWMBC, no caso de neutros não conectados, e o PWMBCNP no caso de haver conexão entre os neutros.

A Figura 8.19 mostra a corrente no enrolamento 1 do ICT e a corrente diferencial neste dispositivo, para entradas conectadas em paralelo e em série, ambas as cargas ajustadas para potência nominal, técnica de modulação POD e neutros conectados. Estes resultados confirmam os resultados de simulação apresentados.

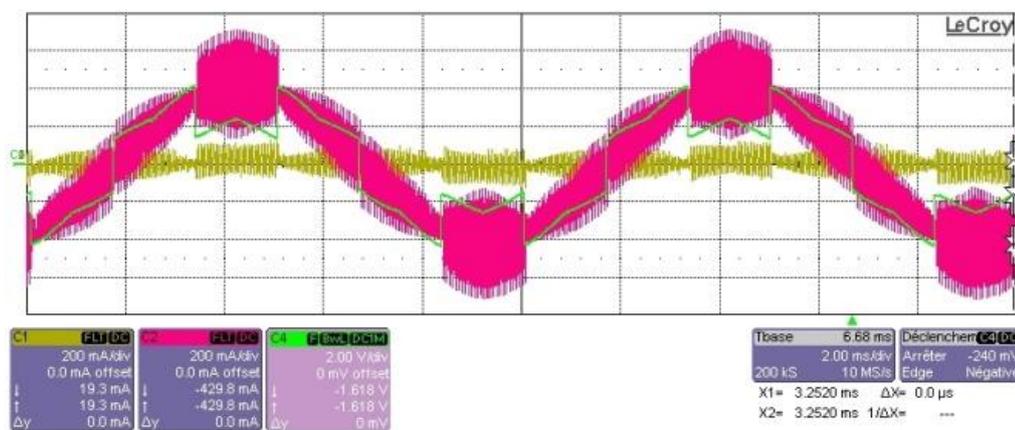
A Figura 8.20 mostra o *ripple* máximo de corrente diferencial no ICT em função de M , para três diferentes valores de R_2 e para entradas conectadas em série ou em paralelo. Os quatro cenários avaliados são apresentados. Observa-se que os resultados correspondentes às conexões em paralelo ou em série das entradas são muito próximos quando R_2 é igual a R_1 (cor azul), apesar da diferença existente entre os parâmetros L_1 e L_2 . Por outro lado, à medida

que a diferença entre L_1 e L_2 aumenta, também aumenta a diferença entre os resultados correspondentes às conexões em série e em paralelo das entradas. Neste caso, a conexão em série das estradas é a que produz os menores valores de *ripple* máximo da corrente diferencial no ICT.

Os resultados na Figura 8.21 mostram o *ripple* de I_{DIF} em função de M para três diferentes valores de tensão fundamental (f_s) na saída do inversor. Os parâmetros R_1 e R_2 são mantidos em seus valores nominais. Apenas os cenários (i) e (iv) são apresentados. Pode-se observar uma boa aproximação entre os resultados correspondentes as conexões em série e em paralelo das entradas dos inversores, a despeito da diferença existente entre os parâmetros L_1 e L_2 , para $f_s = 50\text{Hz}$. Para $f_s = 500\text{Hz}$ (linha vermelha), para a qual o efeito de diferenças entre os parâmetros L_1 e L_2 torna-se mais preponderante, pode-se observar um aumento das diferenças entre os resultados correspondentes às duas configurações de conexão das entradas.



(a)



(b)

Figura 8.19: corrente diferencial no ICT para método POD e neutros conectados.
(a) Entradas em paralelo; (b) entradas em série.

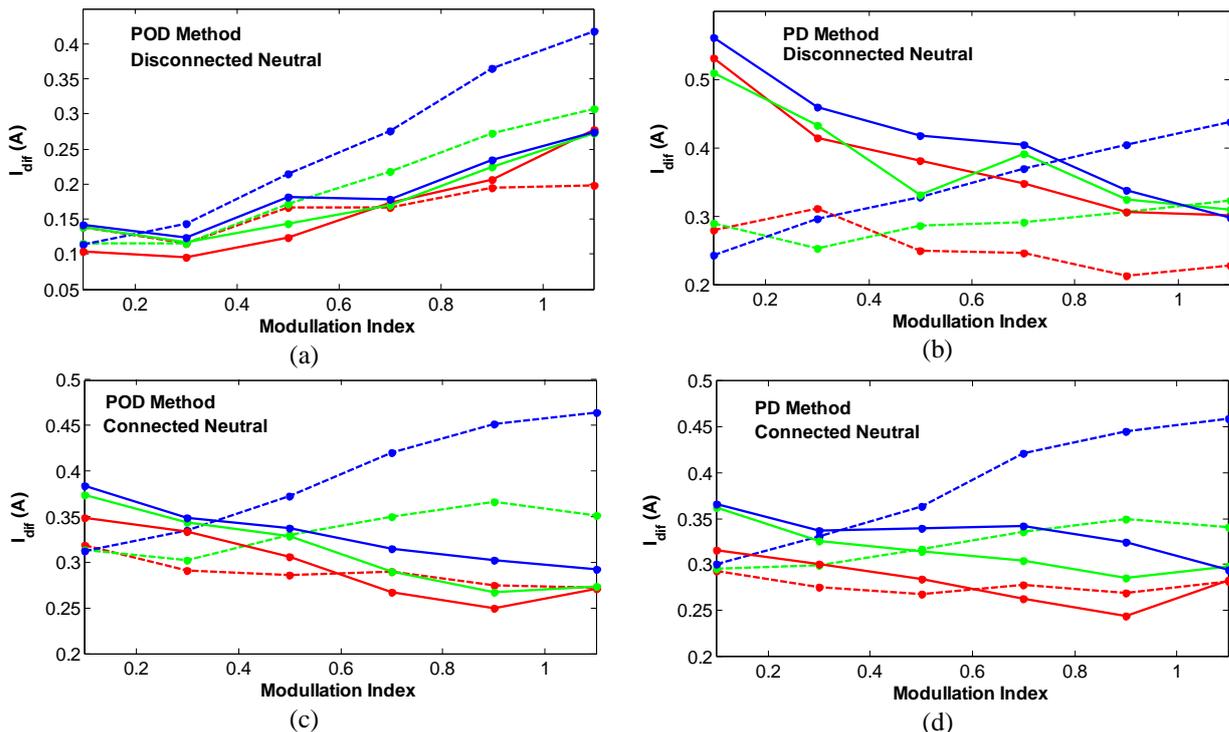


Figura 8.20: corrente I_{DIF} em função de M para diferentes valores de R na Carga 2: Linha vermelha: $R_2 = 100\%$ (nominal); Linha verde: $R_2 = 90\%$; Linha azul: $R_2 = 80\%$. Linha tracejada: entradas conectadas em paralelo. Linha cheia: entradas conectadas em série. (a) técnica POD com neutros desconectados; (b) técnica PD com neutros desconectados; (c) técnica POD com neutros conectados; (d) técnica PD com neutros conectados.

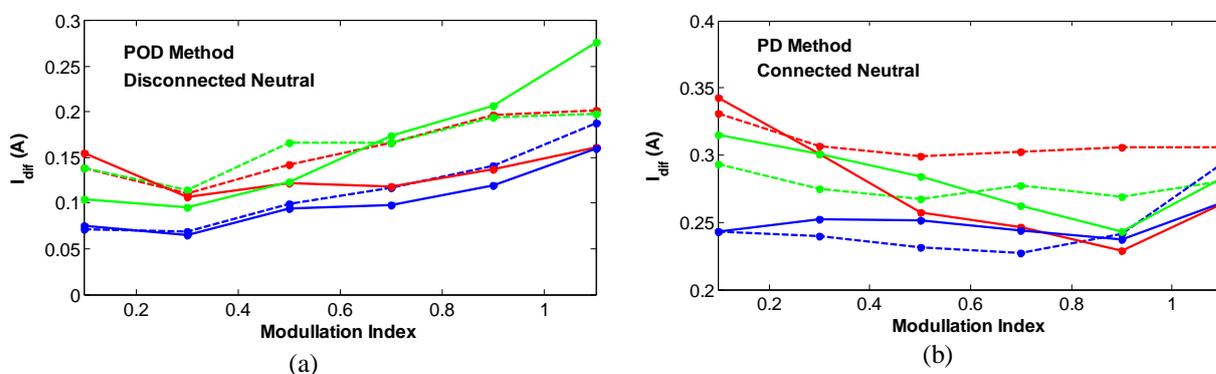


Figura 8.21: corrente I_{DIF} em função de M_i para diferentes valores de frequência fundamental na saída (f_s). Linha azul: $f_s = 50\text{Hz}$; Linha verde: $f_s = 120\text{Hz}$; Linha vermelha: $f_s = 500\text{Hz}$. Linhas tracejadas: entradas em paralelo. Linhas sólidas: entradas em série. (a) técnica POD com neutros desconectados; (b) técnica PD com neutros conectados.

8.6 Conclusões

A possibilidade de reconfiguração da conexão das entradas de duas células inversoras paralelas entre os modos série e paralelo é um recurso útil para possibilitar a utilização do mesmo sistema com os dois padrões europeus de barramento CC disponíveis em aeronaves: 270V e 540V. Esta reconfiguração pode ser facilmente realizada através da seleção de posição de uma chave quadri-polar e nenhum outro ajuste é necessário.

Os dois modos de conexão das entradas das células inversoras permitem a utilização ou não da conexão dos neutros das cargas separadas. Com as entradas conectadas em série, a conexão dos neutros pode ser feita via capacitor eletrolítico.

Inversores com entradas conectadas em série devem, obrigatoriamente, acionar cargas separadas.

O modo de conexão das entradas das células inversoras não produz alterações no *ripple* de fluxo magnético no ICT e no equilíbrio das tensões dos capacitores de entrada, qualquer que seja o cenário considerado (técnica de modulação, existência ou não de conexão entre os neutros), quando as duas cargas separadas possuem parâmetros L, R e E iguais ou muito próximos. Por outro lado, diferenças entre os parâmetros das duas cargas produzem desbalanceamento das tensões dos capacitores, com conexão das entradas em série, e aumento do *ripple* de fluxo magnético no ICT, qualquer que seja o tipo de conexão das entradas. Neste caso, no entanto, o aumento do *ripple* de fluxo magnético é maior quando as estradas são conectadas em paralelo. Na conexão em série, o desbalanceamento das tensões dos capacitores funciona como um mecanismo de compensação que reduz o aumento do *ripple* de fluxo magnético na comparação com a configuração em paralelo.

No caso de acionamento de cargas separadas com parâmetros não idênticos, o *ripple* de fluxo magnético no indutor cresce de forma proporcional às diferenças entre os parâmetros das duas cargas. Neste caso, verificou-se que diferenças entre os parâmetros R das cargas têm um maior peso sobre o aumento do *ripple* de fluxo magnético do que diferenças nos parâmetros L.

O aumento do *ripple* de fluxo magnético produzido por diferenças entre os parâmetros R das duas cargas depende do método de modulação usado (POD ou PD) e da existência ou não de conexão entre os neutros das cargas.

O estudo analítico conduzido demonstra que diferenças entre o parâmetro E ou FEM (forma eletro-motriz) entre as duas cargas, no caso de acionamento de máquinas elétricas, produzem aumentos do *ripple* de fluxo magnético tão importantes quanto os produzidos por diferenças entre os parâmetros R, conforme se observa na Figura 8.13 e na Figura 8.14.

Os resultados de simulação mostram que o aumento do *ripple* em função do aumento da diferença entre R_1 e R_2 é tanto maior quanto mais alto for o valor de M, independentemente do tipo de modulador, do tipo de conexão usado na entrada do inversor ou de haver ou não conexão do neutro das duas cargas separadas.

Observou-se uma variação praticamente linear entre o aumento do *ripple* e o aumento percentual da diferença entre os parâmetros R das duas cargas, independentemente do tipo de conexão de entrada do inversor ou da técnica de modulação considerada.

Os resultados de simulação e experimentais observados permitem concluir que, com conexão das entradas das duas células inversoras em série, as tensões nos capacitores do barramento CC ficam naturalmente balanceadas desde que as cargas separadas tenham parâmetros idênticos ou muito próximos. Os resultados de simulação mostram que diferenças entre os parâmetros R das cargas apresentam um maior impacto sobre o desequilíbrio das tensões de C_1 e C_2 do que diferenças entre os parâmetros L das cargas.

9 Conclusões e Propostas de Continuidade

9.1 *Conclusões Gerais*

Vantagens do Método de Modulação Proposto

O presente trabalho apresenta uma nova estratégia de modulação para conversores trifásicos multiníveis. O método proposto apresenta as seguintes vantagens em relação ao método SV-PWM Síncrono quando utilizado em conversores de cinco níveis:

1) Redução das perdas na chave crítica:

O método proposto reduz as perdas por comutação nas chaves mais solicitadas de cada braço do conversor, sem alterar as perdas por condução. A redução das perdas por comutação nas chaves críticas permite reduzir as especificações dos dispositivos de dissipação térmica utilizados, com a conseqüente redução do volume, do peso e do custo do conversor. Alternativamente, podem-se manter as especificações originais e operar as chaves críticas em temperaturas mais baixas, aumentando sua vida útil, ou ainda elevar a potência de saída do conversor acima do valor nominal.

2) Redução das perdas em todos os semicondutores do conversor:

Além da redução das perdas nas chaves críticas, verificou-se a sua redução nas demais chaves e diodos de grameamento. Estas reduções não afetam o dimensionamento dos dissipadores mas aumentam a eficiência do conversor e reduzem a temperatura no interior do mesmo, o que permite que todo o sistema, inclusive as chaves críticas, possa operar em uma temperatura mais baixa.

3) Redução das perdas por comutação concomitantemente à redução da THD da tensão:

A observação da Figura 5.18 (THD) e da Figura 5.49 (soma das perdas por comutação) permite concluir que em relação à THD, o método proposto equivale ao método SV-PWM Síncrono operando com uma relação f_{PWM}/f_s entre 16 e 32, enquanto que em relação às perdas por comutação, ele se equipara ao método SV-PWM Síncrono operando com f_{PWM}/f_s em torno de quatro. Desta forma o método proposto cumpre seu principal objetivo, ou seja,

apresentar desempenho superior ao método SV-PWM em relação a estas duas figuras de mérito.

4) Distribuição das perdas entre as chaves de cada braço:

O método proposto apresentou uma distribuição melhor do número de comutações por período fundamental (Figura 5.34 e Figura 5.35) e das perdas entre as chaves (Figura 5.37 Figura 5.39) na maior parte dos pontos de operação avaliados.

5) Redução da pulsação de conjugado e de velocidade do motor:

Comparado ao método SV-PWM, o método proposto reduz as amplitudes pico a pico das pulsações de conjugado elétrico no motor acionado pelo inversor, bem como da velocidade angular (ω) do mesmo. O método proposto produz uma menor quantidade de harmônicos de T_e e ω , o quais possuem menor amplitude do que os produzidos pelo método SV-PWM.

6) Redução do custo computacional:

A comparação do custo computacional entre os métodos SSVM e SV-PWM foi feita apenas em simulação. Neste ambiente o método proposto apresentou um custo computacional 20% inferior ao observado para o método SV-PWM Síncrono operando com relação f_{PWM}/f_s igual a 16, conforme se observa na Tabela 5.4.

7) Equalização parcial das tensões dos capacitores do barramento CC:

O método proposto permite equalizar a soma das tensões dos capacitores localizados acima do ponto 0 do barramento com a soma das tensões dos capacitores localizados abaixo deste ponto. Isso permite reduzir a complexidade e a potência do circuito externo necessário para fazer a equalização individual destes capacitores.

8) Operação na Região de Sobre-modulação:

O método proposto opera de maneira natural dentro da região de sobre-modulação uma vez que não requer qualquer modificação no seu algoritmo para isso e não há aumento do custo computacional deste algoritmo dentro desta região.

9) Adaptabilidade a conversores com qualquer número de níveis:

O algoritmo do método SSVM é facilmente adaptável para conversores com N qualquer, o que possibilita implementar em DSP um algoritmo genérico em termos do valor de N.

Outras Características Positivas do Método Proposto

Além das vantagens citadas acima, o método proposto apresenta as seguintes características desejáveis em um método de modulação:

- Pode ser usado em conversores multiníveis de três níveis ou mais;
- Apresenta relação linear entre o módulo da tensão de referência e o valor fundamental da tensão de saída dentro da faixa $0,0293 \leq M \leq 0,969$.
- Apresenta custo computacional reduzido na aplicação em conversores de cinco níveis, possibilitando, na implementação em DSP, produzir uma tensão com frequência fundamental superior a 700Hz.

Desvantagens e Limitações

O método proposto apresentou as seguintes limitações e desvantagens:

- 1) Incapacidade de realizar, de maneira completa, a equalizar das tensões dos N-1 capacitores do barramento CC da topologia NPC.
- 2) A maior frequência fundamental realizável na implementação do método proposto em DSP é inversamente proporcional a N^3 . Isso limita a aplicação do método a conversores com até 15 níveis considerando-se o DSP usado neste trabalho.

Outras Conclusões Obtidas

Do ponto de vista da THD, o método proposto é tão mais vantajoso que os métodos SV-PWM e SV-PWM Síncrono quanto maior é o índice de modulação utilizado. Do ponto de vista das perdas, a vantagem do método proposto em relação ao método SV-PWM é maior para valores de M mais baixos, ao passo que na comparação com o método SV-PWM Síncrono a superioridade do método proposto é aproximadamente constante em toda a faixa de M.

A análise da aplicação do método proposto em conversores de N níveis mostra que o aumento de N produz sucessivas reduções na THD da tensão na carga, bem como eleva de maneira aproximadamente linear as perdas totais no conversor.

Considerando-se a THD da tensão de saída e a QVP, figura de mérito esta proposta neste trabalho, conclui-se que 7 é o número ótimo de níveis, uma vez que permite reduzir o perfil de

THD a um nível satisfatório ao mesmo tempo que concilia esta redução com um aumento relativamente baixo das perdas totais na comparação com conversores de três e cinco níveis. Para $N = 7$, a frequência fundamental máxima realizável utilizando-se o DSP 28335 é 370Hz, ou seja, muito acima do necessário em aplicações envolvendo acionamento de máquinas elétricas.

9.2 Propostas de Continuidade

O presente trabalho se constitui em uma nova abordagem em relação aos métodos de modulação aplicados a conversores multiníveis, e uma série de aspectos relacionados ao seu funcionamento e implementação prática, bem como à comparação entre este método e o método SV-PWM podem ser explorados. Propõe-se as seguintes linhas de estudo:

- 1) Implementar em simulação o método SV-PWM para diferentes valores de N , de forma a permitir uma comparação mais ampla entre os métodos SSVM e SV-PWM.
- 2) Implementar o método SV-PWM para conversores de cinco níveis em DSP, de forma a validar os dados comparativos obtidos em simulação.
- 3) Estudar a possibilidade de usar um menor número de hexágonos em conversores com N acima de 11 e operando com M elevado, situação na qual três ou mais hexágonos ficam ativos. A redução dos hexágonos ativos permite reduzir o número de comutações por período fundamental e o custo computacional do algoritmo e, a princípio, não deve elevar a THD da tensão de forma significativa, uma vez que com $N \geq 11$ e $M \geq 0,5$ verifica-se uma saturação do efeito de redução da THD em função do aumento de N , conforme se observa na Figura 7.9.
- 4) Estudar o efeito das restrições relacionadas às chaves estáticas, tais como o tempo morto e os tempos mínimos de condução e bloqueio, sobre os resultados obtidos.
- 5) Utilizar a implementação em DSP do método proposto feita no presente trabalho para acionar um sistema protótipo composto por um conversor de cinco ou mais níveis, um motor elétrico e uma carga mecânica.
- 6) Analisar a dinâmica das tensões dos capacitores do barramento CC em simulação. Estudar e projetar um circuito de balanceamento final das tensões dos capacitores do barramento CC tomando-se como ponto de partida o balanceamento parcial proporcionado pelo método proposto.

7) Avaliar o impacto das reduções das perdas por comutação nos semicondutores e da THD da tensão, alcançadas pelo método proposto, sobre as reduções de volume e peso dos dissipadores e dos filtros de saída necessários.

APÊNDICES

A. Determinação dos Raios dos Círculos Limite:

Seja b o comprimento dos lados dos triângulos equiláteros da Figura A.1 e h a altura destes triângulos. A altura h pode ser escrita em função de b como se segue:

$$h = b \cdot \text{sen}(60^\circ) = (\sqrt{3}/2) \cdot b$$

A distancia entre o baricentro de um triângulo equilátero e o centro de qualquer dos seus lados é igual a $h/3$. A partir da Figura A.1, pode-se escrever b e h em termos da tensão do barramento CC do inversor (V_{dd}):

$$b = \frac{2}{3} \cdot (V_{dd}/4) \quad e \quad h = (1/\sqrt{3}) \cdot (V_{dd}/4)$$

Nas deduções abaixo, os valores de b e h , bem como os valores dos raios (r) dos círculos limites serão normalizados por $V_{dd}/4$.

Círculo 1 - definido pelo raio que vai da origem até o centro do lado inferior do triângulo T_1 :

$$r_1 = \frac{1}{2} \cdot b = \frac{1}{2} \cdot \frac{2}{3} = \frac{2}{3} \cdot \left(\frac{1}{2}\right)$$

Círculo 2 - definido pelo raio que vai da origem até o baricentro do triângulo T_1 :

$$r_2^2 = \left(\frac{1}{2} \cdot b\right)^2 + \left(\frac{1}{3} \cdot h\right)^2 = \left(\frac{1}{3}\right)^2 + \left(\frac{1}{3} \cdot \frac{1}{\sqrt{3}}\right)^2$$

$$r_2 = \sqrt{\left(\frac{1}{9} + \frac{1}{27}\right)} = \sqrt{\left[\frac{3+1}{27}\right]} = \sqrt{\left(\frac{4}{27}\right)} = \frac{2}{3} \cdot \sqrt{\left(\frac{1}{3}\right)}$$

Círculo 3 - definido pelo raio que vai da origem até o baricentro do triângulo T_3 :

$$r_3^2 = b^2 + \left(\frac{2}{3} \cdot h\right)^2 = \left(\frac{2}{3}\right)^2 + \left(\frac{2}{3} \cdot \frac{1}{\sqrt{3}}\right)^2$$

$$r_3 = \sqrt{\left(\frac{4}{9} + \frac{4}{27}\right)} = \sqrt{\left[\frac{12+4}{27}\right]} = \sqrt{\left(\frac{16}{27}\right)} = \frac{2}{3} \cdot \sqrt{\left(\frac{4}{3}\right)}$$

Círculo 4 - definido pelo raio que vai da origem até o centro do lado inferior do triângulo T_2 :

$$r_4 = b + \frac{1}{2} \cdot b = \left(\frac{3}{2}\right) \cdot b = \frac{3}{2} \cdot \frac{2}{3} = \frac{2}{3} \cdot \left(\frac{3}{2}\right)$$

ANEXOS

A. Folha de Especificação dos IGCTs:

V_{DRM}	=	4500 V
I_{TGM}	=	630 A
I_{TSM}	=	5×10^3 A
$V_{\text{(T0)}}$	=	1.8 V
r_{T}	=	2 m Ω
V_{DClink}	=	2800 V

Reverse Conducting Integrated Gate-Commutated Thyristor

5SHX 08F4510

PRELIMINARY

Doc. No. 5SYA1223-05 March 08

- High snubberless turn-off rating
- Optimized for medium frequency (<1 kHz) and low turn-off losses
- High reliability
- High electromagnetic immunity
- Simple control interface with status feedback
- AC or DC supply voltage
- Suitable for series connection (contact factory)



Blocking

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Repetitive peak off-state voltage	V_{DRM}	Gate Unit energized			4500	V
100 FIT failure rate of RC-GCT		in open air. Gate Unit energized				

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Repetitive peak off-state current	I_{DRM}	$V_{\text{D}} = V_{\text{DRM}}$, Gate Unit energized			20	mA

Mechanical data (see Fig. 20, 21)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Mounting force	F_{m}		14	16	18	kN

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Pole-piece diameter	D_{p}	± 0.1 mm		47		mm
Housing thickness	H		25.9		26.4	mm
Weight	m				1.01	kg
Surface creepage distance	D_{s}	Anode to Gate	33			mm
Air strike distance	D_{a}	Anode to Gate	13			mm
Length	l	± 1.0 mm		296		mm
Height	h	± 1.0 mm		47		mm
Width IGCT	w	± 1.0 mm		208		mm

Note 1 Maximum rated values indicate limits beyond which damage to the device may occur

ABB Switzerland Ltd, Semiconductors reserves the right to change specifications without notice.

GCT Data

On-state (see Fig. 3 to 6, 23)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. average on-state current	$I_{T(AV)M}$	Half sine wave, $T_C = 85\text{ }^\circ\text{C}$, Double side cooled			250	A
Max. RMS on-state current	$I_{T(RMS)}$				390	A
Max. peak non-repetitive surge on-state current	I_{TSM}	$t_p = 10\text{ ms}$, $T_j = 115\text{ }^\circ\text{C}$, sine wave after surge: $V_D = V_R = 0\text{ V}$			5×10^3	A
Limiting load integral	I^2t				125×10^3	A^2s
Max. peak non-repetitive surge on-state current	I_{TSM}	$t_p = 1\text{ ms}$, $T_j = 115\text{ }^\circ\text{C}$, sine wave after surge: $V_D = V_R = 0\text{ V}$			9×10^3	A
Limiting load integral	I^2t				40.5×10^3	A^2s
Critical rate of rise of on-state current	di_T/dt_{cr}	For higher di_T/dt and current lower than 30 A an external retrigger pulse is required.			TBD	$\text{A}/\mu\text{s}$

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
On-state voltage	V_T	$I_T = 630\text{ A}$, $T_j = 115\text{ }^\circ\text{C}$			3	V
Threshold voltage	$V_{(TO)}$	$T_j = 115\text{ }^\circ\text{C}$			1.8	V
Slope resistance	r_T	$I_T = 100 \dots 1000\text{ A}$			2	$\text{m}\Omega$

Turn-on switching (see Fig. 23, 25)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Critical rate of rise of on-state current	di_T/dt_{cr}	$f = 500\text{ Hz}$, $T_j = 115\text{ }^\circ\text{C}$, $I_T = 630\text{ A}$, $V_D = 2700\text{ V}$			250	$\text{A}/\mu\text{s}$

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Turn-on delay time	t_{don}	$V_D = 2700\text{ V}$, $T_j = 115\text{ }^\circ\text{C}$			3	μs
Turn-on delay time status feedback	$t_{don SF}$	$I_T = 630\text{ A}$, $di/dt = V_D / L_i$ $L_i = 10.7\text{ }\mu\text{H}$ $C_{CL} = 2\text{ }\mu\text{F}$, $L_{CL} = 1\text{ }\mu\text{H}$			7	μs
Rise time	t_r				1	μs
Turn-on energy per pulse	E_{on}				0.25	J

Turn-off switching (see Fig. 7, 8, 23, 25)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. controllable turn-off current	I_{TGQM}	$V_{DM} \leq V_{DRM}$, $T_j = 115\text{ }^\circ\text{C}$, $V_D = 1900\text{ V}$, $R_S = 1.2\text{ }\Omega$, $C_{CL} = 2\text{ }\mu\text{F}$, $L_{CL} \leq 1\text{ }\mu\text{H}$			800	A
Max. controllable turn-off current	I_{TGQM}	$V_{DM} \leq V_{DRM}$, $T_j = 115\text{ }^\circ\text{C}$, $V_D = 2700\text{ V}$, $R_S = 1.2\text{ }\Omega$, $C_{CL} = 2\text{ }\mu\text{F}$, $L_{CL} \leq 1\text{ }\mu\text{H}$			630	A

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Turn-off delay time	t_{doff}	$V_D = 2700\text{ V}$, $T_j = 115\text{ }^\circ\text{C}$			6	μs
Turn-off delay time status feedback	$t_{doff SF}$	$V_{DM} \leq V_{DRM}$, $R_S = 1.2\text{ }\Omega$ $I_{TGO} = 630\text{ A}$, $L_i = 10.7\text{ }\mu\text{H}$ $C_{CL} = 2\text{ }\mu\text{F}$, $L_{CL} = 1\text{ }\mu\text{H}$			7	μs
Turn-off energy per pulse	E_{off}				2.9	J

ABB Switzerland Ltd, Semiconductors reserves the right to change specifications without notice.

Diode Data

On-state (see Fig. 9 to 12, 24, 25)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. average on-state current	$I_{F(AV)M}$	Half sine wave, $T_C = 85\text{ °C}$			130	A
Max. RMS on-state current	$I_{F(RMS)}$				205	A
Max. peak non-repetitive surge current	I_{FSM}	$t_p = 10\text{ ms}$, $T_{vj} = 115\text{ °C}$, $V_R = 0\text{ V}$			6.1×10^3	A
Limiting load integral	I^2t				186.1×10^3	A^2s
Max. peak non-repetitive surge current	I_{FSM}	$t_p = 1\text{ ms}$, $T_{vj} = 115\text{ °C}$, $V_R = 0\text{ V}$			15.6×10^3	A
Limiting load integral	I^2t				121.7×10^3	A^2s

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
On-state voltage	V_F	$I_F = 630\text{ A}$, $T_{vj} = 115\text{ °C}$			5.7	V
Threshold voltage	$V_{(FD)}$	$T_{vj} = 115\text{ °C}$ $I_F = 100 \dots 1000\text{ A}$			2.8	V
Slope resistance	r_F				4.6	$m\Omega$

Turn-on (see Fig. 24, 25)

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Peak forward recovery voltage	V_{FRM}	$di_F/dt = 300\text{ A}/\mu\text{s}$, $T_{vj} = 115\text{ °C}$			80	V
		$di_F/dt = 1400\text{ A}/\mu\text{s}$, $T_{vj} = 115\text{ °C}$			250	V

Turn-off (see Fig. 13 to 17, 24, 25)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. decay rate of on-state current	di/dt_{crit}	$I_{FM} = 630\text{ A}$, $T_{vj} = 115\text{ °C}$ $V_{DClink} = 2700\text{ V}$			250	$A/\mu\text{s}$

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Reverse recovery current	I_{RM}	$I_{FM} = 630\text{ A}$, $V_{DC-Link} = 2700\text{ V}$ $-di_F/dt = 250\text{ A}/\mu\text{s}$, $L_{CL} = 1\text{ }\mu\text{H}$ $C_{CL} = 2\text{ }\mu\text{F}$, $R_S = 1.2\text{ }\Omega$, $T_{vj} = 115\text{ °C}$, $D_{CL} = 5\text{ SDF } 03\text{D}4502$			400	A
Reverse recovery charge	Q_{rr}				TBD	μC
Turn-off energy	E_{rr}				1.5	J

Gate Unit Data

Power supply (see Fig. 18, 19)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Gate Unit voltage (Connector X1)	$V_{GIN,RMS}$	AC square wave amplitude (15 kHz - 100kHz) or DC voltage. No galvanic isolation to power circuit.	28		40	V
Min. current needed to power up the Gate Unit	$I_{GIN Min}$	Rectified average current see application note 5SYA 2031	1.1			A
Gate Unit power consumption	$P_{GIN Max}$				80	W

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Internal current limitation	$I_{GIN Max}$	Rectified average current limited by the Gate Unit			7	A

Optical control input/output ¹⁾ (see Fig. 23)

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Min. on-time	t_{on}		10			μs
Min. off-time	t_{off}		10			μs
Min. Switching period	$t_{on} + t_{off}$		60			μs

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Optical input power	$P_{on CS}$	CS: Control signal SF: Status feedback Valid for 1mm plastic optical fiber (POF)	-15		-1	dBm
Optical noise power	$P_{off CS}$				-45	dBm
Optical output power	$P_{on SF}$		-19		-1	dBm
Optical noise power	$P_{off SF}$				-50	dBm
Pulse width threshold	t_{GLITCH}	Max. pulse width without response			400	ns
External retrigger pulse width	t_{retrig}		600		1100	ns

1) Do not disconnect or connect fiber optic cables while light is on.

Connectors ¹⁾ (see Fig. 20 to 22)

Parameter	Symbol	Description
Gate Unit power connector	X1	AMP: MTA-156, Part Number 641210-5 ²⁾
LWL receiver for command signal	CS	Agilent, Type HFBR-2528 ³⁾
LWL transmitter for status feedback	SF	Agilent, Type HFBR-1528 ³⁾

1) Do not disconnect or connect fiber optic cables while light is on.

2) AMP, www.amp.com

3) Agilent Technologies, www.semiconductor.agilent.com

Visual feedback (see Fig. 22)

Parameter	Symbol	Description	Color
Gate OFF	LED1	"Light" when GCT is off	(green)
Gate ON	LED2	"Light" when gate-current is flowing	(yellow)
Fault	LED3	"Light" when not ready / Failure	(red)
Power supply voltage OK	LED4	"Light" when power supply is within specified range	(green)

Thermal

Maximum rated values ^{Note 1}

Parameter	Symbol	Conditions	min	typ	max	Unit
Junction operating temperature	T_{vj}		0		115	°C
Storage temperature range	T_{stg}		-40		60	°C
Ambient operational temperature	T_a		0		60	°C

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Thermal resistance junction-to-case of GCT	$R_{th(jc)}$	Double side cooled			40	K/kW
Thermal resistance case-to-heatsink of GCT	$R_{th(ch)}$	Diode not dissipating			16	K/kW
Thermal resistance junction-to-case of Diode	$R_{th(jc)}$	Double side cooled			53	K/kW
Thermal resistance case-to-heatsink of Diode	$R_{th(ch)}$	GCT not dissipating			17	K/kW

Analytical function for transient thermal impedance:

$$Z_{thJC}(t) = \sum_{i=1}^n R_i(1 - e^{-t/\tau_i})$$

GCT

i	1	2	3	4
$R_i(K/kW)$	25.085	9.201	3.622	2.114
$\tau_i(s)$	0.5591	0.0708	0.0067	0.0017

Diode

i	1	2	3	4
$R_i(K/kW)$	33.329	12.207	4.726	2.742
$\tau_i(s)$	0.5595	0.0710	0.0067	0.0017

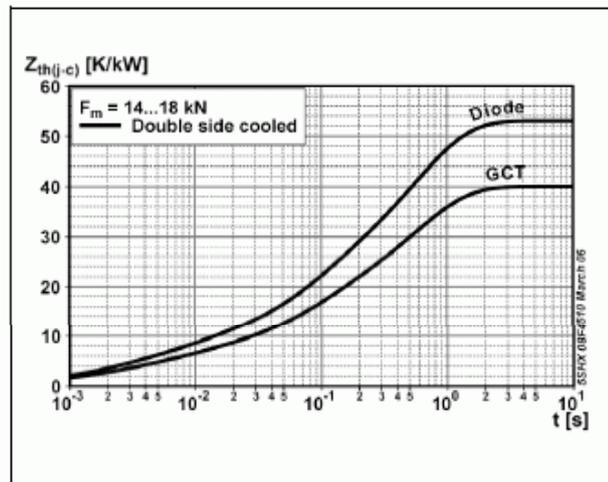


Fig. 1 Transient thermal impedance (junction-to-case) vs. time (max. values)

Max. Turn-off current for Lifetime operation

- calculated lifetime of on-board capacitors 20 years
- with slightly forced air cooling (air velocity > 0.5 m/s)
- strong air cooling allows for increased ambient temperature

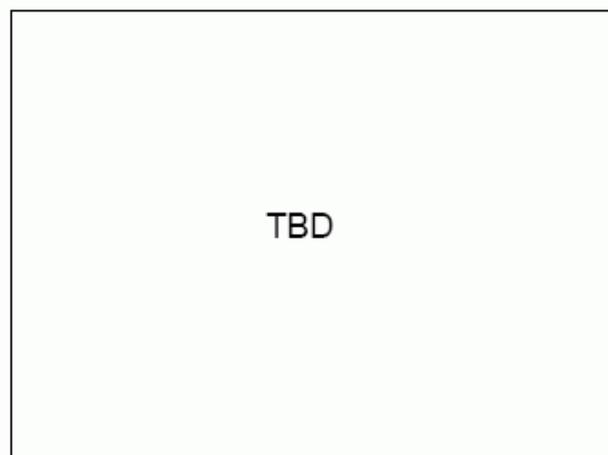


Fig. 2 Max. turn-off current vs. frequency for lifetime operation

GCT Part

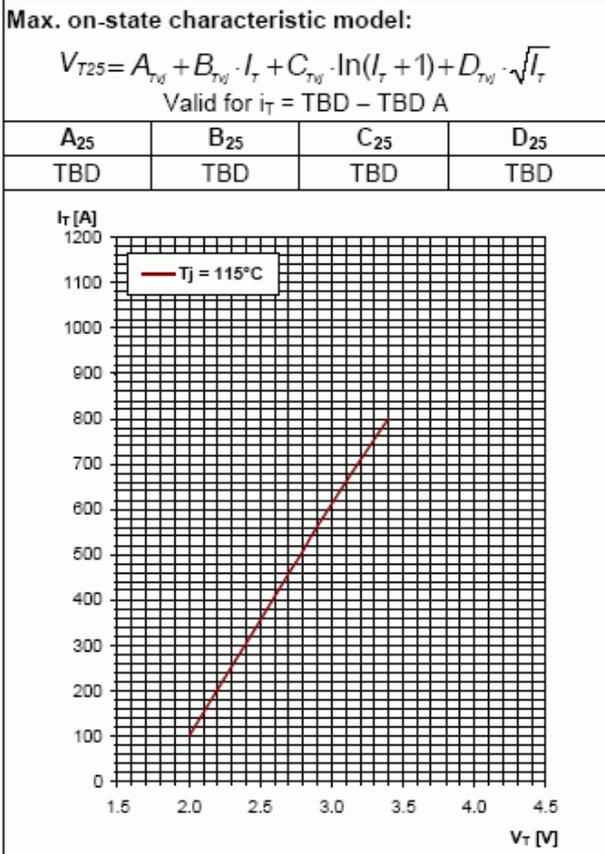


Fig. 3 GCT on-state voltage characteristics

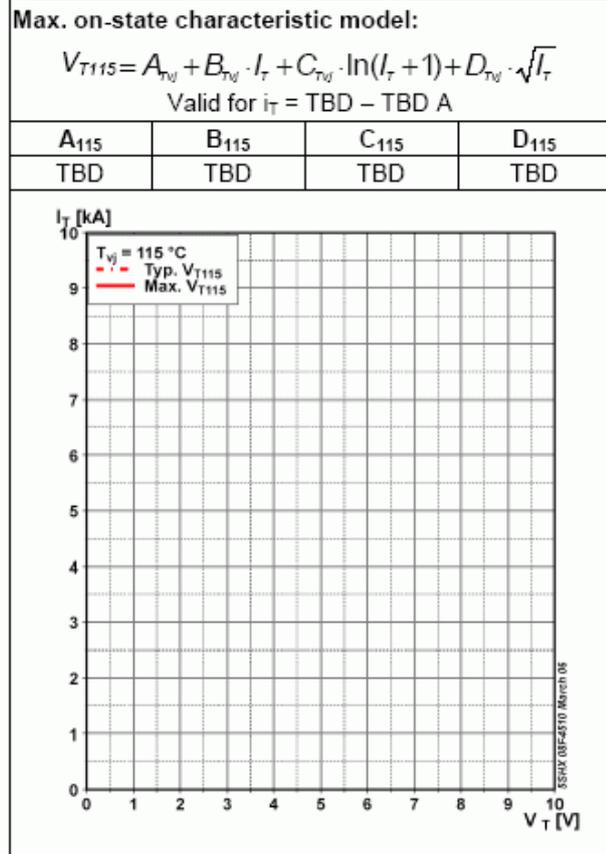


Fig. 4 GCT on-state voltage characteristics

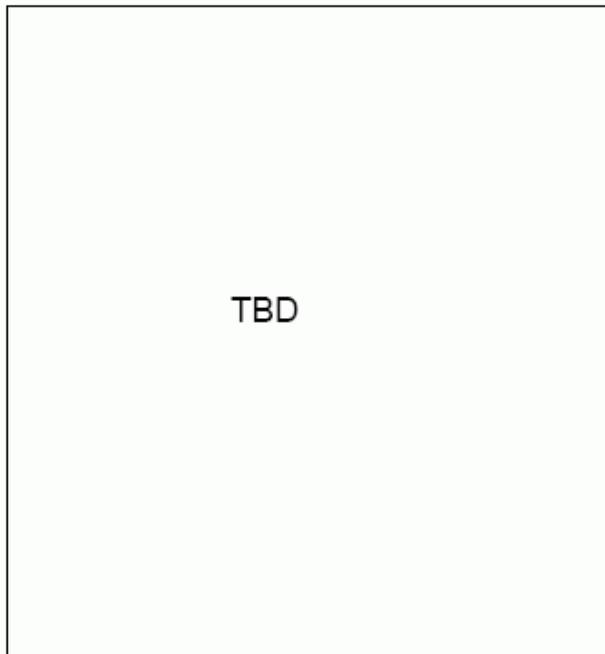


Fig. 5 GCT surge on-state current vs. pulse length, half-sine wave

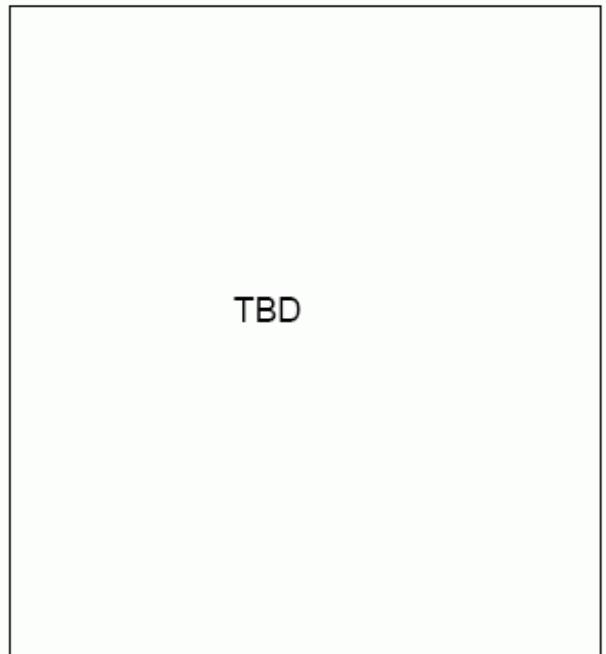


Fig. 6 GCT surge on-state current vs. number of pulses, half-sine wave, 10 ms, 50Hz

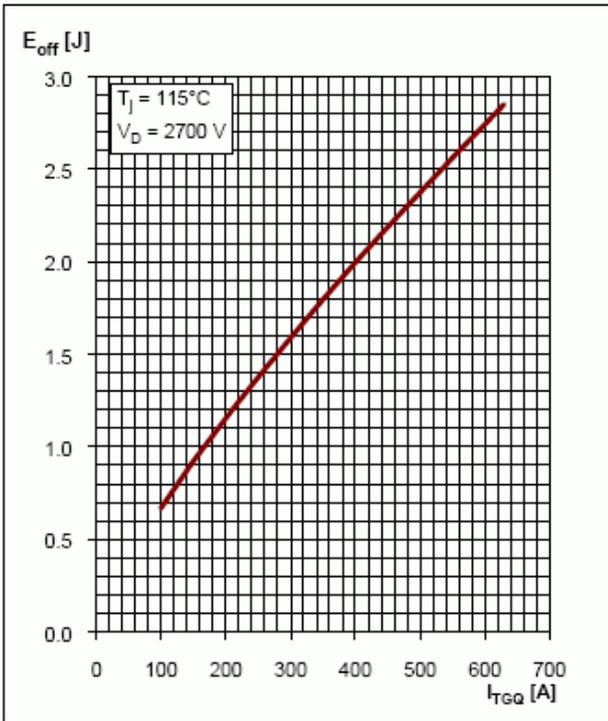


Fig. 7 GCT turn-off energy per pulse vs. turn-off current

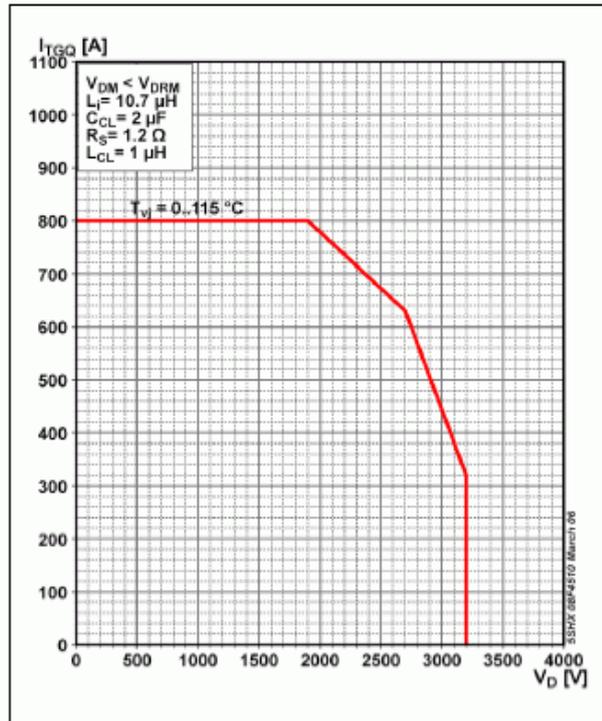


Fig. 8 GCT Safe Operating Area

Diode Part

Max. on-state characteristic model:

$$V_{F25} = A_{T_{vj}} + B_{T_{vj}} \cdot I_T + C_{T_{vj}} \cdot \ln(I_T + 1) + D_{T_{vj}} \cdot \sqrt{I_T}$$

Valid for $I_T = \text{TBD} - \text{TBD A}$

A ₂₅	B ₂₅	C ₂₅	D ₂₅
TBD	TBD	TBD	TBD

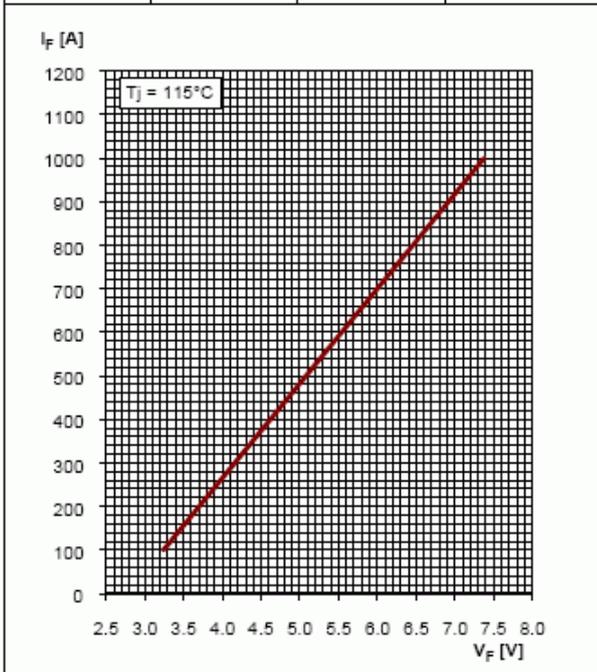


Fig. 9 Diode on-state voltage characteristics

Max. on-state characteristic model:

$$V_{F115} = A_{T_{vj}} + B_{T_{vj}} \cdot I_T + C_{T_{vj}} \cdot \ln(I_T + 1) + D_{T_{vj}} \cdot \sqrt{I_T}$$

Valid for $I_T = \text{TBD} - \text{TBD A}$

A ₁₁₅	B ₁₁₅	C ₁₁₅	D ₁₁₅
TBD	TBD	TBD	TBD

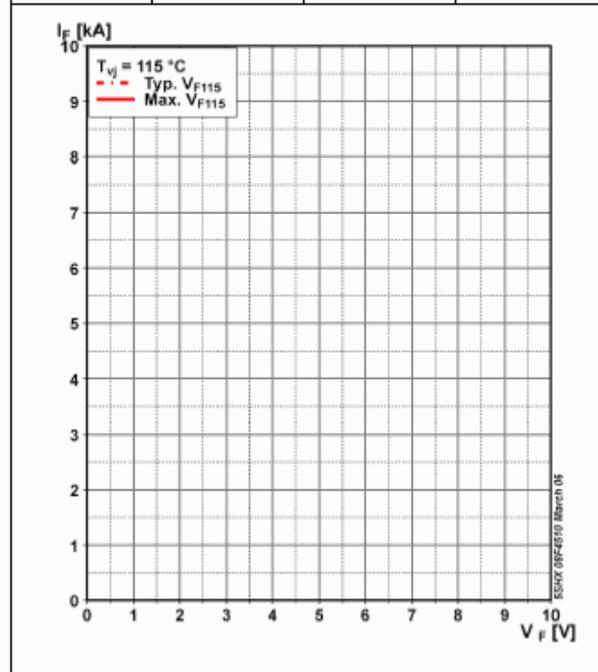


Fig. 10 Diode on-state voltage characteristics

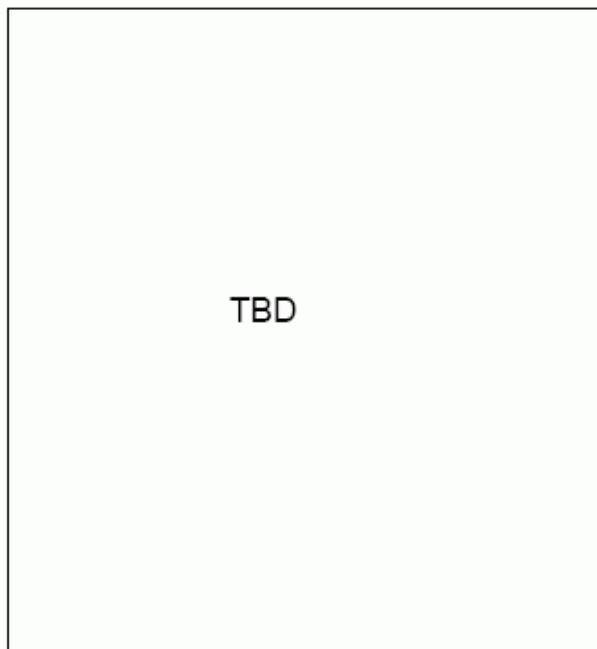


Fig. 11 Diode surge on-state current vs. pulse length, half-sine wave

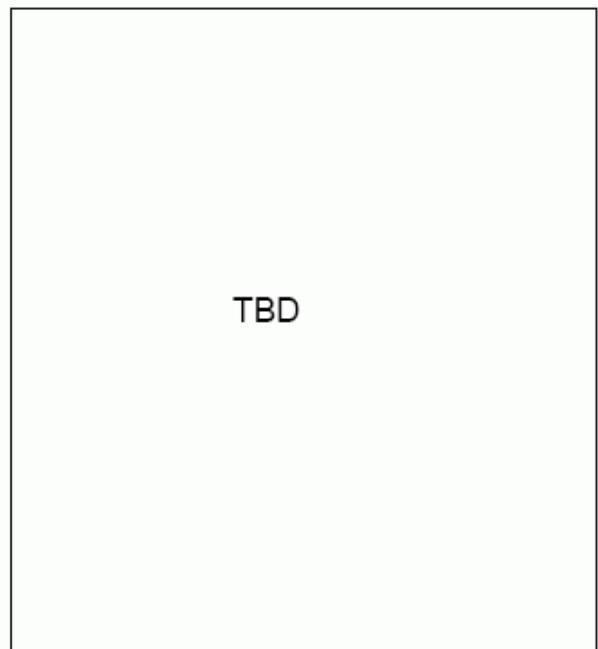


Fig. 12 Diode surge on-state current vs. number of pulses, half-sine wave, 10 ms, 50Hz

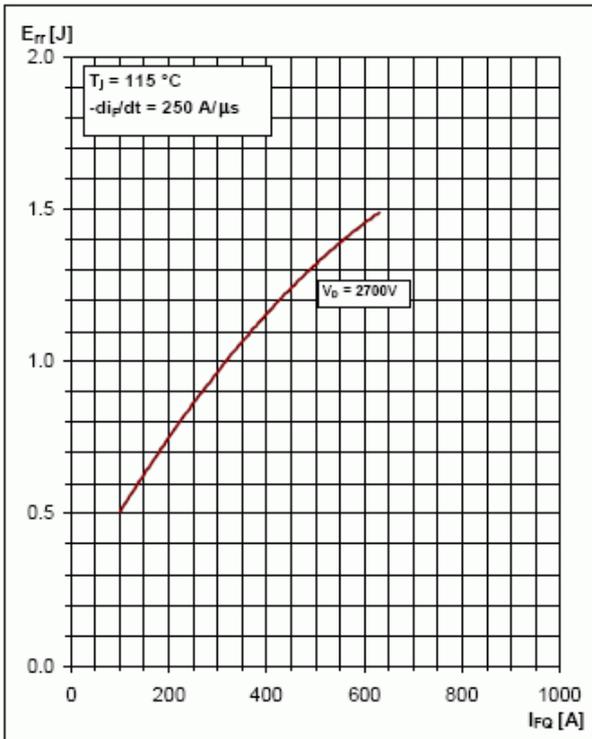


Fig. 13 Upper scatter range of diode turn-off energy per pulse vs. turn-off current

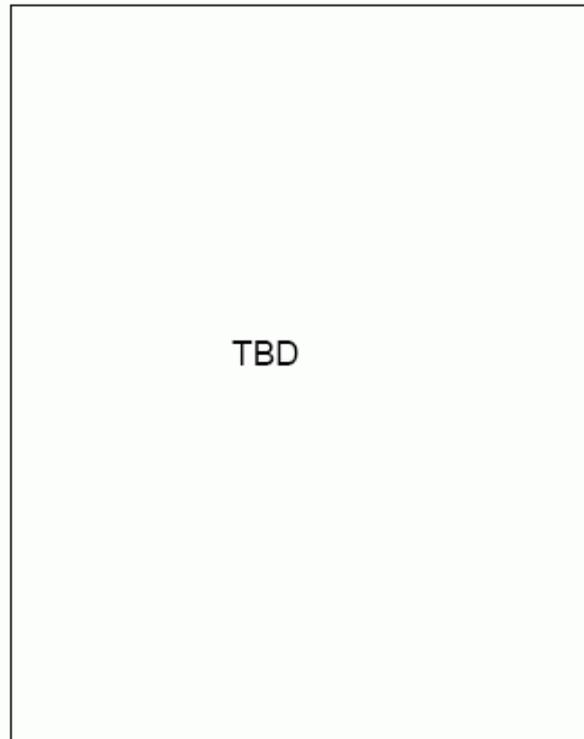


Fig. 14 Upper scatter range of diode turn-off energy per pulse vs. decay rate of on-state current

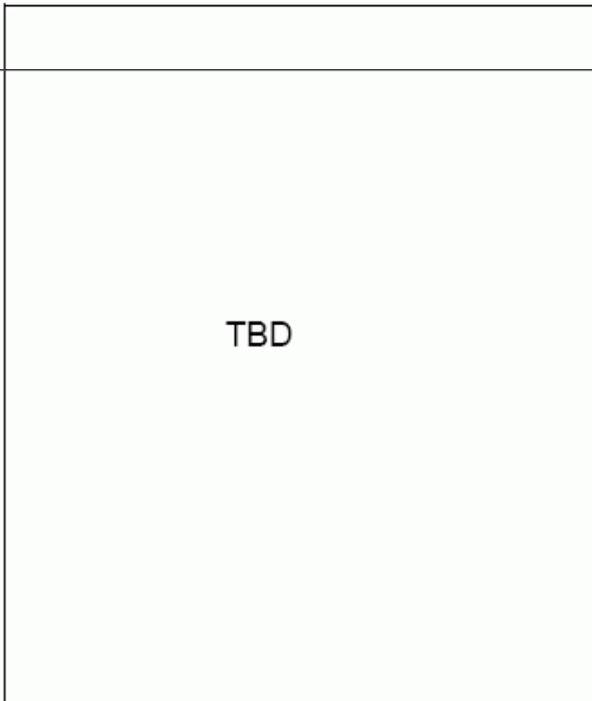


Fig. 15 Upper scatter range of diode reverse recovery charge vs. decay rate of on-state current

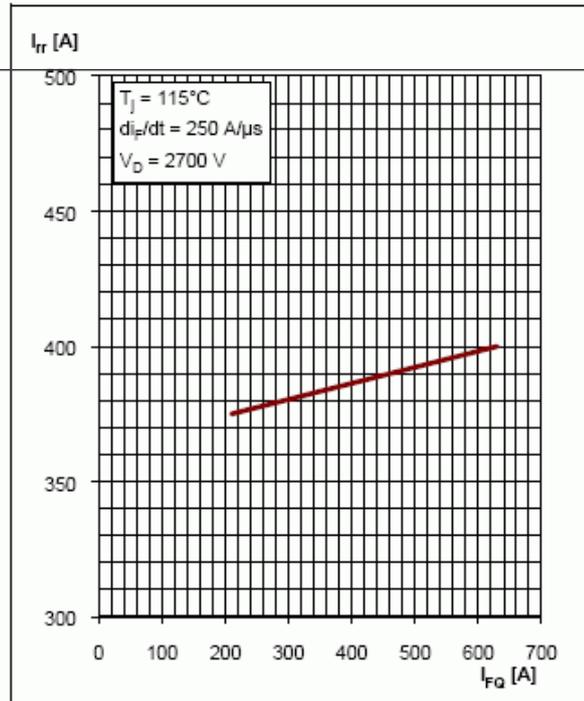


Fig. 16 Upper scatter range of diode reverse recovery current vs. decay rate of on-state current

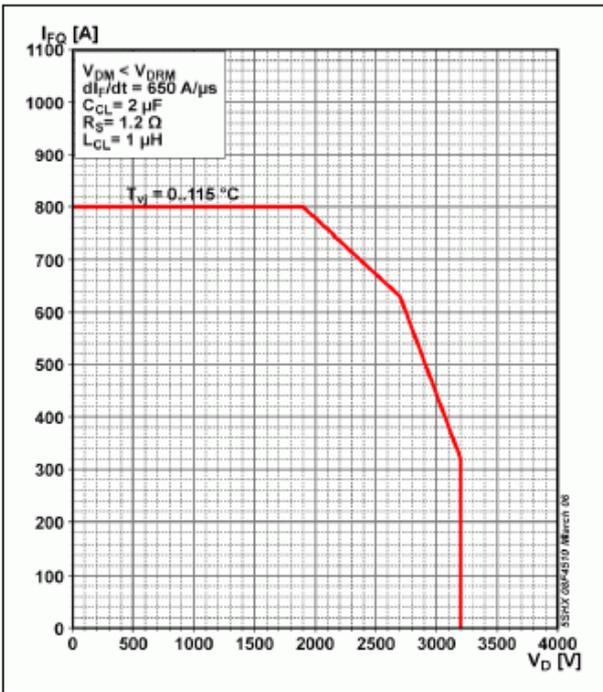


Fig. 17 Diode Safe Operating Area

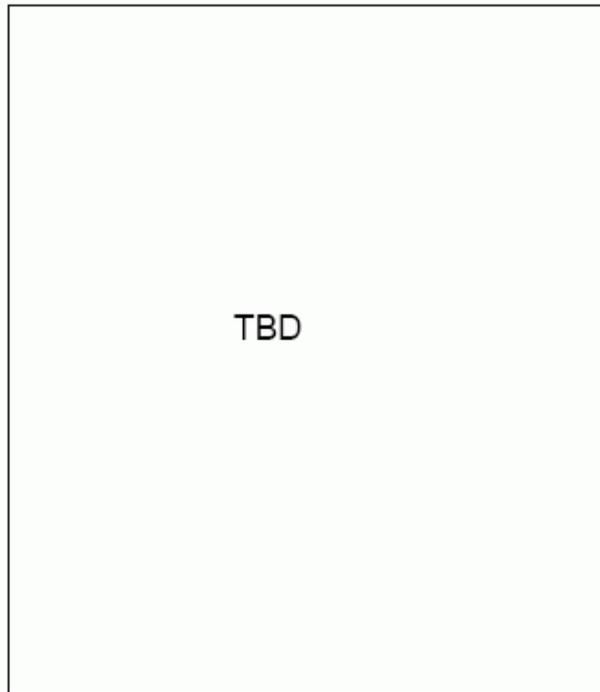


Fig. 18 Max. Gate Unit input power in chopper mode

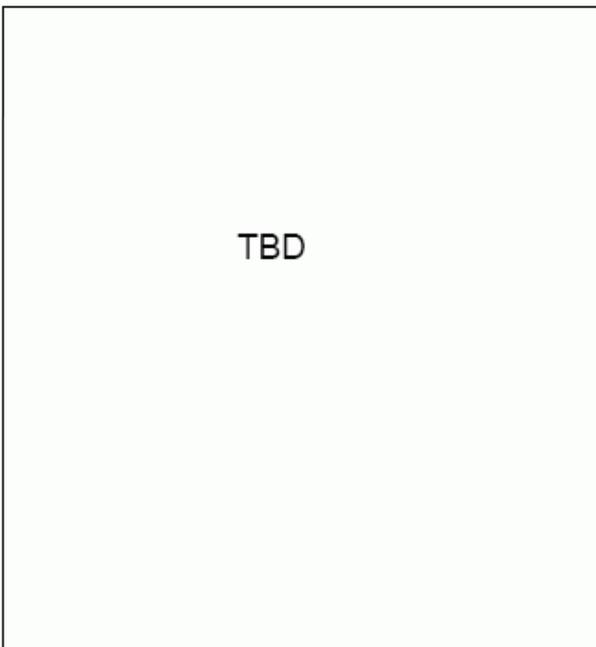


Fig. 19 Burst capability

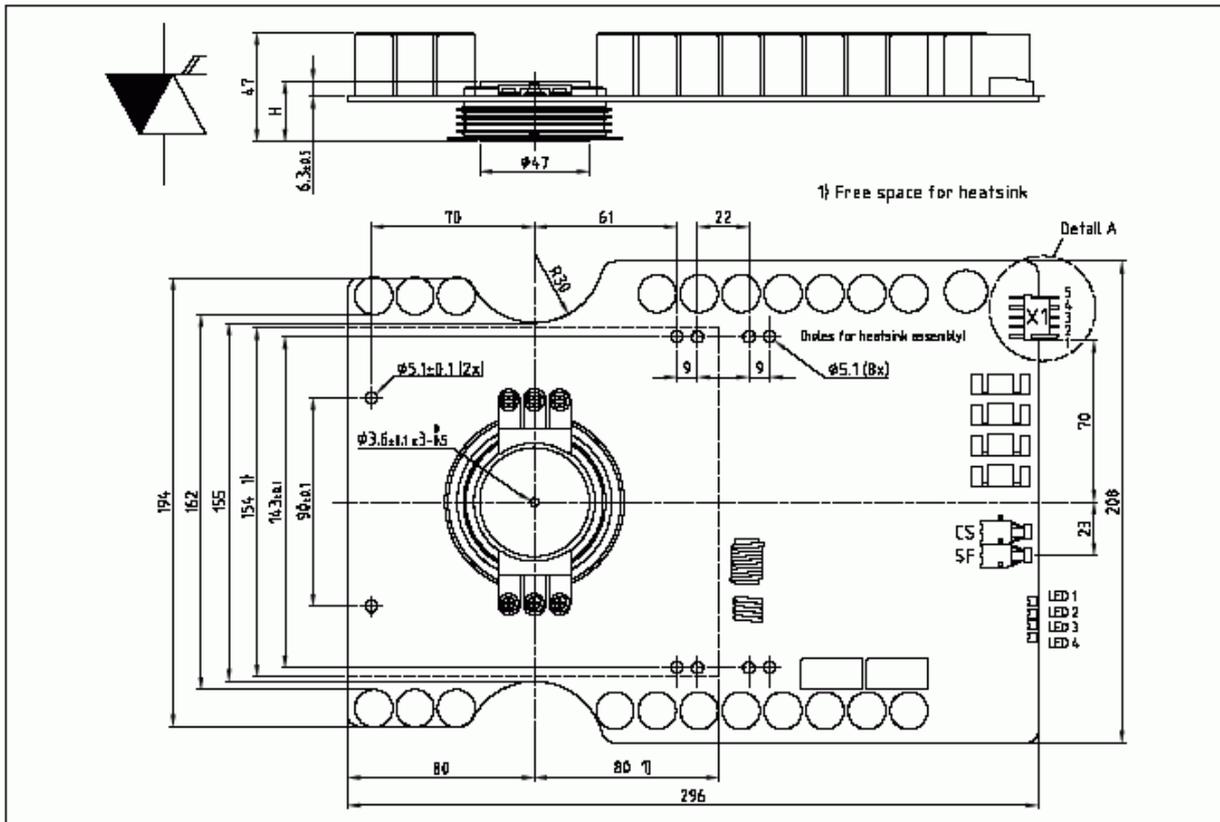


Fig. 20 Outline drawing; all dimensions are in millimeters and represent nominal values unless stated otherwise

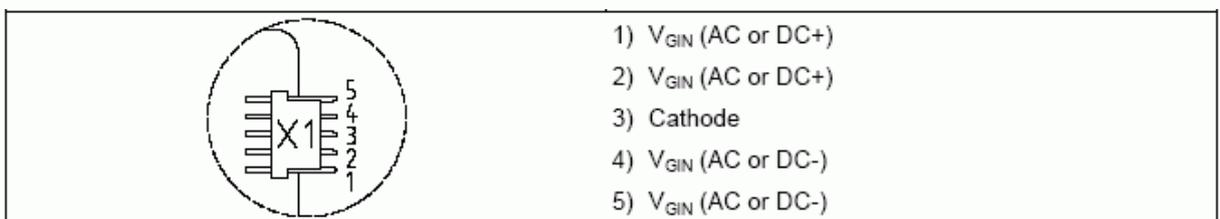


Fig. 21 Detail A: pin out of supply connector X1.

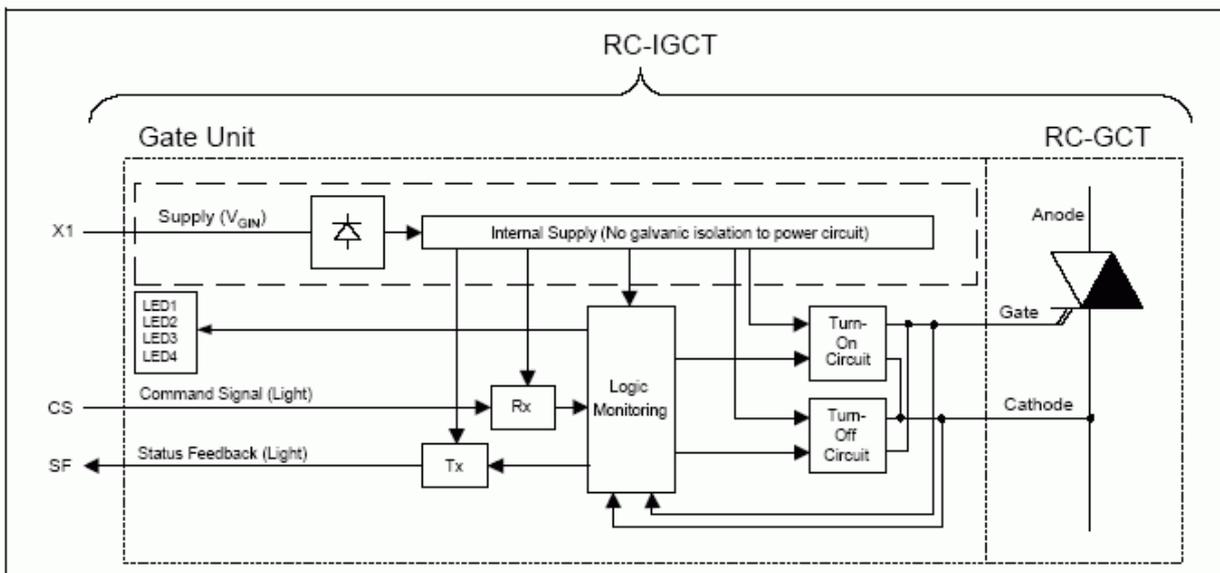


Fig. 22 Block diagram

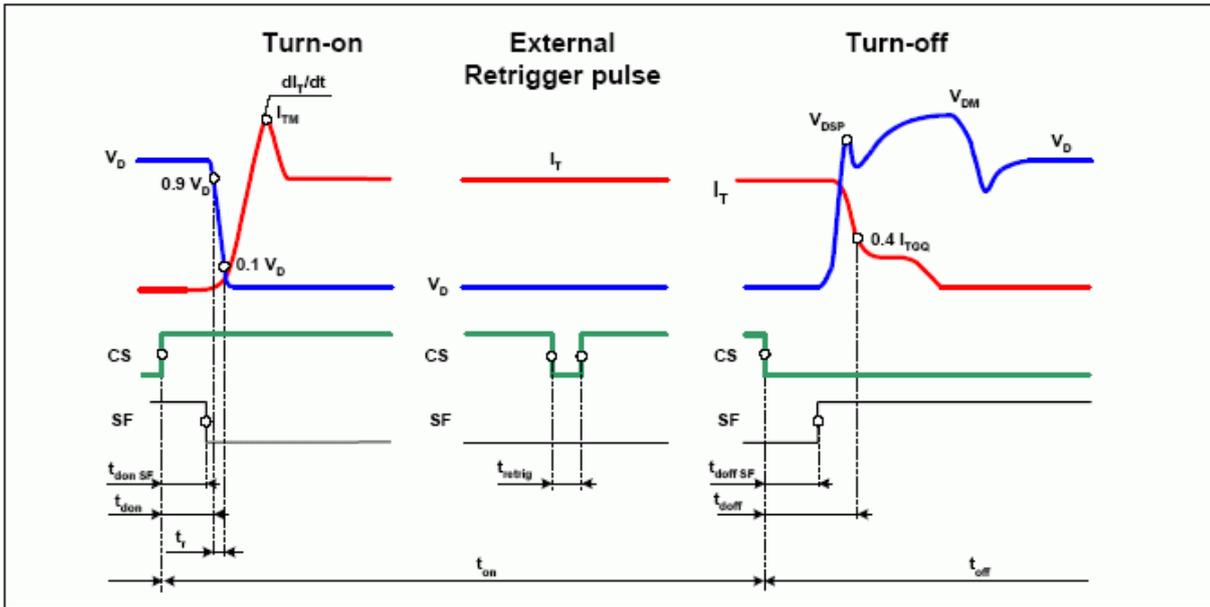


Fig. 23 General current and voltage waveforms with IGBT-specific symbols

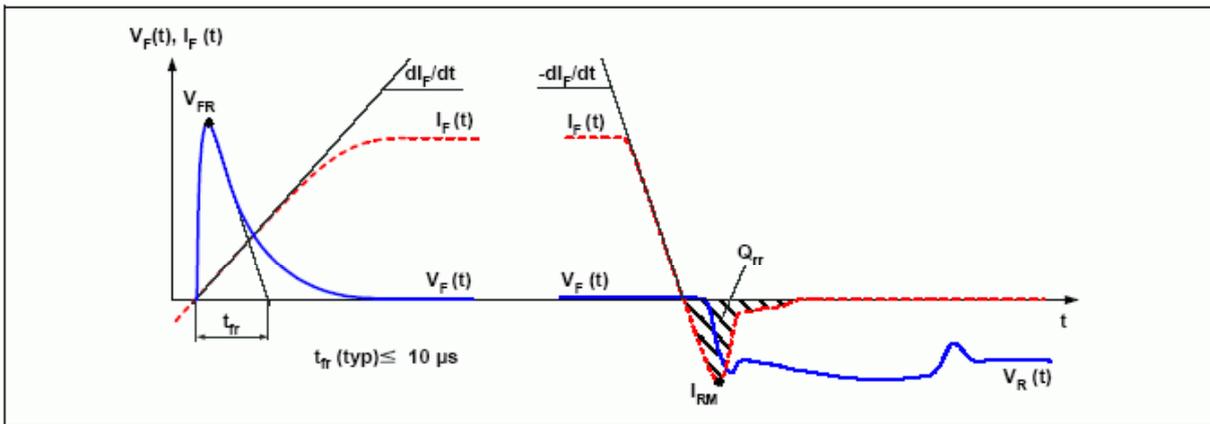


Fig. 24 General current and voltage waveforms with Diode-specific symbols

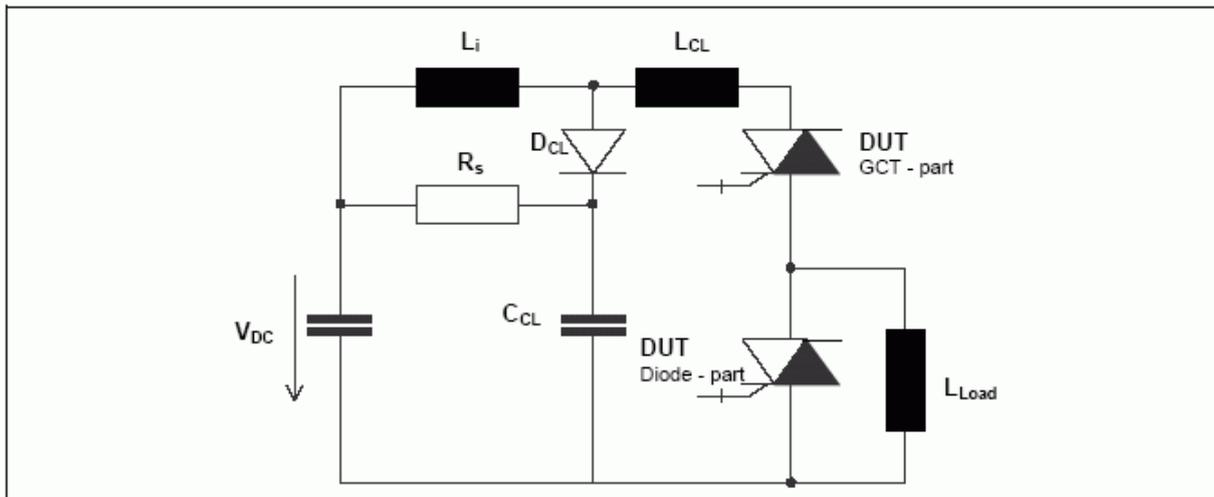


Fig. 25 Test circuit

Related documents:

5SYA 2031	Applying IGCT Gate Units
5SYA 2032	Applying IGCTs
5SYA 2036	Recommendations regarding mechanical clamping of Press Pack High Power Semiconductors
5SYA 2046	Cosmic Ray
5SZK 9107	Specification of environmental class for pressure contact IGCTs, OPERATION is available on request, please contact factory

Please refer to <http://www.abb.com/semiconductors> for actual versions.

ABB Switzerland Ltd, Semiconductors reserves the right to change specifications without notice.

ABB

ABB Switzerland Ltd
Semiconductors
Fabrikstrasse 3
CH-5600 Lenzburg, Switzerland

Doc. No. 5SYA1223-05 March 08

Telephone +41 (0)58 586 1419
Fax +41 (0)58 586 1306
Email abbsem@ch.abb.com
Internet www.abb.com/semiconductors

B. Folha de Especificação dos Diodos de Grampeamento:

V_{RRM}	=	5500 V
$I_{F(AV)M}$	=	175 A
I_{FSM}	=	3×10^3 A
$V_{(T0)}$	=	3.35 V
r_T	=	7.2 m Ω
$V_{DC-link}$	=	3300 V

Fast Recovery Diode

5SDF 02D6004

PRELIMINARY

Doc. No. 5SYA1118-02 Okt. 02

- Patented free-floating technology
- Industry standard housing
- Cosmic radiation withstand rating
- Low on-state and switching losses
- Optimized for snubberless operation

Blocking

Maximum rated values ¹⁾

Parameter	Symbol	Conditions	Value	Unit
Repetitive peak reverse voltage	V_{RRM}	$f = 50$ Hz, $t_p = 10$ ms, $T_{vj} = 115^\circ\text{C}$	5500	V
Permanent DC voltage for 100 FIT failure rate	$V_{DC-link}$	Ambient cosmic radiation at sea level in open air. (100% Duty)	3300	V
Permanent DC voltage for 100 FIT failure rate	$V_{DC-link}$	Ambient cosmic radiation at sea level in open air. (5% Duty)	3900	V

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Repetitive peak reverse current	I_{RRM}	$V_R = V_{RRM}$, $T_{vj} = 115^\circ\text{C}$			20	mA

Mechanical data

Maximum rated values ¹⁾

Parameter	Symbol	Conditions	min	typ	max	Unit
Mounting force	F_m		14	16	18	kN
Acceleration	a	Device unclamped			50	m/s ²
Acceleration	a	Device clamped			200	m/s ²

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Weight	m				0.25	kg
Housing thickness	H		26.0		26.6	mm
Surface creepage distance	D_S		30			mm
Air strike distance	D_a		20			mm

Note 1 Maximum rated values indicate limits beyond which damage to the device may occur

ABB Switzerland Ltd, Semiconductors reserves the right to change specifications without notice.



On-state*Maximum rated values ¹⁾*

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. average on-state current	$I_{F(AV)M}$	Half sine wave, $T_C = 70\text{ °C}$			175	A
Max. RMS on-state current	$I_{F(RMS)}$				275	A
Max. peak non-repetitive surge current	I_{FSM}	$t_p = 10\text{ ms}$, $T_{vj} = 115\text{ °C}$, $V_R = 0\text{ V}$			3×10^3	A
Limiting load integral	I^2t				45×10^3	A^2s
Max. peak non-repetitive surge current	I_{FSM}	$t_p = 1\text{ ms}$, $T_{vj} = 115\text{ °C}$, $V_R = 0\text{ V}$			8×10^3	A
Limiting load integral	I^2t				32×10^3	A^2s

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
On-state voltage	V_F	$I_F = 520\text{ A}$, $T_{vj} = 115\text{ °C}$			7.1	V
Threshold voltage	$V_{(TD)}$	$T_{vj} = 115\text{ °C}$			3.35	V
Slope resistance	r_T	$I_F = 200 \dots 1000\text{ A}$			7.2	$m\Omega$

Turn-on*Characteristic values*

Parameter	Symbol	Conditions	min	typ	max	Unit
Peak forward recovery voltage	V_{FRM}	$di_F/dt = 1000\text{ A}/\mu\text{s}$, $T_{vj} = 115\text{ °C}$			370	V

Turn-off*Maximum rated values ¹⁾*

Parameter	Symbol	Conditions	min	typ	max	Unit
Max. decay rate of on-state current	di/dt_{crit}	$I_{FM} = A$, $T_{vj} = 115\text{ °C}$ $V_{DC-link} = 3300\text{ V}$			220	$A/\mu\text{s}$

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Reverse recovery current	I_{RM}	$I_{FQ} = 520\text{ A}$, $V_{DC-Link} = 3300\text{ V}$			300	A
Reverse recovery charge	Q_{rr}	$di/dt = 220\text{ A}/\mu\text{s}$, $L_{CL} = \text{nH}$				μC
Turn-off energy	E_{rr}	$C_{CL} = \mu\text{F}$, $R_{CL} = \Omega$, $T_j = 115\text{ °C}$			1.8	J

Thermal

Maximum rated values ¹⁾

Parameter	Symbol	Conditions	min	typ	max	Unit
Operating junction temperature range	T_{vj}		-40		115	°C
Storage temperature range	T_{stg}		-40		125	°C

Characteristic values

Parameter	Symbol	Conditions	min	typ	max	Unit
Thermal resistance junction to case	$R_{th(j-c)}$	Double-side cooled $F_m = 14...18$ kN			40	K/kW
	$R_{th(j-c)A}$	Anode-side cooled $F_m = 14...18$ kN			80	K/kW
	$R_{th(j-c)C}$	Cathode-side cooled $F_m = 14...18$ kN			80	K/kW
Thermal resistance case to heatsink	$R_{th(c-h)}$	Double-side cooled $F_m = 14...18$ kN			8	K/kW
	$R_{th(c-h)}$	Single-side cooled $F_m = 14...18$ kN			16	K/kW

Analytical function for transient thermal impedance:

$$Z_{th(j-c)}(t) = \sum_{i=1}^n R_{th i} (1 - e^{-t/\tau_i})$$

i	1	2	3	4
$R_{th i}$ (K/kW)	25.699	9.472	3.381	1.466
τ_i (s)	0.3802	0.0483	0.0060	0.0018

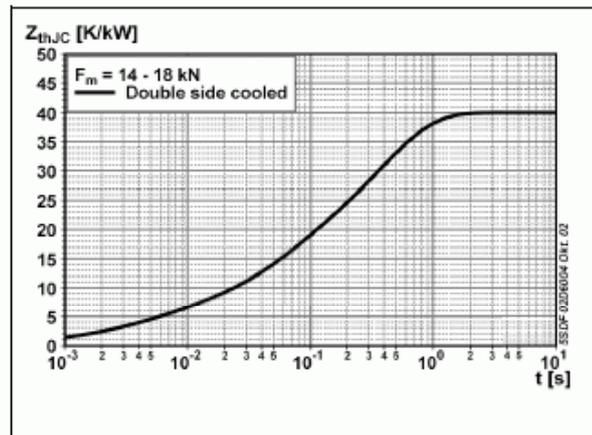


Fig. 1 Transient thermal impedance (junction to case) vs. time in analytical and graphical form (max. values)

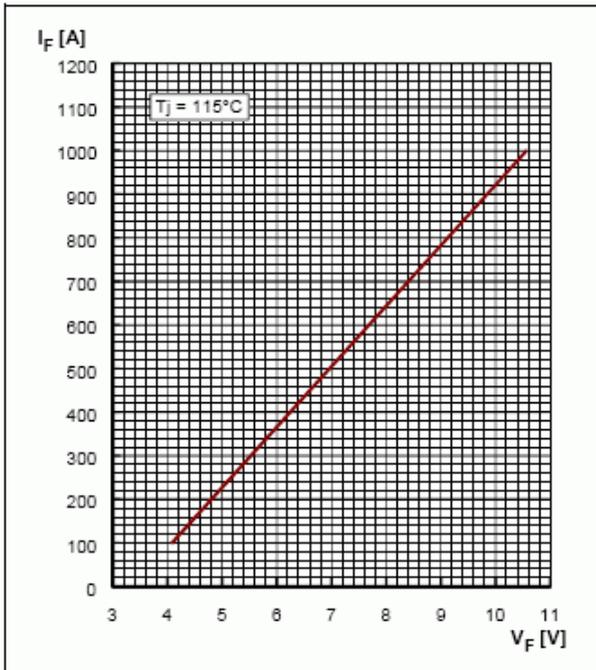


Fig. 2 Forward current vs. forward voltage

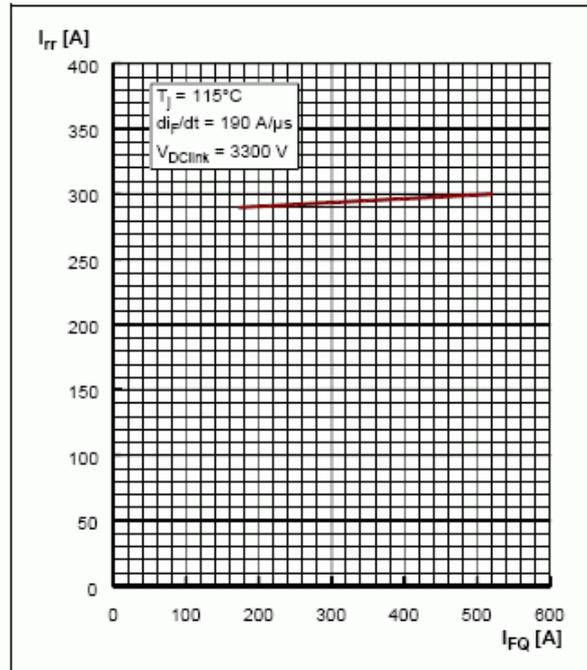


Fig. 3 Diode reverse recovery current vs. turn-off current

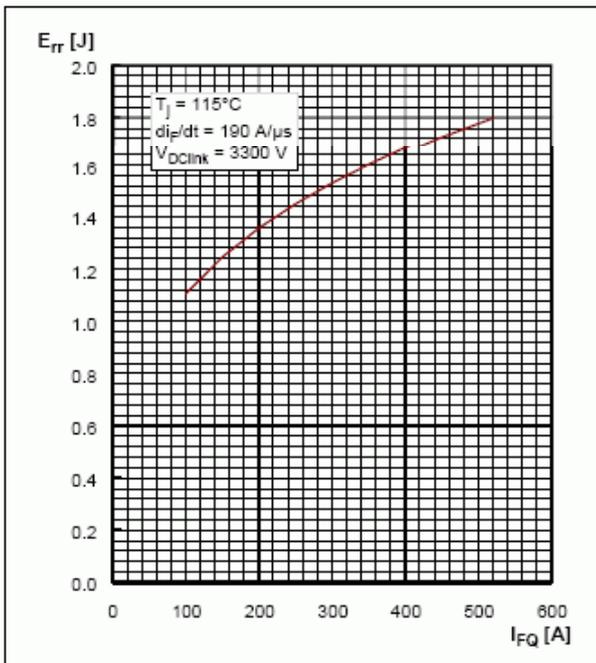


Fig. 4 Diode turn-off energy per pulse vs. turn-off current

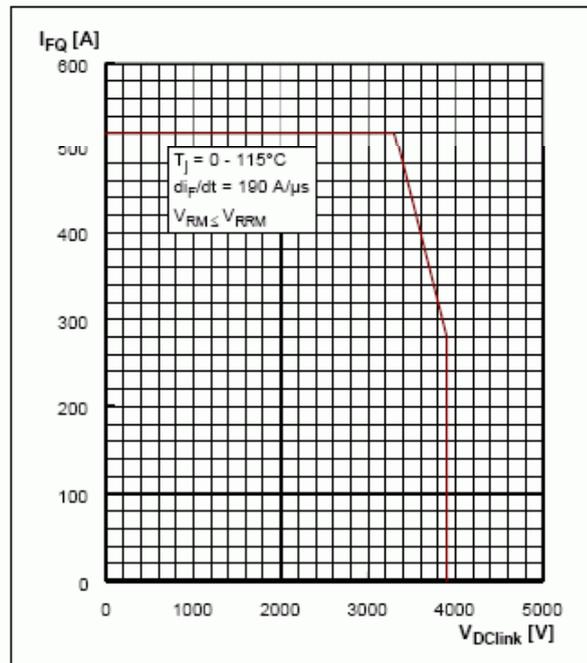


Fig. 5 Max. repetitive diode forward current

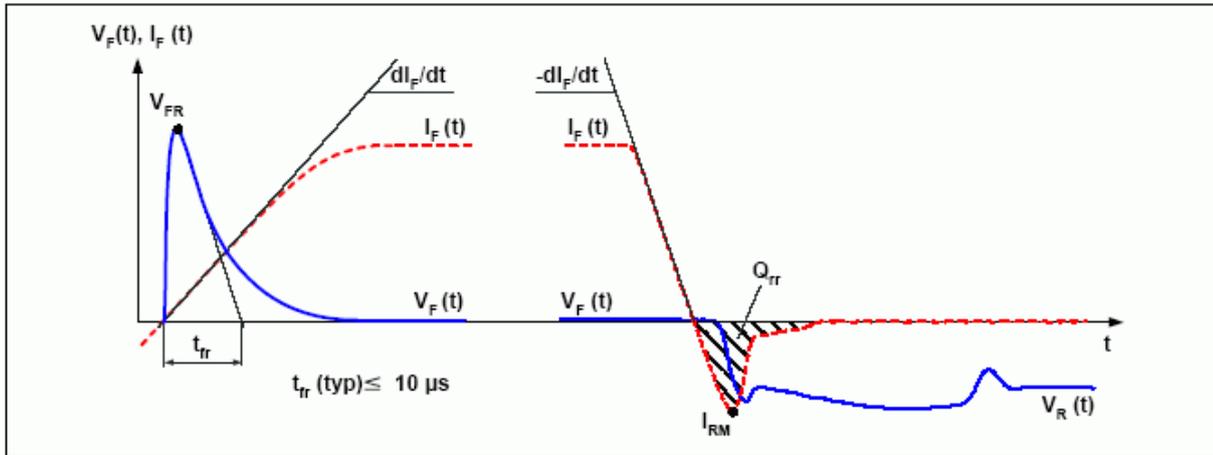


Fig. 6 General current and voltage waveforms

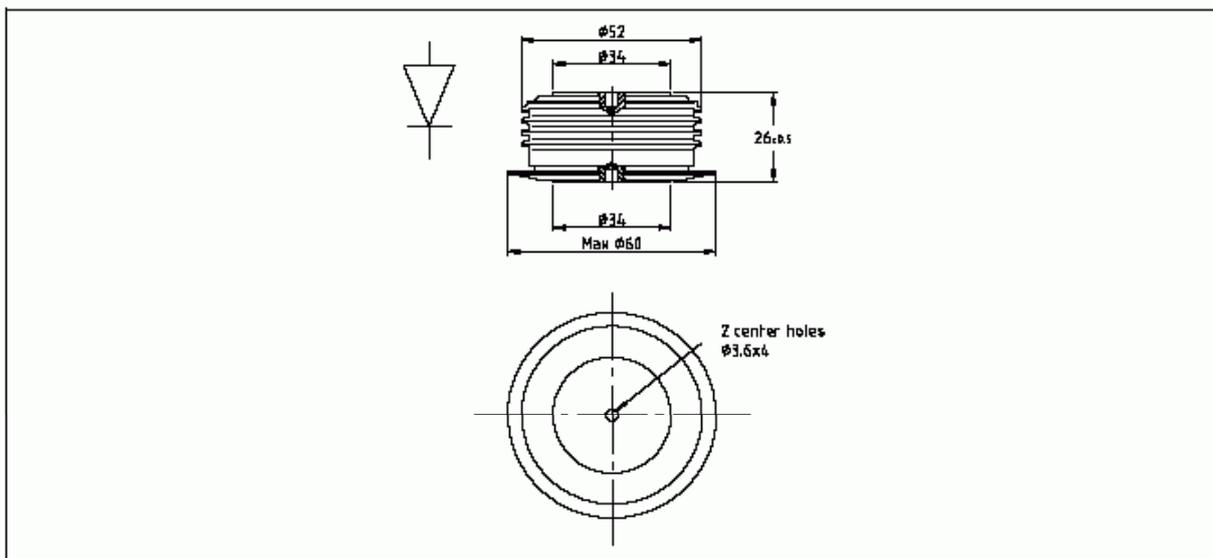


Fig. 7 Outline drawing; all dimensions are in millimeters and represent nominal values unless stated otherwise

Related documents:

Doc. Nr	Titel
SSYA 2036	Recommendations regarding mechanical clamping of Press Pack High Power Semiconductors
SSZK 9104	Specification of environmental class for pressure contact diodes, PCTs and GTO, STORAGE available on request, please contact factory
SSZK 9105	Specification of environmental class for pressure contact diodes, PCTs and GTO, TRANSPORTATION available on request, please contact factory

Please refer to <http://www.abb.com/semiconductors> for current version of documents.

ABB Switzerland Ltd, Semiconductors reserves the right to change specifications without notice.

ABB

ABB Switzerland Ltd
Semiconductors
Fabrikstrasse 3
CH-5600 Lenzburg, Switzerland

Doc. No. 5SYA1118-02 Okt. 02

Telephone +41 (0)58 586 1419
Fax +41 (0)58 586 1306
Email abbsem@ch.abb.com
Internet www.abb.com/semiconductors

Referências Bibliográficas

- [1] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped PWM inverter", *IEEE Transactions on Industry Applications*, IA-17(5):518-523, 1981.
- [2] C. Newton, M. Sumner, T. Alexander, "The investigation and development of a multi-level voltage source inverter", *IEE Sixth International Conference on Power Electronics and Variable Speed Drives*, 317-321, 1996.
- [3] T. Meynard, H. Foch, "Multi-level conversion: high voltage choppers and voltage source inverters", *IEEE 23th Annual Power Electron. Special. Conference*, 1:397-403, 1992.
- [4] J. Lai, F. Peng, J. Stovall, "Multilevel converters - a new breed of power converters", Oak Ridge National Laboratory, Oak Ridge, Tennessee, USA, no. DE-AC05-84OR21400, October 1995.
- [5] P. Loh, D. Holmes, T. Lipo, "Implementation and control of distributed PWM cascaded multilevel invert with minimal harmonic distortion and common-mode voltage", *IEEE Transactions on Power Electronics*, 20(1):90-99, 2005.
- [6] K. Matsuse, T. Kitahata, K. Sugita, "A vector control system for induction motor using a five-level inverter with dc choppers", *IEEE 29th Annual Power Electron. Special. Conference*, 2:984-989, 1998.
- [7] I. Yamamoto, K. Matsui, M. Hasegawa, H. Mori, F. Ueda, "Individual DC Voltage Control of Five Level PWM Inverter for Static Var Compensator", 2:1173-1178, 2002
- [8] F. Peng, J. Wang, "A universal STATCOM with delta-connected cascade multilevel inverter", *35th IEEE Annual Power Electronics Specialists Conference*, 5:3529-3533, 2004.
- [9] K. Corzine, M. Wielebski, F. Peng, J. Wang, "Control of cascaded multilevel inverters", *IEEE Trans. Power Electron.*, 3:1549-1555, 2004.
- [10] V. Somasekhar, K. Gopakumar, "Three-level inverter configuration cascading two two-level Inverter", *IEE proceedings - Electric Power Applications*, 150(3):245-254, 2003.
- [11] M. D. Manjrekar, P. K. Steimer, T. A. Lipo, "Hybrid Multilevel Power Conversion System: A Competitive Solution for High-Power Applications", *IEEE Transactions On Industry Applications*, 36(3):834-841, 2000.
- [12] Y. Kawabata, M. Nasu, "High-Efficiency And Low Acoustic Noise Drive System Using Open-Winding AC Motor And Two Space-Vector Modulated Inverters", *IEEE Transactions On Industrial Electronics*, 49(4):783-789, 2002.
- [13] M. Baiju, K. Gopakumar, K. K. Mohapatra, V. T. Somasekhar and L. Umanand, "Five-level inverter voltage-space phasor generation for an open-end winding induction motor drive", *IEE Proc. Electr. Power Appl.*, 150(5):531-538, 2003.
- [14] J. Rodriguez, J. Lai, F. Peng, "Multilevel Inverters - A Survey of Topologies, Controls, and Applications", *IEEE Transactions On Industrial Electronics*, 49(4):724-738, 2002.
- [15] K. Corzine, "Operation and Design Of Multilevel Inverters", Office Of Naval Research, EUA, June 2005.
- [16] B. Suh, D. Hyun, "A new n-level high voltage inversion system", *IEEE Transactions on Industrial Electronics*, (44)1:107-115, February 1997.

- [17] B. Mwinyiwiwa, Z. Wolanski, Y. Chen, "Multimodular multilevel converters with input/output linearity", Conference Record of the 1996 IEEE Thirty-First IAS Annual Meeting, 2:988-992, 1996.
- [18] M. Hashad, J. Iwaszkiewicz, "A novel orthogonal-vectors-based topology of multilevel inverters", IEEE Trans. Ind. Electron., 49(4):868-874, 2002.
- [19] R. Kanchan, M. Baiju, K. Mohapatra, P. Ouseph, K. Gopakumar, "Space vector PWM signal generation for multilevel inverters using only the sampled amplitudes of reference phase voltages", IEE Proceedings - Electric Power Applications, 152(2):297-309, 2005.
- [20] G. Su, "Multilevel dc-link inverter", IEEE Transactions on Industry Applications, 41(3):848-854, 2005.
- [21] G. Mondal, K. Sivakumar, R. Ramchand, K. Gopakumar, E. Levi, "A dual seven-level inverter supply for an open-end winding induction motor drive", IEEE Transactions on Industrial Electronics, 56(5):1665-1673, 2009.
- [22] V. Somasekhar, K. Gopakumar, M. Baiju, K. Mohapatra, L. Umanand, "A multilevel inverter system for an induction motor with open-end windings", IEEE Transactions on Industrial Electronics, 52(3):824-836, 2005.
- [23] D.A.B. Zambra, C. Rech, F.A.S. Gonçalves, J.R. Pinheiro, "Power Losses Analysis and Cooling System Design of Three Topologies of Multilevel Inverters", IEEE Power Electronics Specialists Conference, 15:4290-4295, 2008.
- [24] B. McGrath, D. Holmes, "An analytical technique for the determination of spectral components of multilevel carrier-based PWM methods", IEEE Transactions on Industrial Electronics, 49(4):847-857, 2002.
- [25] Z. Pan, F. Peng, Z. Qian, "Voltage control and THD optimization for diode-clamped multilevel converter/inverter", IEEE 4th International Power Electronics And Motion Control Conference, 2:804-809, 2004.
- [26] S. Tsujishima, T. Ishida, K. Sasagawa, L. Huang, "PWM&PAM control strategy for five level double converter", IEEE 4th International Power Electronics And Motion Control Conference, 2:810-815, 2004.
- [27] F. Peng, "Z-source inverter", IEEE Transactions on Industry Applications, 39(2):504-510, 2003.
- [28] P. Loh, F. Gao, F. Blaabjerg, S. Feng, K. Soon, "Pulsewidth-modulated Z-source neutral-point-clamped inverters", IEEE Transactions on Industry Applications, 43(5):1295-1308, 2007.
- [29] P. Loh, F. Gao, F. Blaabjerg, "Topological and modulation design of three-level Z-source inverters", IEEE 5th International Power Electronics and Motion Control Conference, 2:1-5, 2006.
- [30] A. Massoud, S. Finney, B. Williams, "Conduction loss calculation for multilevel inverter: a generalized approach for carrier-based PWM technique", Second International Conference on Power Electronics, Machines and Drives, 1:226-230, 2004.
- [31] J. Rodriguez, S. Kouro, J. Rebolledo, J. Pontt, "A reduced switching frequency modulation algorithm for high power multilevel inverters", IEEE 36th Power Electronics Specialists Conference, 867-872, 2005.

- [32] A. A. Luiz, B. Cardoso, "Assessment Of Low Frequency Modulation Methods for Multilevel Inverters", 34th Annual Conference of IEEE Industrial Electronics, 3315-3320, 2007.
- [33] A. A. Luiz, B. Cardoso, "A Low Frequency Multilevel Modulation Strategy: Analysis and Design", 7a Conferência Internacional de Aplicações Industriais – INDUSCON, 2006.
- [34] Y. Jung, J. Cho, G. Cho, "A new zero voltage switching resonant DC-link inverter with low voltage stress", IEEE Industrial Electronics, Control and Instrumentation, 1:308-313, 1991.
- [35] H. Fujita, H. Akagi, M. Kohata, "A zero-current-switching based three-phase PWM inverter having resonant circuits on AC-Side", IEEE Conference Record of the Industry Applications Society Annual Meeting, 2:821-826, 1993.
- [36] S. Hosseini, M. Sabahi, "A new bi-directional ZVS inverter by estimated phase shifting for non-linear loads", 37th IEEE Power Electronics Specialists Conference, 1-6, 2006.
- [37] Z. Kaczmarczyk, "High-efficiency class E, EF2, and E-F3 inverters", IEEE Transactions on Industrial Electronics, 53(5):1584-1593, 2006.
- [38] M. A. Severo Mendes, "Técnicas de Modulação em Largura de Pulso Vetoriais para Inversores Multiníveis", Tese de Doutorado, UFMG, Brasil, 2000.
- [39] R. Teodorescu, F. Blaabjerg, "Multilevel Inverter by Cascading Industrial VSI", IEEE Transactions On Industrial Electronics, 49(4):832-838, 2002.
- [40] P. Loh, D. Vilathgamuwa, "Multilevel dynamic voltage restorer", IEEE 2004 International Conference on Power System Technology, 2(4):1673-1678, 2004.
- [41] J. Rodríguez, L. Morán, "High-Voltage Multilevel Converter With Regeneration Capability", 30th Annual IEEE Power Electronics Specialists Conference, 2:1077-1082, 1999.
- [42] J. P. Lavieville, P. Carrere, and T. Meynard, "Electronic circuit for converting electrical energy and a power supply installation making use thereof", U.S. Patent 5 668 711, Sept. 1997.
- [43] E. Cengelci, S. U. Sulistijo, B. O. Woo, P. Enjeti, R. Teodorescu, F. Blaabjerg, "A New Medium Voltage PWM Inverter Topology for Adjustable Speed Drives", IEEE Transactions on Industry Applications, 35(3):628-637, 1999.
- [44] G. Ceglia, V. Guzmán, C. Sanchez, F. Ibáñez, J. Walter, M. Giménez, "A New Simplified Multilevel Inverter Topology for DC-AC Conversion", IEEE Transactions On Power Electronics, 21(5):1311-1319, 2006.
- [45] F. Wang, "Sine-triangle versus space-vector modulation for three-level PWM voltage-source inverters", IEEE Transactions on Industry Applications, 38(2):500-506, 2002.
- [46] B. McGrath, D. Holmes, T. Lipo, "Optimised space vector switching sequences for multilevel inverters", Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2:1123-1129, 2003.
- [47] M. Qing, L. Zheng, S. Min, "A novel SVM method for three-level PWM voltage source inverter", 30th IEEE Annual Conference on Industrial Electronics Society, 2:1498-1501, 2004.
- [48] S. Sirisukprasert, J. Lai, T. Liu, "Optimum Harmonic Reduction With a Wide Range of Modulation Indexes for Multilevel Converters", Conference Record of the Industry Applications Conference, 4:2094-2099, 2002.

- [49] Z. Du, L. Tolbert, J. Chiasson, "Active harmonic elimination in multilevel converters using FPGA control", IEEE Workshop on Computers in Power Electronics, 127-132, 2004.
- [50] V. Agelidis, A. Balouktsis, M. Dahidah, "A five-level symmetrically defined selective harmonic elimination PWM strategy: analysis and experimental validation", IEEE Transactions on Power Electronics, 23(1):19-26, 2008.
- [51] P. Loh, D. Holmes, Y. Fukuta, T. Lipo, "Reduced common-mode modulation strategies for cascaded multilevel inverters", IEEE Transactions on Industry Applications, 39(5):1386-1395, 2003.
- [52] A. Oliveira, E. Silva, C. Jacobina, "A hybrid PWM strategy for multilevel voltage source inverters", 35th Annual IEEE Power Electronics Specialists Conference, 6:4220-4225, 2004.
- [53] Yo-Wan Lee, Bum-Seok Suh, "A novel PWM scheme for a three-level voltage source inverter with gto thyristors", Conference Record of the 1994 IEEE Industry Applications Society Annual Meeting, 2:1151-1157, 1994.
- [54] G. Carrara, S. Gardella, M. Marchesoni, R. Salutati, G. Sciuotto, "A new multilevel PWM method: a theoretical analysis", in IEEE Transactions on Power Electronics, 7(3):497-505, 1992.
- [55] L. M. Tolbert, F. Z. Peng e T. G. Habetler, "Multilevel PWM methods at low modulation indices", IEEE Transactions on Power Electronics, 15(4):719-725, 2000.
- [56] N. Nho, M. Youn, "Comprehensive study on space-vector-PWM and carrier-based-PWM correlation in multilevel inverters", IEE Proceedings - Electric Power Applications, 153(1):149-158, 2006.
- [57] C. Hu, Q. Wang, W. Jiang, Q. Chen, Q. Xia, "Optimization method for generating SHEPWM switching patterns using chaotic and colony algorithm applied to three-level NPC inverters", International Conference on Electrical Machines and Systems, 149-153, 2007.
- [58] L. Li, D. Czarkowski, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters", IEEE Thirty-Third IAS Annual Meeting - Industry Applications Conference, 2:1454-1461, 1998.
- [59] B. McGrath, D. Holmes, "Multicarrier PWM strategies for multilevel inverters", IEEE Transactions on Industrial Electronics, 49(4):858-867, 2002.
- [60] Y. Lee, B. Suh, D. Hyun, "A novel PWM scheme for a three-level voltage source inverter with gto thyristors", Conference Record of the 1994 IEEE Industry Applications Society Annual Meeting, 2:1151-1157, 1994.
- [61] S. Mendes, Z. Peixoto, P. Seixas, P. Donoso-Garcia, A. Lima, "A space vector PWM method for three-level flying-capacitor inverters", IEEE 32nd Annual Power Electronics Specialists Conference, 1:182-187, 2001.
- [62] Y. Liu, Z. Du, A. Huang, S. Bhattacharva, "An optimal combination modulation strategy for a seven-level cascade multilevel converter based STATCOM", IEEE 41st IAS Annual Meeting - Industry Applications Conference, 4:1732-1737, 2006.
- [63] Y. Liu, H. Hong, A. Huang, "Real-time calculation of switching angles minimizing THD for multilevel inverters with step modulation", IEEE Transactions on Industrial Electronics, 56(2):285-293, 2009.
- [64] M. E. dos Santos, "Análise e Projeto de um Inversor Trifásico para Aplicações em Médias Tensões Industriais", Tese de Doutorado, UFMG, 2005.

- [65] N. Hatti, K. Hasegawa, H. Akagi, "A 6.6-kV Transformerless Motor Drive Using a Five-Level Diode-Clamped PWM Inverter for Energy Savings of Pumps and Blowers", *IEEE Transactions on Power Electronics*, 24(3):796-803, 2009.
- [66] H. Akagi, H. Fujita, S. Yonetani, Y. Kondo, "A 6.6kV Transformerless STATCOM Based on a Five-Level Diode-Clamped PWM Converter: System Design and Experimentation of a 200-V, 10-kVA Laboratory Model", *IEEE Transactions on Industry Applications*, 44(2):672-680, 2008.
- [67] J. Rodrigues, L. Moran, P. Correa, C. Silva, "A Vector Control Technique for Medium-Voltage Multilevel Inverters", *IEEE Transactions On Industrial Electronics*, 49(4):882-888, 2002.
- [68] J. Rodríguez, J. Pontt, P. Correa, P. Cortés, C. Silva, "A New Modulation Method to Reduce Common-Mode Voltages in Multilevel Inverters", *IEEE Transactions on Industrial Electronics*, 51(4):834-839, 2004.
- [69] J. Holtz, W. Lotzkat, and A. M. Khambadkone, "On continuous control of PWM inverters in the overmodulation range including the six-step mode", *IEEE Transactions on Power Electronics*, 8(4):546-553, 1992.
- [70] J. Dixon, L. Morán, "Multilevel Inverter, based on multi-stage connection of three-level converters, scaled in power of three", 28th Annual Conference of the IEEE Industrial Electronics Society, 2:886-891, 2002.
- [71] R. Chibani, E. M. Berkouk, "PWM current rectifier-Five NPC level inverter cascade. Application to the P.M synchronous machine", *IEEE Africon*, 2:705-710, 1999.
- [72] P. Steimer: United States Patent no. 6.009.002, December 28, 1999, EUA.
- [73] T. Meynard and H. Foch, "Multilevel choppers for high voltage applications", *European Power Electronics Journal*, 45-50, 1992.
- [74] G. Gateau, M. Fadel, P. Maussion, R. Bensaid, and T. Meynard, "Multicell converters: Active control and observation of flying-capacitor voltages", *IEEE Transactions on Industrial Electronics*, 49(5):998-1008, 2002.
- [75] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. Perez, "A survey on cascaded multilevel inverters", *IEEE Transactions on Power Electronics*, 57(7):2197-2206, 2010.
- [76] G. Gateau, T. A. Meynard, and H. Foch, "Stacked multicell converter (SMC): Properties and design", *IEEE 32nd Annual Power Electronics Specialists Conference*, 3:1583-1588.
- [77] R. Stala, "Application of Balancing Circuit for DC-Link Voltages Balance in a Single-Phase Diode-Clamped Inverter With Two Three-Level Legs", *IEEE Transactions on Industrial Electronics*, 58(9):4185-4195, 2011.
- [78] P. Lezana, R. Aceiton, "Hybrid Multicell Converter: Topology and Modulation", *IEEE Transactions on Industrial Electronics*, 58(9):3938-3945, 2011.
- [79] A. Sanchez-Ruiz, M. Mazuela, S. Alvarez, G. Abad, L. Baraia, "Medium Voltage - High Power Converter Topologies Comparison Procedure, for a 6.6kV Drive Application using 4.5kV IGBT Modules", *IEEE Transactions on Industrial Electronics*, 59(3):1462-1473, 2011.
- [80] Y. Zhang; L. Sun, "An Efficient Control Strategy for a Five-Level Inverter Comprising Flying-Capacitor Asymmetric H-Bridge", *IEEE Transactions on Industrial Electronics*, 58(9):4000-4009, 2011.

- [81] B. P. McGrath, D. G. Holmes, "Enhanced Voltage Balancing of a Flying Capacitor Multilevel Converter Using Phase Disposition (PD) Modulation", *IEEE Transactions on Power Electronics*, 26(7):1933-1942, 2011.
- [82] R. Stala, "The Switch-Mode Flying-Capacitor DC-DC Converters With Improved Natural Balancing", *IEEE Transactions on Industrial Electronics*, 57(4):1369-1382, 2010.
- [83] F. Ueda, K. Matsui, M. Asao, and K. Tsuboi, "Parallel-connections of pulsewidth modulated inverters using current sharing reactors", *IEEE Transactions on Power Electronics*, 10(6): 673-679, 1995.
- [84] R. Hausmann, I. Barbi, "Three-phase multilevel bidirectional DC-AC converter using three-phase coupled inductors", *IEEE Energy Conversion Congress and Exposition*, 2160-2167, 2009.
- [85] J. Salmon, J. Ewanchuk, and A. M. Knight, "PWM inverters using split-wound coupled inductors", *IEEE Transactions on Industry Applications*, 45(6):2001-2009, 2009.
- [86] L. Asiminoaei, E. Aeloiza, P.N. Enjeti, F. Blaabjerg, "Shunt Active-Power-Filter Topology Based on Parallel Interleaved Inverters", *IEEE Transactions on Industrial Electronics*, 55(3):1175-1189, 2008.
- [87] R. Ramos, D. Biel, E. Fossas, F. Guinjoan, "Interleaving Quasi-Sliding-Mode Control of Parallel-Connected Buck-Based Inverters", *IEEE Transactions on Industrial Electronics*, 55(11):3865-3873, 2008.
- [88] R. Turner, S. Walton, R. Duke, "Stability and Bandwidth Implications of Digitally Controlled Grid-Connected Parallel Inverters", *IEEE Transactions on Industrial Electronics*, 57(11):3685-3694, 2010.
- [89] S. Shah, P.S. Sensarma, "Three Degree of Freedom Robust Voltage Controller for Instantaneous Current Sharing Among Voltage Source Inverters in Parallel", *IEEE Transactions on Power Electronics*, 25(12):3003-3014, 2010.
- [90] P. Wong, Q. Wu, P. Xu, P. Yang and F. C. Lee, "Performance Improvements of Interleaving VRMs with coupling inductors", *IEEE Transactions on Power Electronics*, 16(4):499-507, 2001.
- [91] J. Li, C. R. Sullivan, A. Schultz, "Coupled-inductor design optimization for fast response low-voltage DC/DC converters", *IEEE Applied Power Electronics Conference and Exposition*, 2:817-823, 2002.
- [92] J. Czogalla, Li. Jieli Li; C.R. Sullivan, "Automotive application of multi-phase coupled-inductor DC-DC converter", *38th IAS Annual Meeting Conference Record of the Industry Applications Conference*, 3:1524-1529, 2003.
- [93] A. Cataliotti, F. Genduso, A. Raciti, G. R. Galluzzo, "Generalized PWM-VSI Control Algorithm Based on a Universal Duty-Cycle Expression: Theoretical Analysis, Simulation Results, and Experimental Validations", *IEEE Transactions on Industrial Electronics*, 54(3):1569-1580, 2007.
- [94] B. Cougo, T. Meynard, G. Gateau, "Parallel Three-Phase Inverters: Optimal PWM Method for Flux Reduction in Intercell Transformers", *IEEE Transactions on Power Electronics*, 26(8):2184-2191, 2011.
- [95] B. Cougo, G. Gateau, T. Meynard, M. Bobrowska-Rafal, M. Cousineau, "PD Modulation Scheme for Three-Phase Parallel Multilevel Inverters", *IEEE Transactions on Power Electronics*, to be published.

- [96] T. Itkonen, J. Luukko, R. Pollanen, "Analysis of current characteristics of parallel three-phase voltage source inverters", 13th European Conference on Power Electronics and Applications, 1-10, 2009.
- [97] N. Benaifa, H. Bierk, A. H. M. Rahim, E. Nowicki, "Analysis of Harmonic Reduction for Synchronized Phase-shifted Parallel PWM Inverters with Current Sharing Reactors", IEEE Canada Electrical Power Conference, 134-139, 2007.
- [98] D. G. Holmes and T.A. Lipo, "Pulse width modulation for power converters: principles and practice", IEEE Press Ser. Power Eng, 2003.
- [99] B. Cougo, "Design and optimization of intercell transformers for parallel multicell converters", PhD thesis, Université de Toulouse - INP Toulouse, October 2010.
- [100] F. Forest, E. Laboure, T. A. Meynard, V. Smet, "Design and comparison of inductors and intercell transformers for filtering of PWM inverter output", IEEE Transactions on Power Electronics, 24(3):812-821, 2009.
- [101] H. N. Nagaraja, D. Kastha, and A. Petra, "Design principles of a symmetrically coupled inductor structure for multiphase synchronous buck converters", IEEE Transactions on Industrial Electronics, 58(3):988-997, 2011.
- [102] B. Cougo, T. Meynard, G. Gateau, "Parallel three-phase inverters: Impact of PWM methods and load configuration on the flux of InterCell Transformers", IEEE Transactions on Industrial Electronics, to be published.
- [103] B. Cougo, T. Meynard, F. Forest, and E. Laboure, "Optimal PWM method for flux reduction in InterCell Transformers coupling double three-phase systems", in Proc. Conférence Electronique de Puissance du Futur, 2010.
- [104] B. Cougo, T. Meynard, G. Gateau, "Optimal PWM method for flux reduction in InterCell Transformers supplying three-phase systems", IEEE Transactions on Power Electronics, to be Published.
- [105] D. Kang; B. Lee; J. Jeon; T. Kim; D. Hyun; "A symmetric carrier technique of CRPWM for voltage balance method of flying-capacitor multilevel inverter", IEEE Trans. Power Electron, 52(3): 879-888 , 2005.
- [106] S. Verne, S. Gonzalez, M. Valla, "An optimization algorithm for capacitor voltage balance of N-level Diode Clamped Inverters", 34th Annual Conference of IEEE Industrial Electronics, 3201-3206, 2008.
- [107] S. Busquets-Monge, S. Alepuz, J. Rocabert, J. Bordonau, "Pulsewidth Modulations for the Comprehensive Capacitor Voltage Balance of n -Level Two-Leg Diode-Clamped Converters", IEEE Trans. Power Electron, 24(8):1951-1959, 2009.
- [108] D. Zhang, F. Wang, R. Burgos, R. Lai, D. Boroyevich, "DC-Link Ripple Current Reduction for Paralleled Three-Phase Voltage-Source Converters with Interleaving", IEEE Transactions on Power Electronics, 26(6):1741-1753, 2011.
- [109] S. Daher, J. Schmid, F. Antunes, "Multilevel inverter topologies for stand-alone PV systems", IEEE Transactions on Industrial Electronics, 55(7):2703-2712, 2008.