

TESE DE DOUTORADO Nº 008

**TÉCNICAS DE CONTROLE APLICADAS
AO PARALELISMO DE INVERSORES**

Ernane Antônio Alves Coelho

DATA DA DEFESA: 07.12.2000

Universidade Federal de Minas Gerais
Programa de Pós-Graduação em Engenharia Elétrica
Centro de Pesquisa e Desenvolvimento em Engenharia Elétrica

Técnicas de Controle Aplicadas ao Paralelismo de Inversores

por

Ernane Antônio Alves Coelho

Tese de Doutorado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Minas Gerais, como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica

Orientador: Porfírio Cabaleiro Cortizo
Co-orientador: Pedro Francisco Donoso Garcia

07 de dezembro de 2000

"Técnicas de Controle Aplicadas ao Paralelismo de Inversores"

Ernane Antônio Alves Coelho

Tese de Doutorado submetida à banca examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Minas Gerais, como parte dos requisitos necessários à obtenção do grau de Doutor em Engenharia Elétrica.

Aprovada em 07 de dezembro de 2000.

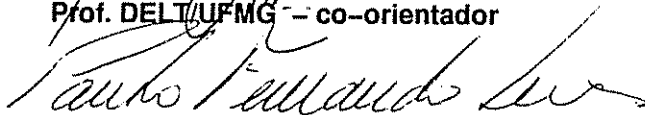
Por:



Porfírio Cabaleiro Cortizo – Dr.
Prof. DELT/UFMG – orientador



Pedro Francisco Dónoso Garcia – Dr.
Prof. DELT/UFMG – co-orientador



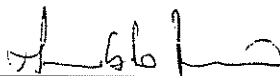
Paulo Fernando Seixas – Dr.
Prof. DELT/UFMG



Maria Helena Murta Vale – Dra.
Profa. DEE/UFMG



José Antenor Pomílio – Dr.
Prof. UNICAMP



Humberto Pinheiro – Ph.D.
Prof. UFSM

Agradecimentos

Ao meu pai, meus irmãos e em especial à memória de Dona Astina, pelo apoio incondicional, pelo estímulo e pela crença na busca de minhas realizações.

Aos meus orientadores, professores Porfírio Cabaleiro Cortizo e Pedro Francisco Donoso Garcia, pela oportunidade de trabalharmos juntos e por todo o esforço dedicado a este trabalho.

Aos Colegas, professores e funcionários do CPDEE, pela amizade, pelo companheirismo, pela solidariedade nos momentos difíceis, pelas contribuições técnicas, pelos agradáveis momentos vividos em nossas "happy hours".

Aos colegas da Universidade Federal de Uberlândia e amigos de Uberlândia, em especial à nossa "diretoria", pela amizade e pelo carinho sempre presente durante a execução deste trabalho.

À minha "p r o f e s s o r a", pelo apoio humano, pelo carinho e pelos ensinamentos, os quais de alguma forma estão presentes neste trabalho.

À Universidade Federal de Uberlândia, Universidade Federal de Minas Gerais e à CAPES pelo suporte financeiro.

Resumo

Este trabalho apresenta uma contribuição ao estudo do controle do paralelismo de inversores para aplicação em sistemas UPS (*"Uninterruptible Power Supply"*) distribuídos. O estudo concentra-se no controle do paralelismo através das características ωxP e VxQ , originário em Sistemas Elétricos de Potência, o qual não depende de comunicação entre as unidades conectadas em paralelo, ou seja, somente variáveis medidas localmente são realimentadas em cada unidade, implicando um aumento de confiabilidade do sistema. Um modelo de análise para pequenos sinais é proposto, o qual facilita as análises de estabilidade e desempenho dinâmico. Visando demonstrar a eficácia do modelo proposto, são apresentados resultados de simulação digital e resultados experimentais.

Abstract

This work is concerned with the control of parallel connected inverters in distributed UPS (*"Uninterruptible Power Supply"*) systems. The technique to control the inverters, which depends on the local variable measurements and does not need control interconnections, is based on frequency and voltage droops. This feature increases the reliability of the UPS system. A small signal model, which makes the stability and dynamic studies easier, is proposed. Simulation and experimental results are presented to confirm the theoretical studies.

Conteúdo

Agradecimentos	i
Abstract	ii
Resumo	iii
Nomenclatura	vii
1 Introdução	1
1.1 Topologias de Sistemas UPS	2
1.2 Sistemas UPS Distribuidos	4
1.3 Técnicas de Controle do Paralelismo de Conversores	5
1.3.1 Paralelismo com interconexão no controle	6
1.3.2 Paralelismo sem interconexão no controle	14
1.4 Contribuições da Presente Tese	23
1.5 Conclusão	26
2 Análise de Estabilidade para Pequenos Sinais em SEP	28
2.1 Introdução	28
2.2 Estabilidade em SEP	28
2.3 Estabilidade de uma Máquina Síncrona Conectada a uma Barra Infinita	31
2.4 Controladores em SEP	33
2.4.1 "Automatic Generation Control" (AGC) e "Load-Frequency Control" (LFC)	34
2.4.2 "Automatic Voltage Regulation" (AVR)	37
2.4.3 "Power System Stabilizer" (PSS)	38
2.5 Conclusão	39
3 Análise de Estabilidade para Pequenos Sinais de Um Inversor Conectado a Uma Barra Infinita	40
3.1 Introdução	40
3.2 Inversor de Potência Conectado à Rede	41

3.3	Resultados de Simulação	44
3.3.1	Exemplo I	45
3.3.2	Exemplo II	46
3.4	Resultados Experimentais	49
3.4.1	Descrição do Protótipo	51
3.4.2	Ensaio Experimentais Realizados	54
3.5	Conclusão	65
4	Análise de Estabilidade para Pequenos Sinais de um Sistema CA Composto de Inversores Conectados em Paralelo	66
4.1	Introdução	66
4.2	Esquema de Controle	67
4.3	Análise Para Pequenos Sinais de Cada Inversor	67
4.4	Análise Para Pequenos Sinais do Sistema Completo	70
4.5	Resultados de Simulação	72
4.5.1	Exemplo I	72
4.5.2	Exemplo II	75
4.6	Análise de Estabilidade e Variações Paramétricas	79
4.6.1	Variação das inclinações das curvas $P - \omega$ e $Q - V$	80
4.6.2	Variação da Indutância da Linha de Transmissão	80
4.6.3	Variação de Carga	82
4.6.4	Variação da Frequência de Corte do Filtro de Medição das Potências	83
4.7	Restauração da Frequência Nominal	87
4.8	Resultados Experimentais	89
4.8.1	Descrição do protótipo	90
4.8.2	Ensaio Experimentais Realizados	92
4.9	Conclusão	96
5	Conclusão	101
5.1	Estudos Realizados e Conclusões	101
5.1.1	Aspectos Importantes	102
5.2	Propostas de Continuidade	105
	Bibliografia	108
	A Cálculo das Potências Ativa, Reativa e de Distorção	109
	B Circuito de Controle	113

C	"Software" de Controle	115
C.1	Arquivo de Endereços	115
C.2	Programa Utilizado nos Ensaios da Seção 3.4	116
C.3	Programas Utilizados nos Ensaios da Seção 4.8	125
C.3.1	Programa para o Inversor 1	125
C.3.2	Programa para o Inversor 2	133

Nomenclatura

$[A]$	matriz de realimentação de estados do sistema linearizado descrito por $[\Delta\dot{X}] = [A][\Delta X]$
B_{ij}	susceptância em relação aos nós i e j de uma rede elétrica
$[C_i]$	matriz de coeficientes definida na página 69
$[C_s]$	matriz de coeficientes definida na página 71
E	amplitude da referência de tensão de saída do inversor
e_d	componente de eixo direto do vetor $\vec{E}$
e_{di}	componente de eixo direto do vetor $\vec{E}_i$ - inversor i
E_o	amplitude nominal da referência de tensão de saída do inversor (127V _{rms})
e_q	componente de eixo em quadratura do vetor $\vec{E}$
e_{qi}	componente de eixo em quadratura do vetor $\vec{E}_i$ - inversor i
$[E_s]$	matriz de coeficientes definida na página 71
G_{ij}	condutância entre os nós i e j de uma rede elétrica
i_{di}	corrente de eixo direto fornecida pelo inversor i
i_{qi}	corrente de eixo em quadratura fornecida pelo inversor i
$[I_s]$	matriz de coeficientes definida na página 71
k_p	inclinação negativa da característica $P - \omega$
$[K_s]$	matriz de coeficientes definida na página 72
k_v	inclinação negativa da característica $Q - V$
m_d	coeficiente auxiliar definido na página 68
$[M_i]$	matriz de coeficientes definida na página 69
$[M_s]$	matriz de coeficientes definida na página 71
m_q	coeficiente auxiliar definido na página 68
n_d	coeficiente auxiliar definido na página 69
n_q	coeficiente auxiliar definido na página 69
P	potência ativa
Q	potência reativa
V	tensão na rede elétrica da concessionária de energia
$[Y_s]$	matriz de admitâncias entre os nós de uma rede elétrica
δ	posição angular do vetor $\vec{E}$
ΔE	desvio na amplitude da tensão de saída do inversor em relação ao ponto de equilíbrio
$\Delta \dot{E}$	derivada temporal de ΔE
Δe_d	desvio na componente e_d em relação ao ponto de equilíbrio
Δe_{di}	desvio na componente e_{di} em relação ao ponto de equilíbrio

$\Delta \dot{e}_d$	derivada temporal de Δe_d
Δe_q	desvio na componente e_q em relação ao ponto de equilíbrio
$\Delta \dot{e}_q$	derivada temporal de Δe_q
Δi_{di}	desvio na componente i_{di} em relação ao ponto de equilíbrio
Δi_{qi}	desvio na componente i_{qi} em relação ao ponto de equilíbrio
ΔP	desvio da potência ativa fornecida pelo inversor em relação ao ponto de equilíbrio
ΔQ	desvio da potência reativa fornecida pelo inversor em relação ao ponto de equilíbrio
$[\Delta X]$	vetor de estados do sistema definido na página 71
$\Delta \omega$	desvio da frequência angular do inversor em relação a ω_o
λ_i	polo i do sistema
ω	frequência angular do inversor
ω_o	frequência angular nominal (377 rad/s)
ω_f	frequência de corte do filtro de medição das potências ativa e reativa

Capítulo 1

Introdução

Com a crescente necessidade de sistemas de energia elétrica de alta qualidade, os pesquisadores em Engenharia Elétrica não têm poupado esforços no sentido de buscar formas de elevar a confiabilidade destes. Neste particular, os sistemas UPS (*"Uninterruptible Power Supply"*) são de vital importância, os quais têm sido usados para fornecer energia de emergência a cargas críticas, tais como computadores de controle de tráfego aéreo e sistemas de suporte de vida em hospitais, no caso de falha no sistema da concessionária de energia elétrica. Várias arquiteturas para sistemas UPS são propostas em [Chandorkar et al., 1994], onde conclui-se que a utilização de sistemas UPS distribuídos traz uma série de vantagens [Chandorkar et al., 1994] e [Woods et al., 1990]:

- aumento da confiabilidade do sistema de energia através da adição de redundâncias;
- aumento da potência disponível para o barramento de alimentação das cargas críticas durante falha do sistema da concessionária;
- facilidade de expansão do barramento de alimentação das cargas críticas;
- flexibilidade no controle do fluxo de energia entre as cargas e os sistemas UPS.

Atualmente os sistemas UPS não utilizam completamente os recursos oferecidos pela interconectividade de uma estrutura modular. A extensão das interconexões é usualmente limitada à operação em paralelo de unidades restritas a uma pequena área. Mas a crescente proliferação de cargas críticas tornará, num futuro muito próximo, a utilização de sistemas UPS distribuídos essencial. Como pode ser visto em [Kawabata and Higashino, 1988], as características de operação de um sistema em paralelo, em outras palavras, simplicidade de operação, proteção, manutenção e flexibilidade, dependem da arquitetura do sistema UPS e da técnica de controle utilizada. Para um melhor entendimento de tais questões, no decorrer deste capítulo, serão apresentadas as principais topologias de sistemas UPS e algumas arquiteturas de sistemas UPS distribuídos. Várias técnicas de controle do paralelismo de inversores serão apresentadas no intuito de estabelecer uma argumentação adequada, visando justificar o interesse e motivação na investigação do tema da presente tese.

1.1 Topologias de Sistemas UPS

Os sistemas UPS podem ser divididos em três classes:

- "Off-line" ou "stand-by";
- "Line interactive";
- "On-line".

Uma "Stand-by UPS" monitora a rede principal de energia, estando pronta para entrar em operação no caso de interrupção no fornecimento de energia. Como o próprio nome diz, ela fica na retaguarda esperando para entrar em ação. Ao perceber uma queda na tensão da rede principal (algumas UPS atuam também para elevações de tensão na rede), o inversor da UPS entra em operação, drenando energia da bateria interna e fornecendo ao barramento CA que alimenta a carga. O tempo necessário para que o sistema perceba a falha da rede principal de energia e atue prontamente é chamado de tempo de transferência ("transfer time"), tipicamente na faixa de 2 a 10 ms. Esta faixa se encontra dentro dos limites de segurança em que, por exemplo, uma fonte chaveada de um computador retém carga suficiente para manter o equipamento até que a UPS entre em operação. O esquema de uma "Stand-by UPS" é mostrado na figura 1.1.

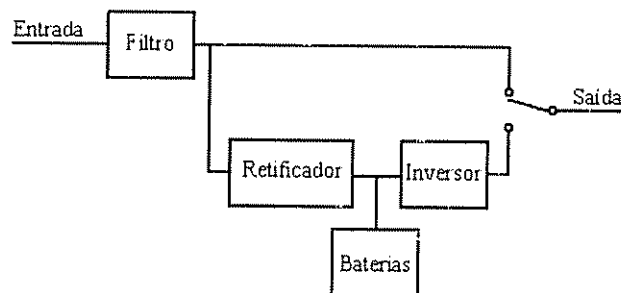


Figura 1.1: "Off-line" ou "Stand-by UPS"

Os sistemas "On-line UPS" são também chamados de "double conversion UPS" ou "true UPS" porque não existe tempo de transferência ("transfer time") durante uma interrupção de energia na rede principal, pois o inversor alimenta a carga durante todo o tempo. Estes sistemas possuem um retificador separado para carga da bateria, o qual fornece energia ao inversor em operação normal. Em caso de falha do sistema principal, a bateria fornece energia para a carga através do inversor. Por causa disto, uma "On-line UPS" possui um maior custo e menor rendimento que as outras estruturas, e são indicadas em aplicações críticas, onde a qualidade da energia, boa regulação de tensão e tempo de transferência nulo são absolutamente necessários. Uma "On-line UPS" é apresentada na figura 1.2.

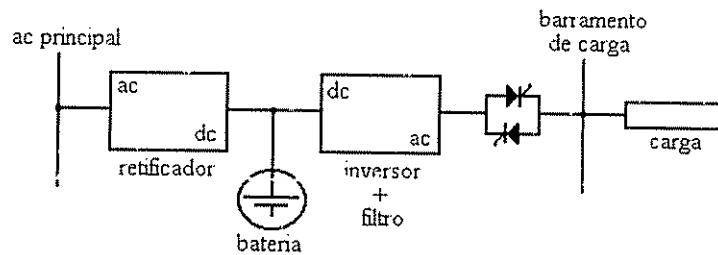


Figura 1.2: "On-line UPS"

O termo "*Line-interactive UPS*" se refere a uma série de topologias que podem ser consideradas como uma configuração híbrida entre "*Stand-by UPS*" e "*On-line UPS*". Uma "*Line-interactive UPS*" possui o custo e a eficiência da tecnologia "*Stand-by*" conjugado com a regulação de tensão presente no sistema "*On-line*". Neste caso, o inversor está sempre conectado à saída e trabalha em paralelo com a rede mantendo a tensão na carga dentro de limites adequados. Não existe um retificador para carregar a bateria; a capacidade de manipulação do fluxo de potência de forma bidirecional no inversor é que permite a carga da bateria. A UPS só assume completamente a carga no caso de interrupção de energia na rede. Esta função, chamada de "*brownout protection*", ajuda a manter a qualidade de tensão na carga: estabilização da tensão na carga ou filtragem dos harmônicos da carga e fator de potência unitário (corrente de entrada senoidal). O nome "*Line-interactive*" vem desta interação da UPS com a rede. Um exemplo de "*Line-interactive UPS*" é mostrado na figura 1.3.

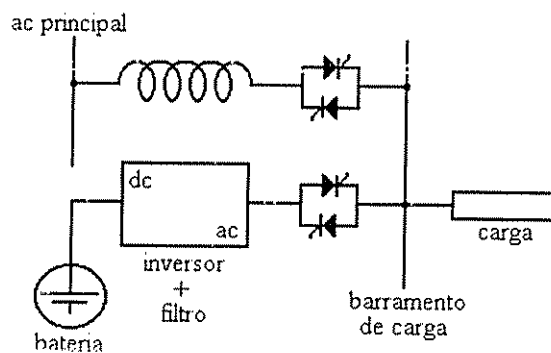


Figura 1.3: "*Line-interactive UPS*"

Uma configuração particular de uma "*Line-interactive UPS*" é mostrada na figura 1.4, a qual é chamada de "*Tri-port UPS*". Tal nome se deve ao fato da rede, a UPS e a carga

estarem conectadas via transformador de 3 enrolamentos. A operação da "*Tri-port UPS*" é similar à topologia da figura 1.3. Neste caso, a indutância de dispersão atua como o indutor de conexão com a rede.

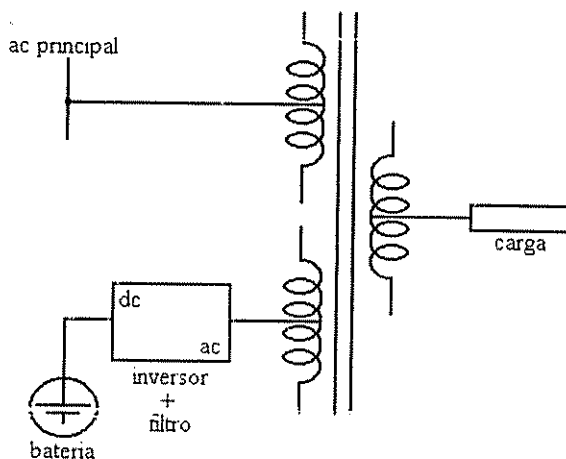


Figura 1.4: "*Tri-port UPS*"

Entre as várias topologias de sistemas UPS, a "*Line-Interactive UPS*" tem sido considerada como uma boa solução de compromisso entre confiabilidade, resposta dinâmica, eficiência e custo.

1.2 Sistemas UPS Distribuídos

Um sistema UPS distribuído pode ser desenvolvido em cada classe, "*Off-line*", "*Line-Interactive*" ou "*On-line*". A figura 1.5 apresenta um sistema "*On-line UPS*" distribuído. Nesta configuração, cada unidade UPS consiste do retificador, da bateria, do inversor e filtro. Existem duas redes distintas, a rede principal e a rede de segurança. As unidades UPS nesta topologia operam em paralelo, assim qualquer distúrbio na rede de segurança é percebido por todas as cargas e unidades UPS.

Em operação normal as unidades UPS provêem a energia reativa requisitada pelo barramento de segurança mantendo a tensão estável. Os harmônicos da carga ficam restritos à rede de segurança. No caso de falha do sistema principal, nenhum distúrbio é percebido na rede de segurança. Caso a demanda da carga seja superior à capacidade das unidades UPS, as chaves de "*by pass*" podem ser utilizadas, o que exige o sincronismo de tensão e fase entre as duas redes.

A figura 1.6 mostra um sistema "*Line-interactive UPS*" distribuído. Nesta topologia cada unidade UPS consiste da bateria, do inversor e filtro. Esta arquitetura se beneficia da

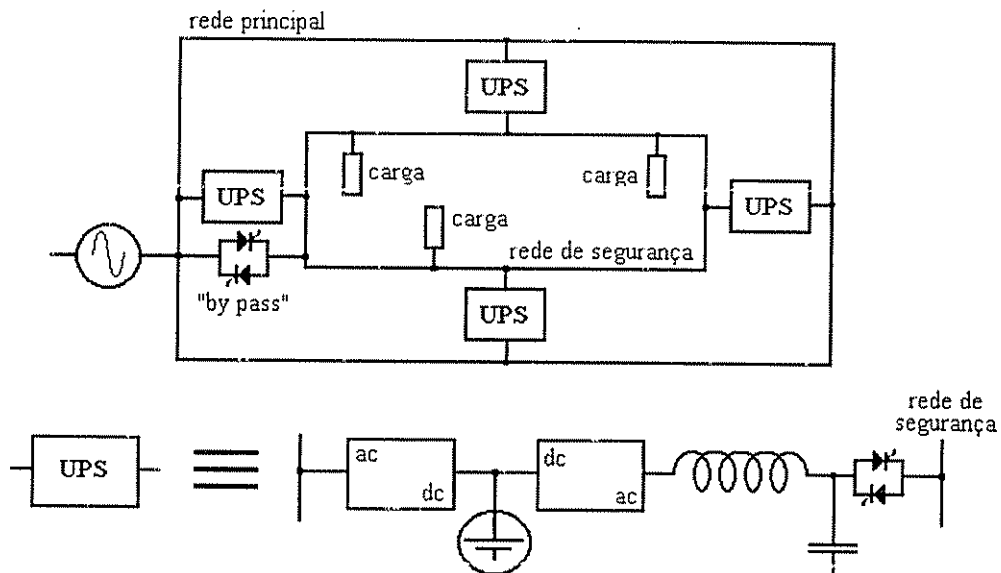


Figura 1.5: "On-line UPS" distribuído

bidirecionalidade do fluxo de potência do inversor.

Em operação normal, as unidades UPS não alimentam a carga, somente carregam as baterias. Isto, aliado à ausência do retificador da estrutura anterior, aumenta a eficiência do sistema. Um indutor é utilizado para atenuar os distúrbios entre a rede principal e a de segurança. Os harmônicos da carga são também absorvidos pelas unidades UPS.

Variações destas topologias podem ser vistas em [Chandorkar et al., 1994] e [Lin et al., 1993], cada uma com características específicas. A seleção de uma ou outra topologia deve considerar vários itens, os quais são descritos em [Kawabata and Higashino, 1988].

1.3 Técnicas de Controle do Paralelismo de Conversores

De uma maneira geral, as variadas técnicas de controle do paralelismo de conversores encontradas na literatura podem ser resumidas e classificadas segundo alguns princípios básicos. Assim, a primeira questão a ser levantada e talvez a mais importante é a existência ou não de comunicação entre as unidades de controle de cada módulo conversor.

Segundo [Chandorkar et al., 1994], o maior requerimento para o controle de um sistema distribuído é que este deve ser independente da comunicação entre as várias unidades conectadas em paralelo. A distância entre as unidades torna a comunicação impraticável. O uso da comunicação reduz a confiabilidade do sistema quando o controle é dependente desta.

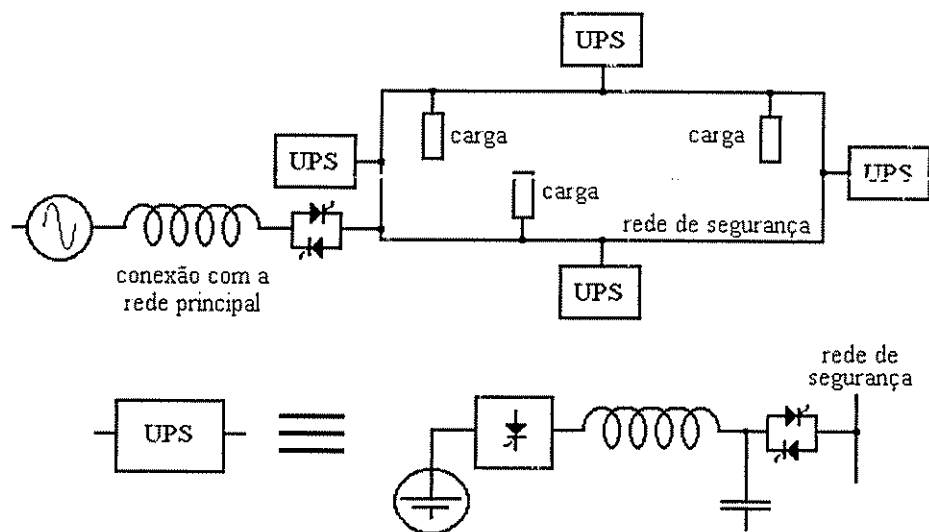


Figura 1.6: "Line-interactive UPS" distribuído

O controle do paralelismo sem comunicação pressupõe que cada unidade do sistema tenha um comportamento previamente definido diante das possíveis perturbações do mesmo. Seguindo esta linha de pensamento, podemos citar o controle baseado nas características frequência-potência ativa e tensão-potência reativa, como pode ser visto em [Divan et al., 1991], [Chandorkar et al., 1994], [Tuladhar et al., 1997], [Chandorkar, 1995] e [Kawabata et al., 1983]. Detalhes desta opção de controle são apresentados na seção 1.3.2.

Em contra partida, a conexão entre o controle dos vários módulos UPS traz uma série de vantagens no que diz respeito ao desempenho e eficiência do sistema como um todo. Existe uma gama enorme de esquemas de controle pertencentes a esta categoria. Muitos esquemas são apresentados na literatura para um conversor específico, mas o princípio utilizado pode ser estendido a qualquer conversor, seja CC-CC ou CC-CA. Os principais esquemas encontrados nesta categoria são apresentados na seção 1.3.1.

1.3.1 Paralelismo com interconexão no controle

A possibilidade de comunicação entre as unidades de controle em um sistema modular abre um enorme espaço para a criatividade dos projetistas em controle. Um exemplo desta criatividade é encontrada nos chamados módulos *PEBB* ("Power Electronics Building Block"), um módulo de potência universal, inteligente, de fácil implementação, substituição e uso ([Milosavljevic, 1999]). Seu alto volume de produção resultaria em redução de custo, mas sua operação em um sistema distribuído exigiria severos requerimentos de comunicação.

Encontra-se na literatura uma série de alternativas para o controle do paralelismo de inver-

sores, como "master-slave" ([Siri and Lee, 1990]), "central-limit control" ([Siri and Lee, 1990], [Lee et al., 1991]), "circular-chain-control" ([Wu et al., 1998]), dentre outros. As principais idéias dos controles pertencentes a esta categoria serão mostradas nos itens subseqüentes.

"Master-Slave"

O controle "master-slave", como o próprio nome diz, pressupõe que um módulo mestre perceba as possíveis perturbações do sistema e comande o comportamento dos outros módulos escravos no sentido da correção do erro. As estruturas de controle "master-slave" apresentam uma flexibilidade de expansão, à medida em que outros módulos escravos podem ser adicionados com o aumento da demanda de carga. Por outro lado, estas apresentam duas desvantagens graves. A primeira é o baixo grau de redundância devido à dependência do módulo mestre para a continuidade de operação. A segunda é a presença de uma resposta dinâmica inferior devido à cascata mestre-escravos, ou seja, a alteração da referência para os escravos apresenta um atraso correspondente à dinâmica do mestre.

Uma versão deste esquema pode ser vista em [Chen and Chu, 1995], onde é mostrada a combinação de inversores de tensão e inversores de corrente para aplicação em sistemas UPS. O inversor de tensão mestre define a tensão do barramento e a partir dos requisitos de carga determina a referência para os inversores de corrente escravos. O esquema de [Chen and Chu, 1995] é mostrado na figura 1.7. A desvantagem deste esquema está na operação imprescindível da unidade fonte de tensão e da dependência de uma unidade central para o controle da distribuição de corrente.

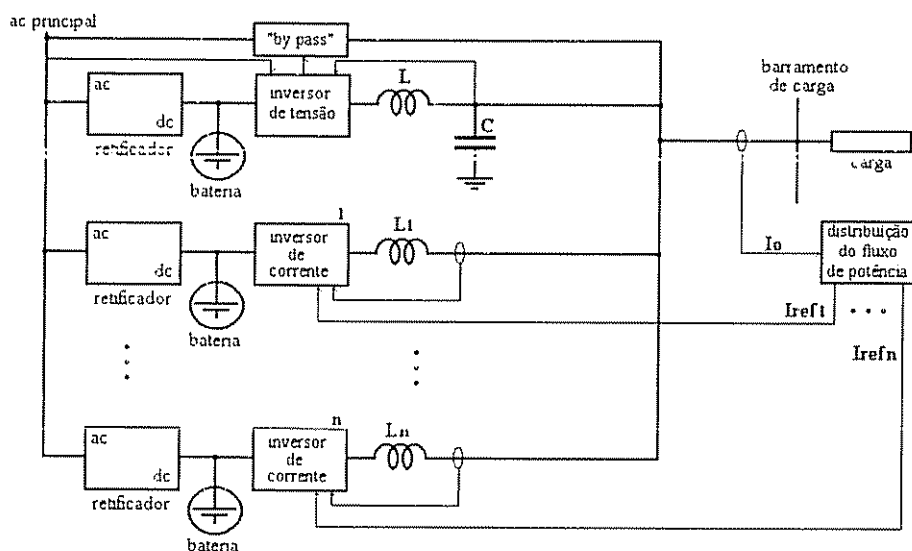


Figura 1.7: Combinação de Inversores de Corrente e Inversores de Tensão

[Siri and Lee, 1990] apresenta o controle do paralelismo de conversores "buck" utilizando um esquema "master-slave", o qual pode ser aplicado ao controle da estrutura da figura 1.7, resultando no esquema mostrado na figura 1.8. Uma série de variações deste esquema pode ser encontrada na literatura, como por exemplo, [Lee et al., 1998] propõe que a referência de corrente I_{ref} (figura 1.8) seja a corrente de maior magnitude entre as unidades ou seja, entre as unidades idênticas, aquela que fornece a maior corrente será o mestre, as demais serão unidades escravas. Um circuito lógico verifica qual é a corrente de maior magnitude entre as unidades e a define como referência.

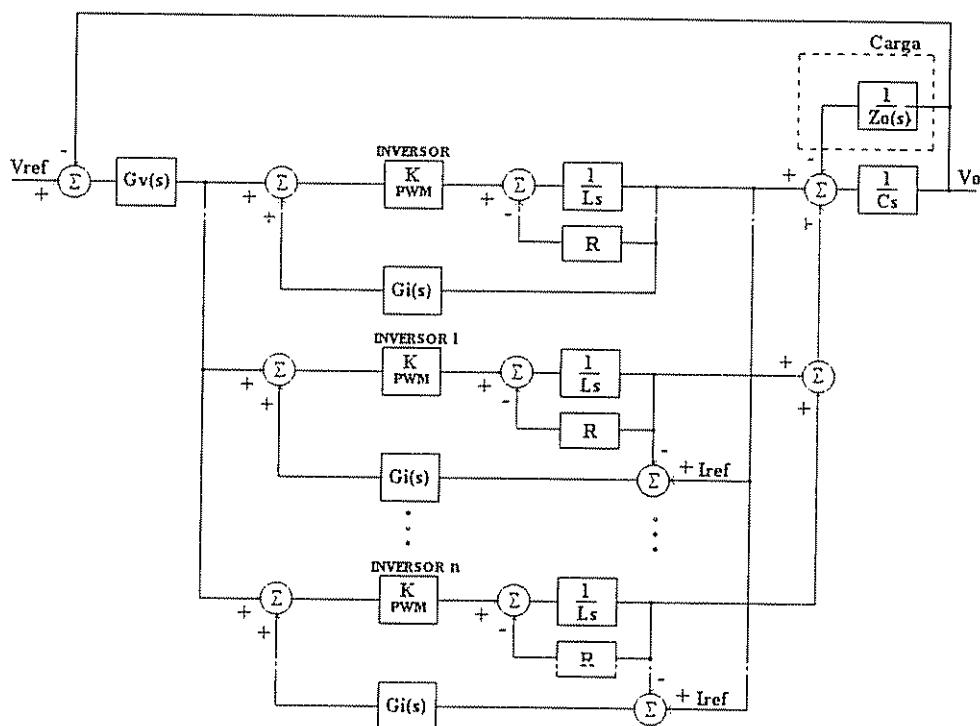


Figura 1.8: Controle "master-slave"

"Central-Limit Control"

Este esquema se baseia num controle central que, a partir dos requisitos de carga, determina a potência ou corrente a ser fornecida por cada unidade do sistema. Neste esquema as unidades são idênticas e com isso obtém-se um maior grau de redundância, a unidade central pode colocar ou retirar uma unidade do sistema conforme a necessidade. As unidades recebem simultaneamente as ações de controle decorrentes das perturbações de carga. Assim, tem-se uma dinâmica superior ao esquema "master-slave". Da mesma forma que no

esquema "master-slave", o esquema "central-limit control" apresenta o aspecto negativo de centralização do controle.

Um exemplo do esquema "central-limit control" é mostrado em [Siri and Lee, 1990], aplicado ao paralelismo de conversores "buck". Admitindo-se o paralelismo de inversores de tensão similar ao apresentado na figura 1.7 e considerando-se todos os capacitores do filtro de saída em paralelo como um único capacitor equivalente, o esquema "central-limit control" de [Siri and Lee, 1990] poderia ser aplicado como mostrado na figura 1.9.

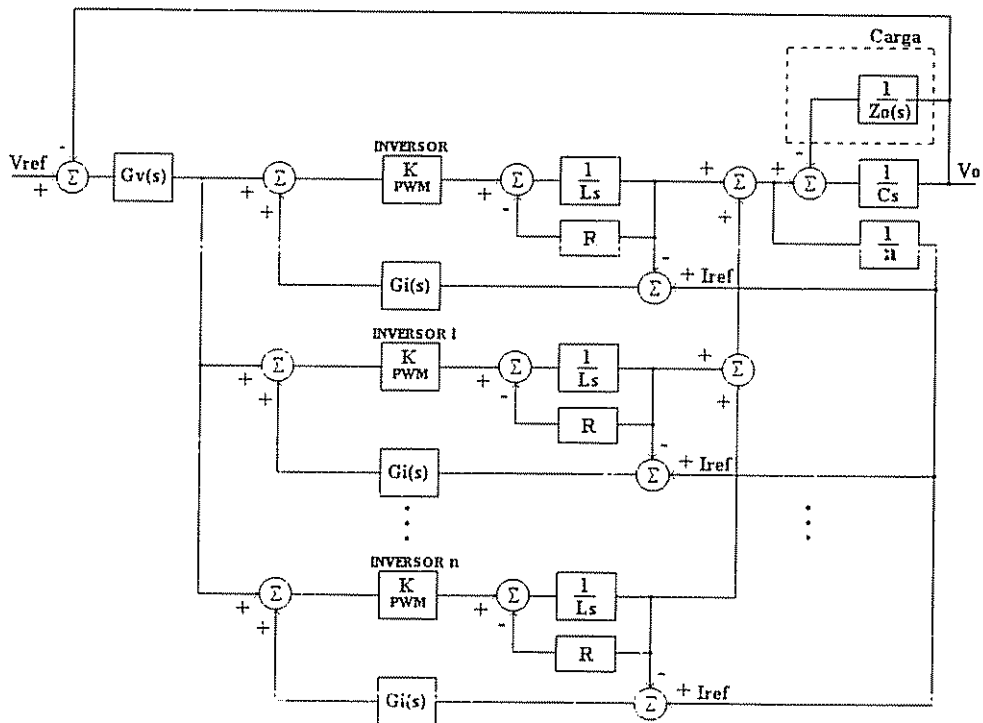


Figura 1.9: "Central-Limit Control"

Uma generalização do esquema da figura 1.9 é mostrada na figura 1.10, a qual é chamada por [Lee et al., 1991] de "programmable current distribution control" (PCDC). Este esquema admite, então, que a contribuição de potência de cada unidade seja programada; assim, torna-se possível o paralelismo de unidades com potências distintas, impedindo a sobrecarga de alguma unidade, aumentando a confiabilidade e vida útil do sistema. A programação do fluxo de potência é realizada através dos pesos M e N . No caso em questão, a figura 1.10 apresenta apenas duas unidades em paralelo.

Outro aspecto importante mostrado por [Lee et al., 1991] é a questão do rendimento do sistema distribuído. Considerando-se uma pequena demanda de carga e ainda sua distribuição entre os vários módulos do sistema, estes trabalhariam praticamente a vazio, onde a condição

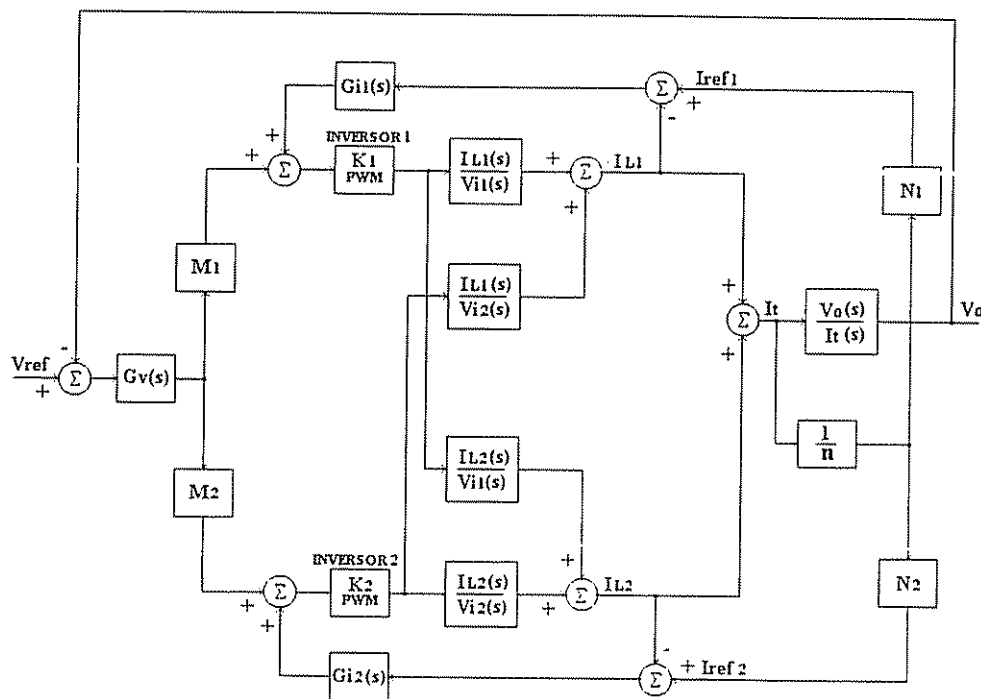


Figura 1.10: "Programmable Current Distribution Control" (PCDC)

de rendimento individual não é satisfatória. Neste caso, [Lee et al., 1991] propõe o esquema "maximum current limit control" (MCLC). Este esquema verifica o número de unidades necessárias para suprir a carga, desligando as demais unidades. Assim, as unidades em operação estariam quase à plena carga, numa condição de melhor rendimento. Contudo, este esquema apresenta uma série de desvantagens, como aumento da complexidade do controle central, dificultando uma possível expansão do número de unidades; presença de um "undershoot" de tensão num transitório de redução de carga, pois a taxa de subida da corrente é inferior à taxa de descida, ou seja, a unidade a ser retirada do sistema reduz sua contribuição para a corrente de carga mais rápido que a elevação das contribuições das unidades restantes; e, finalmente, o fenômeno definido por [Lee et al., 1991] como "current latching". Este fenômeno ocorre quando uma elevação de carga ultrapassa o limite definido para a entrada de mais uma unidade no sistema, neste caso, a referência de corrente para as unidades é instantaneamente alterada, mas a unidade que está entrando não consegue elevar a corrente na mesma taxa que as demais reduzem a corrente para a nova referência; assim, a tensão na carga cai, reduzindo a corrente, podendo cair ao limite de retirada da unidade que acabara de entrar. O sistema se comporta como uma fonte de corrente.

"Circular Chain Control"

Esta opção de controle é apresentada por [Wu et al., 1998] para o controle do paralelismo de inversores PWM senoidais. Neste esquema, uma unidade segue a referência de corrente da unidade anterior, sendo que a primeira unidade tem como referência a corrente da última unidade, formando uma corrente ou anel, como mostrado na figura 1.11. O controle de cada unidade inversora possui uma malha interna de corrente e uma malha externa de tensão. O anel de referência proposto neste esquema é implementado na malha interna de corrente, resultando num controle de distribuição de correntes com elevada dinâmica. Segundo [Wu et al., 1998], o desempenho deste controle é um meio termo entre os desempenhos alcançados pelas estratégias "*master-slave*" e "*central-limit control*". Apesar da rápida resposta dinâmica, a confiabilidade deste esquema fica comprometida pela possibilidade de rompimento do anel.

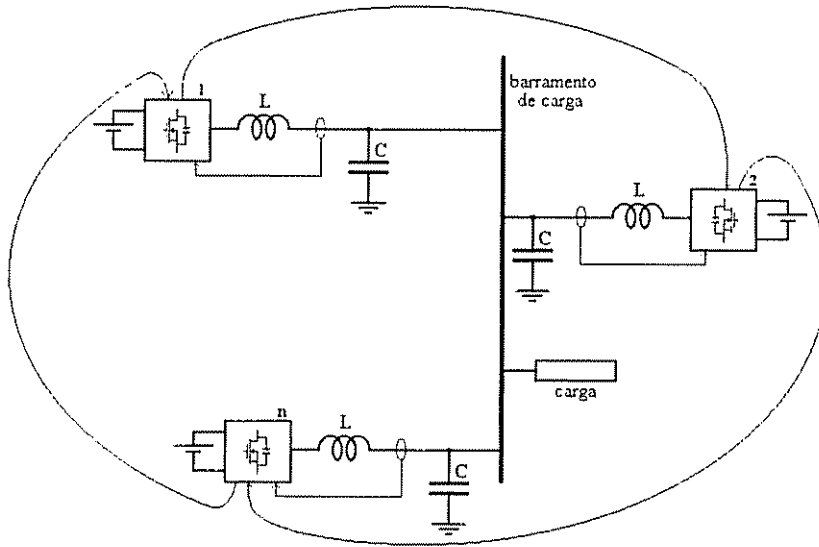


Figura 1.11: "Circular Chain Control"

Modos Deslizantes

Uma alternativa para o controle do paralelismo de inversores usando modos deslizantes é mostrada por [Coelho et al., 1998], a qual apresenta uma similaridade em princípio com a estratégia "*central-limit control*". Baseado no trabalho de [Mendes et al., 1998], [Coelho et al., 1998] propõe a superfície σ para controle da estrutura mostrada na figura 1.12, onde:

$$\sigma = \dot{e}_v + k_v e_v + k_i e_i \quad (1.1)$$

$$\dot{e}_v = V_{ref} - \dot{V}_o \quad (1.2)$$

$$e_v = V_{ref} - V_o \quad (1.3)$$

$$e_i = I_{ref} - i_{Ln} \quad (1.4)$$

$$I_{ref} = \frac{1}{n} \sum_{j=1}^n i_{Lj} \quad (1.5)$$

A lei de controle , a qual define os estados das chaves para cada unidade inversora, será:

$$U_n = \begin{cases} E_n & \sigma > 0 \\ E_n & \sigma < 0 \end{cases} \quad (1.6)$$

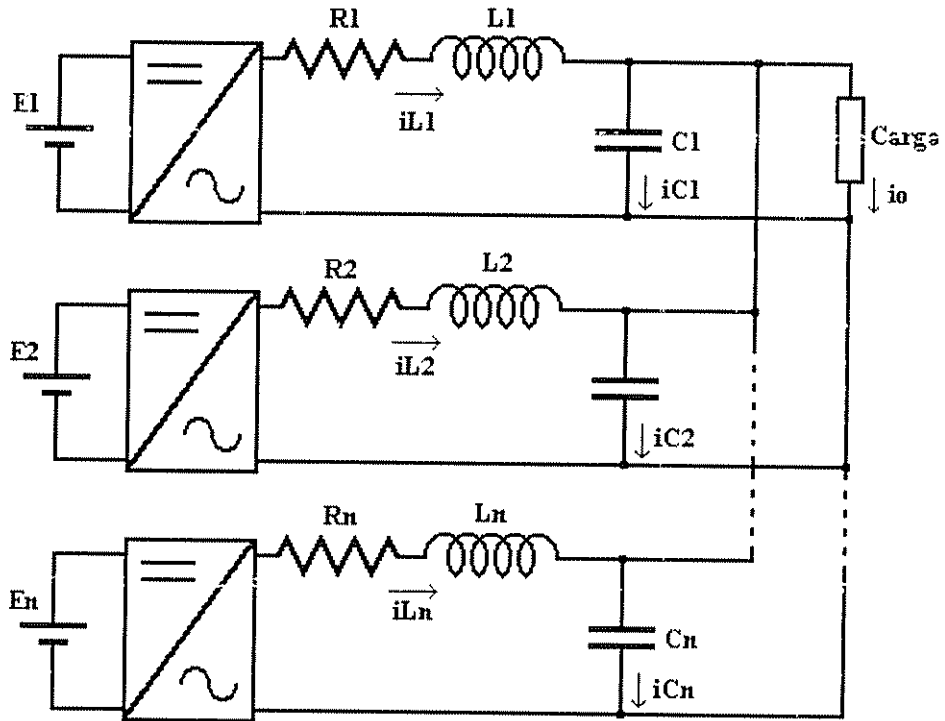


Figura 1.12: Inversores em Paralelo

Cada unidade inversora seguirá uma superfície de deslizamento descrita pela equação 1.1, sendo que o conjunto da n superfícies é mostrado na figura 1.13. Da mesma forma que no controle "*programmable current distribution control*", pesos podem ser atribuídos às referências de corrente em cada unidade, de forma a permitir o controle da distribuição das correntes para unidades com potências distintas.

Analisando o esquema das superfícies de controle mostrado na figura 1.13, observa-se uma forte dependência da comunicação, os sinais V_{ref} , $\dot{V}_{ref}$ e I_{ref} são disponibilizados em todas as unidades¹.

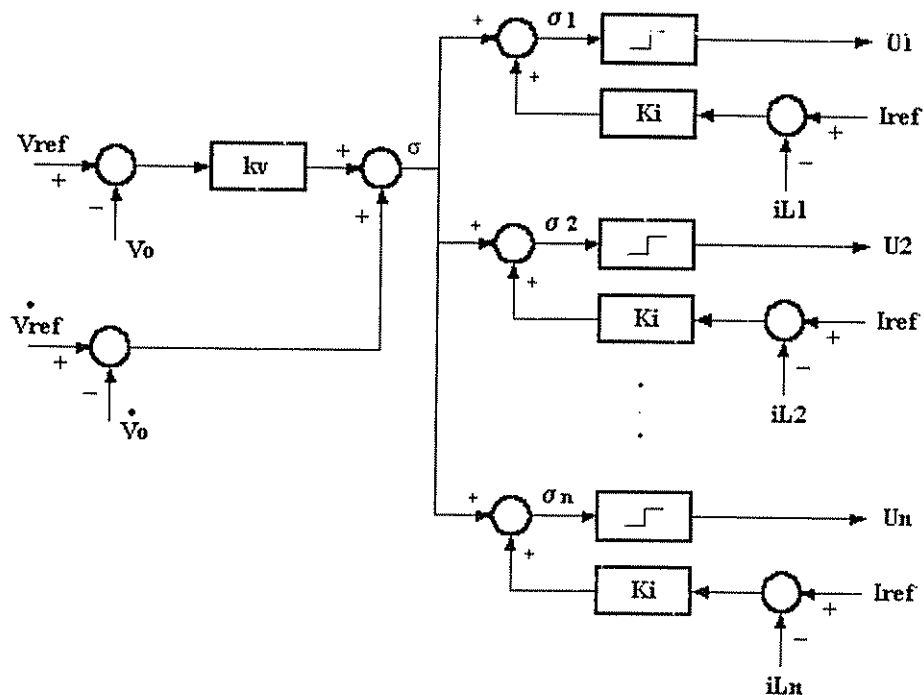


Figura 1.13: Controle por Modos Deslizantes

Apesar da rápida resposta dinâmica e da robustez inerente aos controles por modos deslizantes, a necessidade prática da utilização de algum algoritmo para a limitação da frequência de operação ([Fo. et al., 1992]) conduz a uma deterioração da qualidade da forma de onda de tensão na saída.

Pontos Importantes

Os esquemas anteriormente apresentados possuem características específicas que conduzem a uma maior ou menor confiabilidade. Segundo [van der Krans and Bouwknecht, 1991], no que diz respeito à confiabilidade, um sistema UPS distribuído deve possuir as seguintes características:

- minimização da comunicação;

¹Dependendo da forma de implementação, o cálculo dos termos de tensão da superfície pode ser único, sendo seu resultado enviado a todas as unidades, as quais calculariam σ_n acrescentado o termo em corrente.

- ausência da relação mestre-escravo entre unidades do sistema;
- todas as unidades devem ser iguais.

Para atender estes requisitos [van der Krans and Bouwknecht, 1991] propõe o paralelismo de inversores segundo o esquema mostrado na figura 1.14. Este esquema possui uma pequena interconexão entre o controle das unidades que é a informação da corrente de carga. A minimização da comunicação levou à utilização de uma estratégia similar aos esquemas sem a presença de comunicação, os quais são apresentados na seção 1.3.2. A diferença de corrente de cada unidade para o valor correspondente à parcela de contribuição individual ideal permite o cálculo dos desvios de potência ativa e reativa, os quais são utilizados para corrigir a frequência e amplitude da tensão de saída do inversor, convergindo para uma situação de equilíbrio. Apesar deste esquema reunir as características mencionadas acima, uma importante ressalva deve ser feita, a medição da corrente de carga pode ser uma difícil tarefa em sistemas UPS distribuídos devido ao "espalhamento" físico da carga (ver seção 1.2).

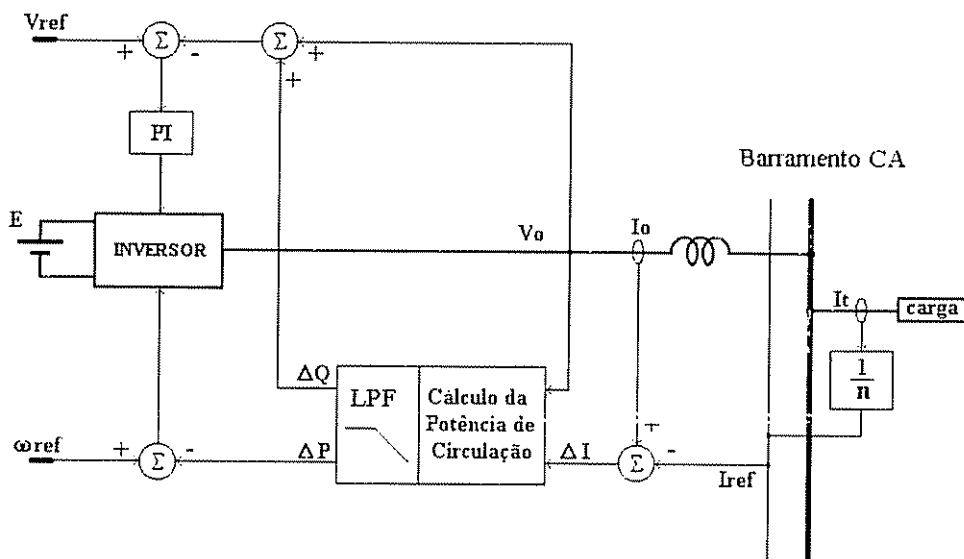


Figura 1.14: "Paralelismo proposto por [van der Krans and Bouwknecht, 1991]

1.3.2 Paralelismo sem interconexão no controle

O controle de unidades inversoras conectadas a um barramento de um sistema distribuído deve ser baseado em informações disponíveis localmente, evitando-se assim, o trânsito de informações através de longas distâncias, as quais implicam problemas de implementação

(ruídos, "EMI", possibilidade de ruptura de comunicação) e conseqüente redução da confiabilidade do sistema. A comunicação a longas distâncias deve existir apenas de forma redundante para melhorar o desempenho do sistema.

A operação estável de um sistema de potência depende do equilíbrio entre a geração e demanda de potência ativa e reativa. O fluxo de potência ativa e reativa em um sistema não são desacoplados, mas a potência ativa depende predominantemente do ângulo de fase entre inversor e barra, e a potência reativa depende predominantemente da amplitude da tensão. Para uma linha de transmissão sem perdas, onde E e V são as amplitudes das tensões terminais e δ a fase relativa entre E e V , como mostrado na figura 1.15, as potências ativa e reativa na entrada da linha são dadas pelas equações 1.7 e 1.8, respectivamente. Veja maiores detalhes na seção 3.2.



Figura 1.15: Linha de transmissão sem perdas

$$P = \frac{EV \sin \delta}{\omega L} \quad (1.7)$$

$$Q = \frac{E^2}{\omega L} - \frac{EV \cos \delta}{\omega L} \quad (1.8)$$

Assim, o controle do fluxo de potência de unidades inversoras conectadas em paralelo pode ser implementado através do controle local da frequência e da amplitude da fundamental da tensão terminal. O aumento ou redução transitória da frequência permite avançar ou atrasar a fase relativa entre inversor e barra (ângulo de carga). Sem a comunicação entre as unidades inversoras, torna-se necessário impor um comportamento pré-definido para as grandezas manipuláveis (frequência e amplitude), de forma a garantir um fornecimento de energia adequado à carga e evitar a circulação de energia entre as unidades inversoras. Isto é alcançado pela introdução de curvas de decaimento para a frequência em função da potência ativa e para a tensão terminal em função da potência reativa (ver seção 3.2).

Uma alternativa para o controle do paralelismo sem a existência de linhas de informação entre as unidades de controle é apresentada em [Divan et al., 1991]. Primeiramente, o autor

apresenta uma estratégia para o controle do fluxo de potência ativa e reativa de um inversor conectado a uma barra infinita; em seguida, esta estratégia é estendida para o controle do fluxo de potência entre duas unidades autônomas.

O esquema proposto em [Divan et al., 1991] para a operação de um inversor conectado à rede é mostrado na figura 1.16. Este consiste do controle vetorial em referencial estacionário de um inversor de tensão trifásico, onde seis vetores discretos de tensão ativos, mais um vetor nulo, podem ser reproduzidos no espaço vetorial, como mostrado na figura 1.17. Normalmente, tais vetores não correspondem à ação de controle desejada para a respectiva correção de erro do sistema em malha fechada. Valores médios intermediários podem ser sintetizados por várias técnicas (PWM, histerese). No caso em questão, [Divan et al., 1991] utiliza uma técnica de sintetização do vetor adequado usada por [Depenbrock, 1988] para o controle direto de conjugado numa máquina de indução. Esta técnica consiste numa lógica de chaveamento cuja entrada depende da comparação de estados do sistema, com frequência limitada por uma banda de histerese.

A integral no tempo da tensão de saída do inversor — chamada de vetor fluxo do inversor, o qual não tem aqui o mesmo significado para aplicações em máquinas elétricas, é uma grandeza fictícia relacionada com os volts-segundos no indutor de filtro. As componentes no plano d-q do vetor fluxo do inversor Ψ_v são definidas pelas equações 1.9 e 1.10. O módulo e fase do vetor fluxo são definidos pela equação 1.11 e 1.12, respectivamente.

$$\Psi_{dv} = \int_{-\infty}^t V_d d\tau \quad (1.9)$$

$$\Psi_{qv} = \int_{-\infty}^t V_q d\tau \quad (1.10)$$

$$|\Psi_v| = \Psi_v = \sqrt{\Psi_{dv}^2 + \Psi_{qv}^2} \quad (1.11)$$

$$\delta_v = \text{tg}^{-1}\left(\frac{-\Psi_{dv}}{\Psi_{qv}}\right) \quad (1.12)$$

O controle direto do vetor fluxo apresenta um excelente desempenho ([Depenbrock, 1988]), mas neste caso, o vetor tensão apresenta-se de forma descontínua, chaveando entre os sete vetores possíveis de serem sintetizados no plano d-q (figura 1.17). Por outro lado, o vetor fluxo é uma grandeza que não apresenta descontinuidade e, portanto, é utilizada para o controle do fluxo de potência. As relações de potência do sistema podem ser escritas em termos do vetor fluxo. A potência ativa do sistema calculada a partir das correntes e tensões no plano d-q é definida como:

$$P = \frac{3}{2}(e_d i_d + e_q i_q) \quad (1.13)$$

Colocando as correntes i_d e i_q em termos do vetor fluxo, segue que:

$$P = \frac{3}{2L}(e_d(\Psi_{dv} - \Psi_{de}) + e_q(\Psi_{qv} - \Psi_{qe})) \quad (1.14)$$

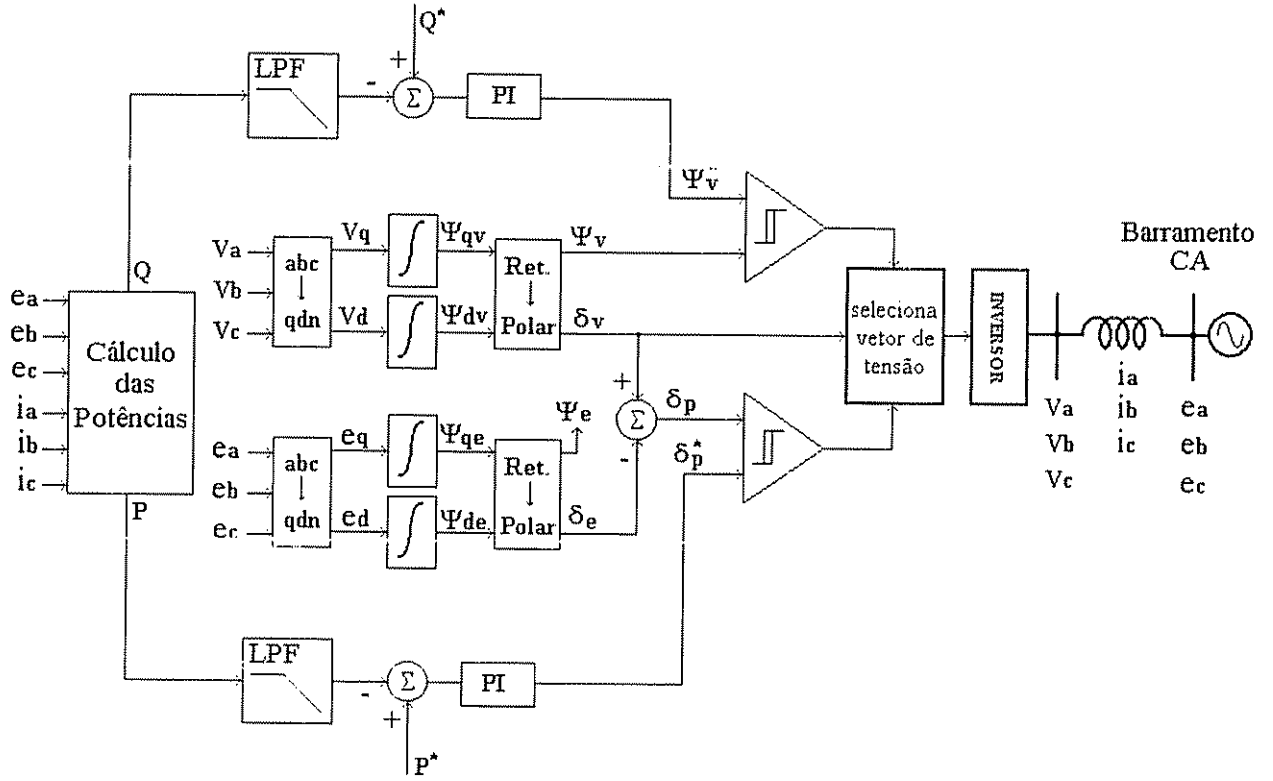


Figura 1.16: Inversor em paralelo com uma barra infinita

onde as diferenças $(\Psi_v - \Psi_e)$ representam o fluxo no indutor de saída L , nos respectivos eixos d e q .

Considerando um sistema com tensões alternadas senoidais de frequência ω e a relação espacial entre os vetores de fluxo Ψ_v e Ψ_e , a equação 1.14 pode ser escrita da seguinte forma:

$$P = \frac{3}{2L} \omega \Psi_v \Psi_e \sin \delta_p \quad (1.15)$$

onde δ_p é a fase relativa entre os dois vetores de fluxo. Da mesma forma podemos obter a expressão para a potência reativa, resultando na equação 1.16.

$$Q = \frac{3\omega}{2L} (\Psi_v \Psi_e \cos \delta_p - \Psi_e^2) \quad (1.16)$$

Observa-se a similaridade entre as expressões 1.7 e 1.15 e entre 1.8 e 1.16. As primeiras

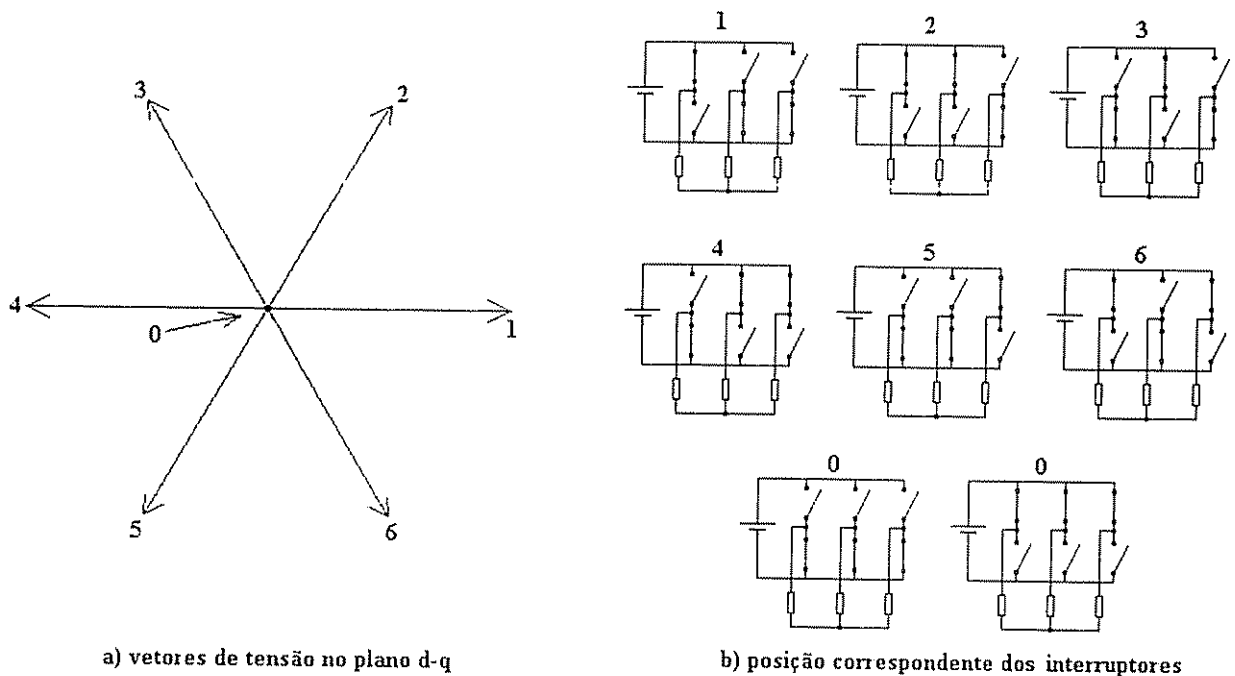


Figura 1.17: Vetores de tensão do inversor

representam a potência ativa e reativa por fase numa linha de transmissão sem perdas, as demais representam as potências ativa e reativa trifásicas calculadas a partir do referencial d-q mostrado na figura 1.17. A partir das equações para a potência ativa e reativa, equações 1.15 e 1.16, verifica-se a possibilidade do controle do fluxo de potência ativa através de δ_p e o controle do fluxo de potência reativa através de Ψ_v . Esta é exatamente a proposta apresentada por [Divan et al., 1991] e mostrada na figura 1.16, onde P^* define o "setpoint" para a potência ativa a ser injetada na rede e Q^* a potência reativa. Estas referências são comparadas com os valores P e Q medidos no ponto de conexão com a rede. O erro resultante é compensado através de reguladores PI, no sentido de anular o mesmo em regime e permitir um desempenho dinâmico satisfatório, gerando as correspondentes ações de controle δ_p^* e Ψ_v^* . A medição de P e Q envolve a utilização de filtros passa-baixa, os quais ditam o desempenho dinâmico do sistema, pois representam a banda passante mais estreita entre os vários elementos do sistema.

A determinação do vetor tensão a ser aplicado é então realizada com base no desvio de Ψ_v em relação a Ψ_v^* e de δ_p em relação a δ_p^* . Se o desvio de δ_p para δ_p^* é maior que um determinado limite, o vetor nulo será aplicado. Se tal desvio é menor que o limite especificado, e Ψ_v possui um desvio de Ψ_v^* superior a outro limite especificado, um vetor tensão é escolhido de modo a aumentar δ_p e levar Ψ_v na direção correta. Este procedimento é realizado pelos comparadores de histerese e pelo bloco de seleção do vetor de tensão, o qual contém uma tabela com a lógica

de chaveamento. Maiores detalhes podem ser encontrados em [Divan et al., 1991].

Este esquema permite então o controle do fluxo de potência ativa ou reativa a ser injetado na rede. A absorção de potência ativa, ou seja, potência ativa negativa, fluxo no sentido rede-inversor, depende da configuração do sistema. Considerando-se, por exemplo, uma *Line interactive UPS*, é possível a existência de tal condição para a carga da bateria. No caso de uma *"on-line UPS"*, não há possibilidade de uma reversão no fluxo médio de potência ativa.

Para a operação de duas ou mais unidades inversoras conectadas em paralelo e isoladas da rede, [Divan et al., 1991] propõe um esquema como o apresentado na figura 1.18. Neste caso não existe uma tensão senoidal de referência imposta pela rede, cada inversor é que deve gerar sua própria tensão de referência. As unidades inversoras são conectadas ao barramento de tensão alternada através de um filtro LC.

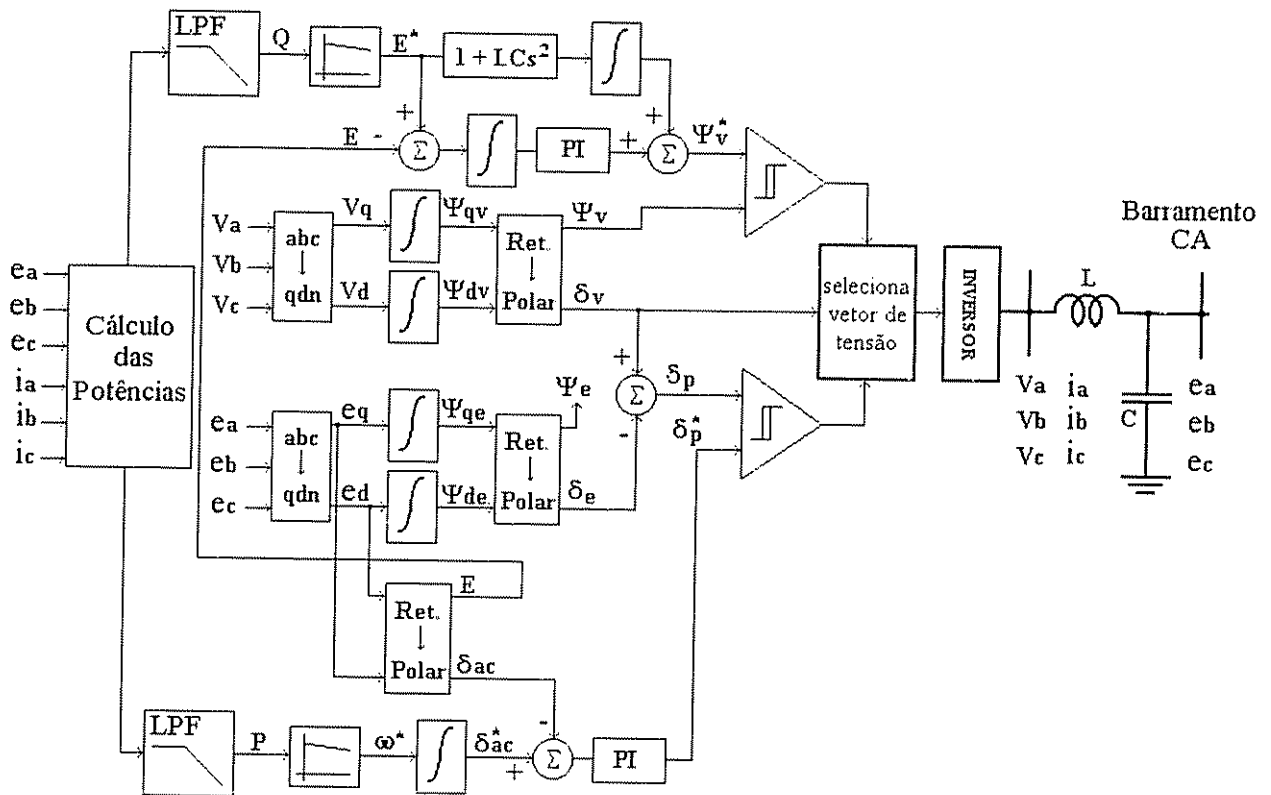


Figura 1.18: Paralelismo proposto por [Divan et al., 1991]

O esquema de controle de cada unidade inversora funciona de forma similar ao esquema

anterior, só que neste caso, ao invés de definir uma potência ativa e reativa a ser fornecida pelo inversor, são definidas a frequência de referência ω^* e a amplitude E^* para a tensão de saída. Através do controle da fase e amplitude da tensão de saída podemos controlar o fluxo de potência ativa e reativa (ver equações 1.7 e 1.8).

Integrando a frequência de referência ω^* obtém-se a fase de referência δ_{ac}^* que é comparada com a fase da tensão de saída do inversor δ_{ac} . O erro correspondente gera a ação de controle δ_p^* através de um compensador PI. O fluxo de referência Ψ_v^* para a malha de controle interna é obtido a partir da integral no tempo do erro de tensão e de um compensador PI. Neste caso, [Divan et al., 1991] propõe a inclusão de uma ação "feed-forward" para compensar a dinâmica do filtro LC de saída (bloco $1 + LCs^2$).

O controle de fluxo de potência é obtido através da imposição das curvas características $P - \omega^*$ e $Q - E^*$, equações 1.17 e 1.18:

$$\omega_i^* = \omega_o - m_i(P_{oi} - P_i) \quad (1.17)$$

$$E_i^* = E_o - n_i(Q_{oi} - Q_i) \quad (1.18)$$

onde i identifica a unidade inversora, ω_o é a frequência de operação nominal do sistema, P_{oi} é a potência nominal do i ésimo inversor e P_i a potência ativa fornecida. A inclinação m_i da curva $P - \omega^*$ é uma grandeza negativa, ou seja, o aumento da potência ativa fornecida P_i , implica a redução da frequência de operação ω_i^* . Desta forma há uma pequena variação na frequência de operação do sistema a vazio e em plena carga. Inversores com potências distintas podem ser acoplados em paralelo, de modo que a seguinte relação seja satisfeita:

$$m_1 P_{o1} = m_2 P_{o2} = \dots = m_n P_{on} \quad (1.19)$$

Para uma dada condição de operação, em que P é a potência total da carga, tem-se:

$$m_1 P_1 = m_2 P_2 = \dots = m_n P_n \quad (1.20)$$

$$P_1 + P_2 + \dots + P_n = P \quad (1.21)$$

O controle do fluxo de potência reativa pode ser analisado da mesma forma que o exposto acima para a potência ativa, agora considerando a equação 1.18.

Uma estratégia para o controle do paralelismo similar a de [Divan et al., 1991] é apresentada por [Tuladhar et al., 1997], mas agora aplicada ao controle do paralelismo de inversores de tensão monofásicos com controle PWM senoidal clássico. O esquema proposto por [Tuladhar et al., 1997] é mostrado na figura 1.19. Cada unidade inversora possui um bloco PWM controlado por uma malha interna de corrente e uma malha externa de tensão. A malha mais externa para controle do fluxo de potência também é baseada nas curvas potência ativa-frequência e potência reativa-tensão. A inovação do esquema de [Tuladhar et al., 1997] neste caso, se apresenta em dois aspectos. O primeiro é a utilização de um algoritmo específico para

cálculo da potência ativa P , potência reativa Q e potência de distorção D . A potência de distorção neste caso, se refere à energia circulante no sistema devido às correntes harmônicas com frequência diferente da fundamental, causadas por cargas não lineares. O algoritmo proposto por [Tuladhar et al., 1997] é mostrado no apêndice A. O segundo aspecto é a utilização de uma atenuação do ganho da malha de tensão em função da potência de distorção D (ver esquema na figura 1.19). Isto permite a distribuição do fluxo de potência de distorção (correntes harmônicas) entre os inversores, por outro lado concorre para a redução da qualidade da forma de onda da tensão de saída.

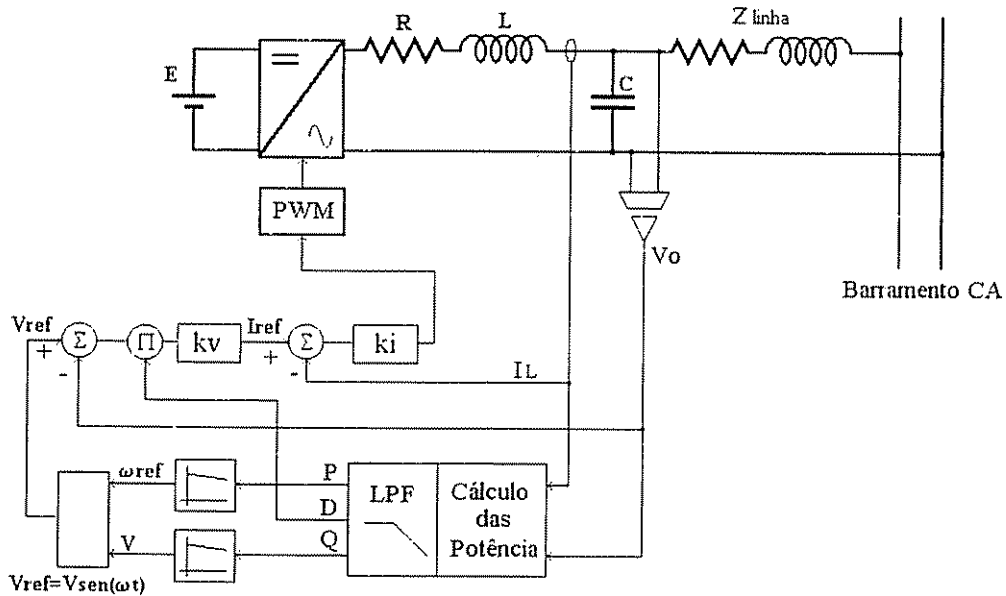


Figura 1.19: Paralelismo proposto por [Tuladhar et al., 1997]

O trabalho de [Tuladhar et al., 1997] foi baseado em [Kawabata et al., 1983], que também mostra uma estratégia para o paralelismo de inversores PWM segundo curvas $P - \omega$ e $Q - V$. Neste trabalho, a modulação PWM consiste numa configuração de 6, 12 ou 18 pulsos gravados em ROM e aplicados ao inversor em frequência de 300Hz ou 420Hz, a fim de se obter uma neutralização dos harmônicos de baixa ordem na tensão de saída.

O esquema de [Kawabata et al., 1983] é mostrado na figura 1.20. Este esquema apresenta duas características importantes não enfatizadas nos esquemas mostrados anteriormente. A primeira é a preocupação com os transitórios de tensão durante a entrada e saída da unidade inversora no barramento CA (chave SW3). Uma função chamada pelo autor de "*smooth transfer control*" verifica o sincronismo do inversor com o barramento e fecha a chave SW3 no instante adequado, em seguida abre SW2 e fecha a chave SW1 colocando o sistema em operação. A segunda característica importante é relativa aos sinais F_x e V_x , os quais servem

para retornar a frequência e amplitude da tensão do sistema aos valores nominais, ou seja, considerando um sistema isolado da rede elétrica, a frequência e tensão possuiriam desvios para os valores nominais em função da situação de carga; uma malha externa lenta poderia retornar estas grandezas aos valores nominais atuando em F_x e V_x .

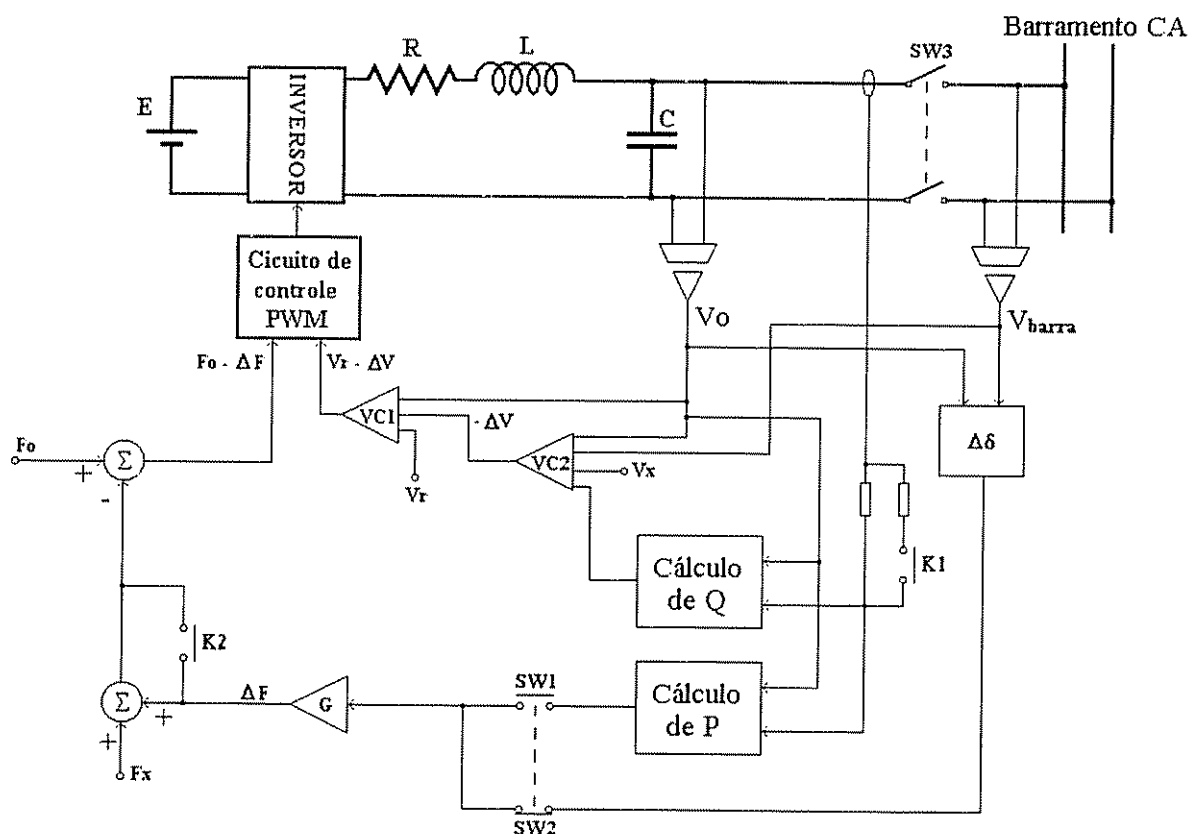


Figura 1.20: Paralelismo proposto por [Kawabata et al., 1983]

Ambos os autores apresentam resultados satisfatórios em seus trabalhos. Apesar da omissão de alguns detalhes, o mérito do trabalho de [Kawabata et al., 1983] está na apresentação de resultados experimentais. [Divan et al., 1991] e [Tuladhar et al., 1997] apresentam apenas resultados de simulação. [Tuladhar et al., 1997] sinaliza a existência de desvios na distribuição do fluxo de potência reativa devido à divergência nos parâmetros das linhas de transmissão entre cada unidade inversora e carga, além da desvantagem de perda na qualidade da onda de tensão para cargas não lineares. Para resolver estes problemas, o mesmo autor propõe uma solução em [Tuladhar et al., 1998], onde é estabelecida uma comunicação entre as

unidades de controle de cada inversor através da própria linha de potência. A comunicação se dá através da injeção de sinais com amplitude de 1% da fundamental e frequência de 90Hz e 130Hz. Filtros de ordem elevada fariam a recuperação dos sinais na unidade receptora. Segundo o autor, esta técnica envolveria um pesado processamento de sinais, justificando a utilização de um "DSP".

Os esquemas propostos por [Kawabata et al., 1983], [Divan et al., 1991], [Chandorkar et al., 1994] e [Tuladhar et al., 1997] são derivados da teoria de estabilidade em Sistemas de Potência e fazem analogia a um sistema com vários geradores síncronos conectados a um barramento comum, onde o controle automático de geração (*AGC*) impõe uma característica potência-frequência em cada unidade geradora (ver seção 2.4).

[Chung et al., 1991] faz uma severa crítica ao controle do paralelismo através das curvas $P - \omega$ e $Q - V$, este enfatiza que tais sistemas apresentam uma resposta dinâmica limitada, pois o controle da distribuição de carga é obtido através da realimentação da potência média, o que infelizmente é uma realidade. Por outro lado, [Chung et al., 1991] apresenta uma proposta de controle em tempo real do paralelismo de inversores, com rapidez de resposta, mas fortemente dependente da comunicação.

1.4 Contribuições da Presente Tese

Dentre as técnicas para o controle do paralelismo de inversores, a utilização de curvas $P - \omega$ e $Q - V$ caracteriza-se como a mais promissora devido à independência fundamental da comunicação entre as unidades inversoras. Apesar das diferenças significativas entre *Sistemas Elétricos de Potência* (SEP) e sistemas UPS, ou mais especificamente entre geradores síncronos e inversores, os resultados apresentados por [Kawabata et al., 1983], [Divan et al., 1991], [Chandorkar, 1995] e [Tuladhar et al., 1997] mostram que a adoção das estratégias de controle utilizadas em SEP para o controle do paralelismo de inversores é um procedimento viável e mais enfaticamente justificado quando se leva em consideração os problemas advindos da comunicação entre as unidades. Esta foi então a primeira opção de estudo da presente tese.

A analogia com SEP sugere a análise de subsistemas como *AGC* ("Automatic Generation Control"), *AVR* ("Automatic Voltage Regulation") e *PSS* ("Power System Stabilizer"), os quais são subsistemas importantes no desempenho dinâmico de um sistema de potência global (ver seção 2.4).

O *AVR* compensa as variações da tensão de saída em função das variações de carga, através do controle de excitação dos geradores síncronos. É a malha mais rápida do sistema e faz analogia com a malha de controle de tensão de saída do inversor. O *PSS* tem a função de inserir um amortecimento nas oscilações de frequência dos geradores, também através do controle de excitação dos mesmos. E o *AGC* impõe uma característica potência-frequência, atuando no controle do conjugado eletromecânico do sistema turbina-gerador, manipulando uma válvula no caso de turbinas a vapor, ou abertura de comportas no caso de hidroelétricas. Este último subsistema faz analogia à característica $P - \omega$ e o *AVR* faz analogia à curva $Q - V$.

no controle do paralelismo de inversores.

O desempenho dinâmico de um sistema composto por 2 ou mais inversores em paralelo está intimamente ligado à inclinação das curvas $P - \omega$ e $Q - V$. [Pavella and Murthy, 1994] comenta que o aumento do conjugado de sincronismo em um sistema de potência, o que no caso dos inversores implicaria o aumento da inclinação da curva $P - \omega$, leva a um aumento do comportamento oscilatório do sistema (oscilações na frequência), havendo a necessidade da adição de um adequado amortecimento (subsistema PSS). A distribuição do fluxo de potência se processa mais rapidamente, mas de forma oscilatória, havendo troca de energia entre geradores. Os aspectos inerentes à escolha das inclinações de $P - \omega$ e $Q - V$ não são explorados por [Divan et al., 1991] e [Tuladhar et al., 1997]. [Kawabata et al., 1983] comenta apenas os limites necessários a estes parâmetros para uma operação estável, mas sem justificá-los. Em uma outra publicação do mesmo autor ([Kawabata et al., 1990]), este mostra, para um modelo simplificado, a dependência do amortecimento do sistema em relação à resistência da linha de transmissão. Como não faz sentido aumentar os elementos dissipativos do sistema em prol de um maior amortecimento, deve-se buscar este objetivo através da realimentação de estados. Esta é exatamente a função do PSS em Sistemas de Potência. Quando as inclinações são definidas, uma proporção entre sincronismo e amortecimento também é definida para o sistema. Neste caso, uma das contribuições deste trabalho está no estabelecimento de um modelo de auxílio ao projeto das características $P - \omega$ e $Q - V$, de forma a impor ao sistema uma dinâmica adequada, atendendo ao compromisso entre velocidade de resposta e amortecimento satisfatório.

Devido à sua característica não linear, a análise de estabilidade de um Sistema de Potência é uma tarefa complexa, e normalmente é considerada em duas categorias. A primeira é a estabilidade para pequenos sinais, onde são consideradas pequenas perturbações em torno de um ponto de equilíbrio. O sistema é linearizado em torno deste ponto de equilíbrio, e então são aplicadas as ferramentas usuais para análise de sistemas lineares. A segunda categoria é a estabilidade transitória, usada para análise de grandes perturbações, onde há a necessidade de se considerar as equações não lineares completas do sistema. Exceto para alguns casos particulares, a solução de tais equações é frequentemente numérica, ou muitas vezes, utilizando os conceitos de estabilidade segundo Lyapunov ([Pavella and Murthy, 1994]), obtém-se uma simples confirmação ou não da estabilidade, mas sem o levantamento de parâmetros que sinalizem uma melhor ou pior resposta dinâmica. Assim, o método de análise para pequenos sinais foi utilizado na elaboração de um modelo para o paralelismo de inversores e uma conseqüente solução numérica das equações não lineares completas (simulação digital) para validação do mesmo.

Uma noção de estabilidade para pequenos sinais em SEP é apresentada no capítulo 2. O capítulo 3 mostra um estudo inicial de estabilidade para pequenos sinais de um inversor conectado a uma barra infinita. Este estudo inicial visou uma maior compreensão e familiaridade com o controle do fluxo de potência através das curvas $P - \omega$ e $Q - V$, servindo de suporte ao estudo do paralelismo de inversores isolados da rede elétrica (ausência de uma barra infinita).

Dentre os trabalhos diretamente relacionados ao controle do paralelismo sem comunicação, objeto da revisão bibliográfica realizada até o presente momento, apenas os trabalhos de [Kawabata et al., 1983] e [Chandorkar, 1995] apresentam resultados experimentais. O presente trabalho contribui também neste sentido, avaliando os modelos obtidos experimentalmente.

O esquema proposto por [Divan et al., 1991] possui aspectos complicados em sua implementação como, por exemplo, a integral da tensão terminal, apesar de que as aplicações em UPS são em frequência fixa, diferente das aplicações em acionamentos, onde a integração se torna crítica em baixas frequências ou velocidades. Este esquema tem sua origem em aplicações de acionamentos elétricos, onde se deseja elevar a dinâmica de fluxo, controlando-o de forma direta. Os inversores para sistemas UPS já possuem uma dinâmica superior aos sistemas inversor-máquina em acionamentos elétricos (as indutâncias típicas de estator de uma máquina de indução são geralmente centena de vezes as indutâncias do filtro de saída de inversores para UPS²). Neste caso, o grande "gargalo" do sistema como um todo está na malha mais externa de controle do fluxo de potência, onde se tem a banda passante mais estreita. Fez-se, então, a opção pelo controle PWM senoidal clássico, com uma malha de corrente interna e uma malha de tensão externa. Acredita-se ser esta a melhor relação custo-benefício, além disso, [Ryan and Lorenz, 1995] e [Ryan et al., 1997] mostram como melhorar a resposta dinâmica deste controle.

Outro aspecto importante é a opção por uma implementação monofásica, devido a contingências laboratoriais, mas espera-se que os resultados obtidos possam ser estendidos a implementações trifásicas, até com mais facilidade devido à possibilidade de se trabalhar com referencial síncrono no controle do fluxo de potência.

Apesar da importância da independência de comunicação entre as unidades inversoras, esta não precisa ser descartada e pode ser agregada como elemento redundante capaz de realizar ajustes finos ao sistema como, por exemplo, o retorno do sistema a sua característica nominal em amplitude e frequência, independente da situação de carga. Esta função poderia ser executada por uma malha lenta exterior com banda passante menor que a malha de controle de fluxo de potência, ou através da comunicação. No caso de uma falha de comunicação, o sistema possuiria um pequeno desvio em amplitude e frequência em relação aos valores nominais, mas nada que comprometesse a continuidade de operação até o restabelecimento da comunicação.

Além disso, a comunicação permitiria a implementação de um esquema similar ao "*maximum current limit control*" (ver página 10), onde apenas as unidades suficientes para suprir a demanda de carga seriam ativadas.

A comunicação poderia se dar de várias formas. Os métodos convencionais, com linhas dedicadas (RS-232, GPIB, etc.), têm a vantagem da facilidade de implementação no que diz respeito ao interfaceamento com a CPU que controla o processo em cada unidade. Por outro

²Isto depende da frequência de modulação PWM do inversor, a qual determina a dimensão do filtro de saída. Neste caso a referência é feita para inversores de baixa potência, onde uma frequência típica de 10kHz é encontrada

lado, a necessidade de instalação do meio físico de transporte da informação entre as unidades, principalmente num sistema de grandes dimensões físicas, torna este procedimento inviável (aumento de custo, susceptibilidade do meio a EMI, etc). Outra opção seria o uso da própria linha de potência para veicular a informação, através da injeção de sinais, como proposto por [Tuladhar et al., 1998], ou como os sistemas de comunicação de sinais de áudio pela rede elétrica³. É sabido que nestes casos, a recuperação da informação no destino não é uma tarefa banal, mas o aproveitamento de um meio físico já existente para o trânsito da informação é muito interessante. Além do mais, no caso de uma ruptura deste meio físico, de qualquer forma o sistema sofreria uma paralisação.

Após o estabelecimento de um modelo satisfatório para o paralelismo sem comunicação, várias melhorias em aspectos não vitais para o sistema poderiam ser introduzidas com a comunicação. Como pode ser visto na seção 4.7, os esquemas de restauração da frequência nominal encontrados na literatura operam de forma satisfatória, mas recaem na dependência de algum nível de comunicação. Quanto maior o canal de comunicação, maiores as opções de controle, gerenciamento e supervisão do sistema.

1.5 Conclusão

Na atualidade, a busca por "qualidade"⁴ no fornecimento de energia elétrica é um fato incontestável. Neste sentido, os sistemas UPS têm a sua parcela de contribuição e, mais especificamente nesta área, os sistemas UPS distribuídos despontam como uma promessa de qualidade para os sistemas de fornecimento de energia elétrica.

A implementação de um sistema UPS distribuído implica uma solução tecnológica para o problema do paralelismo de inversores. Dentre a enorme gama de soluções encontradas na literatura, as técnicas que não apresentam dependência vital de comunicação entre as unidades do sistema se mostram bastante promissoras.

Considerando que tais técnicas possuem uma aplicação direta em sistemas UPS distribuídos, os quais são de suma importância na atualidade, e que tais técnicas ainda não foram suficientemente exploradas na literatura, o presente trabalho constitui uma contribuição ao estudo de tais tecnologias, estabelecendo um modelo de auxílio ao projeto do controle do paralelismo de inversores para aplicação em sistemas UPS distribuídos, bem como apresentando resultados experimentais que comprovam a eficácia do modelo desenvolvido.

Na linha de estudos correlatos que podem ser abordados em trabalhos futuros, tem-se a análise de desempenho do sistema para cargas não lineares, a utilização de variados algoritmos

³Por exemplo o sistema de comunicação pela rede utilizando os circuitos integrados *LM1893/LM2893* "Carrier-Current Transceiver", visto em [Nat, 1995]

⁴Segundo [Weinhold and de Oliveira, 1998], o termo "qualidade da energia elétrica" está relacionado com qualquer desvio que possa ocorrer na magnitude, forma de onda ou frequência da tensão e/ou corrente elétrica. Esta designação também se aplica às interrupções de natureza permanente ou transitória que afetam o desempenho da transmissão, distribuição ou utilização da energia elétrica

para cálculo das potências e a adição da comunicação para criar opções de operação como, por exemplo, a retirada de unidades desnecessárias devido à baixa demanda de carga, ou para manutenção programada; ativação de demais unidades quando aquelas em operação se aproximarem da potência nominal.

Capítulo 2

Análise de Estabilidade para Pequenos Sinais em SEP

2.1 Introdução

Neste capítulo é introduzida a análise de estabilidade para pequenos sinais em *Sistemas Elétricos de Potência* (SEP). Classicamente em SEP, tal análise é inicialmente considerada para uma máquina síncrona conectada a uma barra infinita através de uma linha de transmissão predominantemente indutiva (sua resistência ôhmica é desprezada). Uma pequena revisão destes conceitos é apresentada na seção 2.2, maiores detalhes podem ser encontrados em [Kundur, 1994] e [Pavella and Murthy, 1994].

A estabilidade para pequenos sinais é definida como a capacidade do sistema de manter o sincronismo mesmo sob o efeito de pequenas perturbações. Desta forma podemos linearizar as equações que descrevem o comportamento do sistema em torno de um ponto de equilíbrio, facilitando a análise do sistema.

As máquinas síncronas acopladas a um SEP possuem subsistemas importantes, o subsistema de excitação e o subsistema de força motriz primário, os quais possuem reguladores associados, *AGC* ("Automatic Generation Control") ou *LFC* ("Load-Frequency Control"), *AVR* ("Automatic Voltage Regulation") e *PSS* ("Power System Stabilizer"). Uma noção destes reguladores é apresentada na seção 2.4.

2.2 Estabilidade em SEP

A estabilidade em SEP é uma propriedade do sistema que o permite manter um estado de equilíbrio sob condições normais de operação, e ainda recuperar um aceitável estado de equilíbrio após a ocorrência de alguma perturbação ([Kundur, 1994]).

Uma condição primordial para a estabilidade de um sistema elétrico de potência é o sincronismo entre as máquinas que realizam a geração de energia, ou seja, basicamente os

problemas de estabilidade estão relacionados à dinâmica dos ângulos de rotor das máquinas. Mas a instabilidade pode também ocorrer sem perda de sincronismo, devido a um colapso de tensão por falta de equilíbrio entre a geração e demanda de reativo.

Segundo [Kundur, 1994], a análise de SEP implica a solução simultânea das equações dos seguintes subsistemas:

- máquinas síncronas, com o respectivo circuito de excitação e sistema de força motriz primário;
- rede de linhas de transmissão;
- cargas estáticas e dinâmicas;
- outros dispositivos, como conversores para *HVDC* ("High-Voltage Direct-Current Transmission") e compensadores estáticos de reativo.

A estrutura geral do sistema é mostrada na figura 2.1. Para estudos de estabilidade, os transitórios na rede de linhas de transmissão e estator da máquina são desprezados; assim, suas respectivas equações diferenciais se transformam em equações algébricas reduzindo a ordem do sistema. [Kundur, 1994] apresenta exemplos mostrando que tais simplificações são aceitáveis para o estudo de estabilidade.

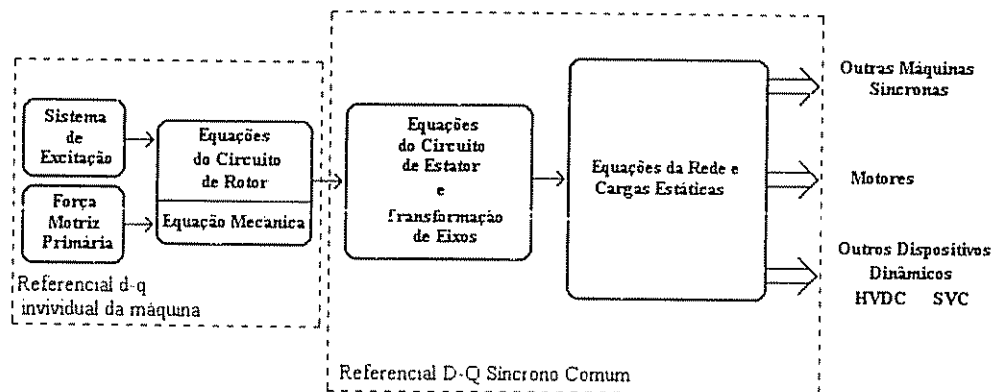


Figura 2.1: Estrutura geral de SEP

As equações diferenciais do modelo de cada máquina do sistema são escritas num referencial d-q que gira em sincronismo com seu próprio rotor. Para a solução das equações de rede, todas as tensões e correntes são consideradas em um mesmo referencial síncrono. Por conveniência, as equações algébricas de estator também são escritas neste mesmo referencial. As relações de transformação do referencial síncrono da máquina para o referencial da rede

são descritas pela equação 2.1 e representadas na figura 2.2, considerando duas máquinas no sistema.

$$\begin{bmatrix} v_{D1} \\ v_{Q1} \\ v_{D2} \\ v_{Q2} \end{bmatrix} = \begin{bmatrix} \cos\delta_1 & -\sin\delta_1 & 0 & 0 \\ \sin\delta_1 & \cos\delta_1 & 0 & 0 \\ 0 & 0 & \cos\delta_2 & -\sin\delta_2 \\ 0 & 0 & \sin\delta_2 & \cos\delta_2 \end{bmatrix} \begin{bmatrix} v_{d1} \\ v_{q1} \\ v_{d2} \\ v_{q2} \end{bmatrix} \quad (2.1)$$

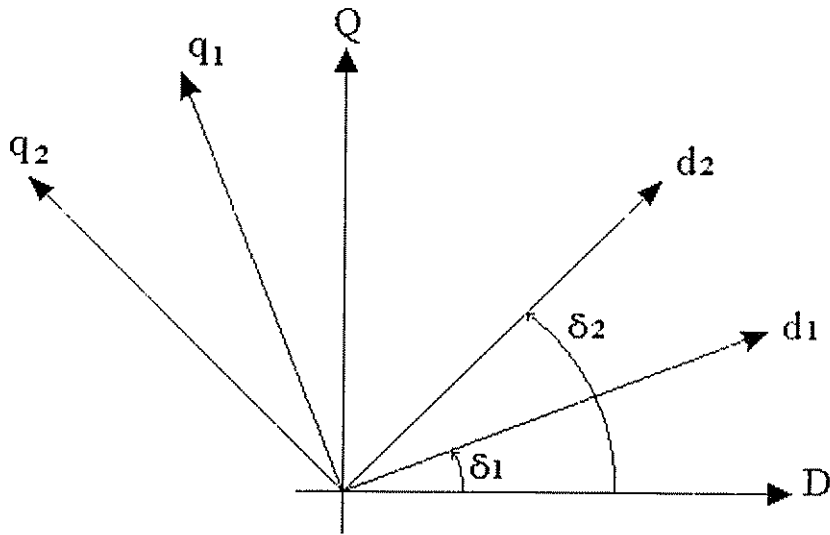


Figura 2.2: Referenciais num sistema multimáquinas

Considerando o sistema e respectivos referenciais mostrados acima. [Undrill, 1968] introduziu um método para análise de estabilidade de um sistema multimáquinas, usando a teoria de controle moderno, onde o sistema é descrito por um conjunto de equações diferenciais no espaço de estados na forma:

$$\dot{x} = [A]x \quad (2.2)$$

O método de [Undrill, 1968] descreve como construir a matriz A para um sistema com um número arbitrário de máquinas e permite a incorporação dos subsistemas de força motriz primária e do regulador de tensão.

A formulação das equações de estado para pequenos sinais envolve a linearização das equações do sistema em torno de um ponto de operação, eliminando as variáveis que não são estados. O procedimento é similar ao tratamento dado a uma simples máquina conectada a uma barra infinita, o qual será mostrado na seção seguinte.

2.3 Estabilidade de uma Máquina Síncrona Conectada a uma Barra Infinita

Nesta seção será mostrada a análise de estabilidade para pequenos sinais de uma máquina síncrona conectada a uma barra infinita através de uma linha de transmissão como mostrado na figura 2.3. Várias configurações topológicas encontradas na prática podem ser reduzidas a esta simples configuração, cuja análise permite a compreensão dos fenômenos encontrados num sistema de potência real.

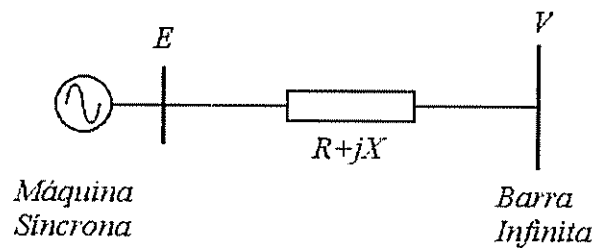


Figura 2.3: Máquina Síncrona Conectada à Rede

Representando a máquina síncrona pelo modelo clássico e negligenciando todas as resistências, o sistema da figura 2.3 pode ser representado pelo modelo mostrado na figura 2.4.

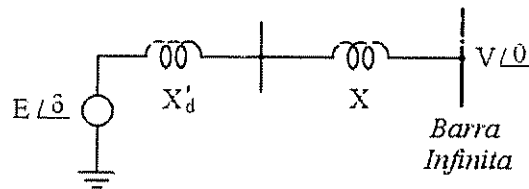


Figura 2.4: Circuito equivalente

A potência ativa fornecida pelo gerador pode ser calculada através da expressão 2.3. Como a resistência de estator foi desprezada, esta é a mesma potência produzida no entreferro da máquina.

$$P = \frac{EV \sin \delta}{X_t} \quad (2.3)$$

onde:

$$X_t = X'_d + X \quad (2.4)$$

Desde que a velocidade angular das máquinas síncronas conectadas a um sistema de potência é praticamente constante, possuindo pequenas variações em torno do valor nominal, a potência e o conjugado no eixo em valores por unidade são praticamente idênticos. Assim, a potência no entreferro é idêntica ao conjugado no eixo por unidade.

$$T_e = P = \frac{EV \sin \delta}{X_t} \quad (2.5)$$

Linearizando a equação 2.5 em torno de um ponto de operação definido por $\delta = \delta_o$, temos:

$$\Delta T_e = \frac{\partial T_e}{\partial \delta} \Delta \delta = \frac{EV \cos \delta_o}{X_t} \Delta \delta \quad (2.6)$$

As equações dinâmicas da máquina por unidade são (ver [Kundur, 1994]):

$$\frac{d\Delta\omega}{dt} = \frac{1}{2H} (T_m - T_e - K_D \Delta\omega) \quad (2.7)$$

$$\frac{d\delta}{dt} = \omega_o \Delta\omega \quad (2.8)$$

onde $\Delta\omega$ é a variação por unidade da velocidade angular do rotor, ω_o é a velocidade angular base do rotor em radianos elétricos por segundo e δ é o ângulo de avanço de fase do rotor da máquina em relação à rede. K_D é o coeficiente do conjugado de amortecimento por unidade e H é a constante de inércia da máquina em MW s/MVA.

Linearizando a equação 2.7 e substituindo ΔT_e , dado pela equação 2.6, temos:

$$\frac{d\Delta\omega}{dt} = \frac{1}{2H} (\Delta T_m - K_S \Delta\delta - K_D \Delta\omega) \quad (2.9)$$

onde K_S é o coeficiente do conjugado de sincronização por unidade:

$$K_S = \frac{EV \cos \delta_o}{X_t} \quad (2.10)$$

Linearizando a equação 2.8, temos:

$$\frac{d\Delta\delta}{dt} = \omega_o \Delta\omega \quad (2.11)$$

Substituindo 2.11 em 2.9 e desenvolvendo na forma de Laplace, segue:

$$s^2 \Delta\delta(s) + \frac{K_D}{2H} s \Delta\delta(s) + \frac{K_S}{2H} \omega_o \Delta\delta(s) = \frac{\omega_o}{2H} \Delta T_m(s) \quad (2.12)$$

A equação 2.12 descreve o comportamento da variação do ângulo de avanço δ do rotor em relação à rede, para pequenas oscilações em torno do ponto de equilíbrio definido por δ_o . Tomando como referência a expressão geral para um sistema de segunda ordem (equação 2.13), encontramos os parâmetros frequência natural não-amortecida (equação 2.14) e fator de amortecimento (equação 2.15)

$$s^2 \Delta\delta(s) + 2\xi\omega_n s \Delta\delta(s) + \omega_n^2 \Delta\delta(s) = 0 \quad (2.13)$$

$$\omega_n = \sqrt{K_s \frac{\omega_o}{2H}} \quad (2.14)$$

$$\xi = \frac{1}{2} \frac{K_D}{2H\omega_n} = \frac{1}{2} \frac{K_D}{\sqrt{K_s 2H\omega_o}} \quad (2.15)$$

2.4 Controladores em SEP

O controle de SEP integra uma série de subsistemas básicos, cuja responsabilidade é manter estável a amplitude da tensão e frequência do sistema, bem como estabelecer o equilíbrio na distribuição do fluxo de potência ativa e potência reativa. Tais subsistemas são mostrados na figura 2.5, os quais serão descritos nos itens subseqüentes.

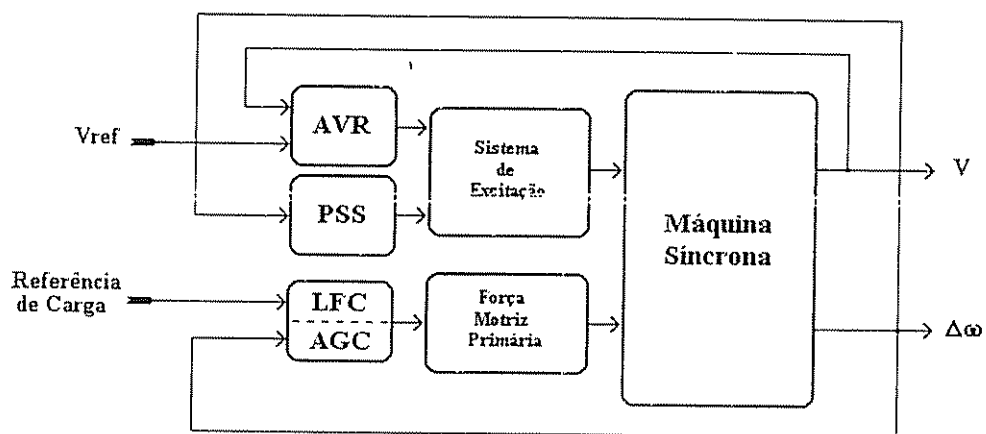


Figura 2.5: Controladores em SEP

2.4.1 "Automatic Generation Control" (AGC) e "Load-Frequency Control" (LFC)

Apesar dos fluxos de potência ativa e reativa não serem completamente desacoplados, o controle do fluxo de potência ativa num sistema interligado está predominantemente ligado ao controle da frequência e o fluxo de reativo ao controle da tensão. O sistema de controle de força motriz, mostrado na figura 2.6, é responsável pelo controle de frequência do sistema e conseqüentemente pelo controle do fluxo de potência ativa.

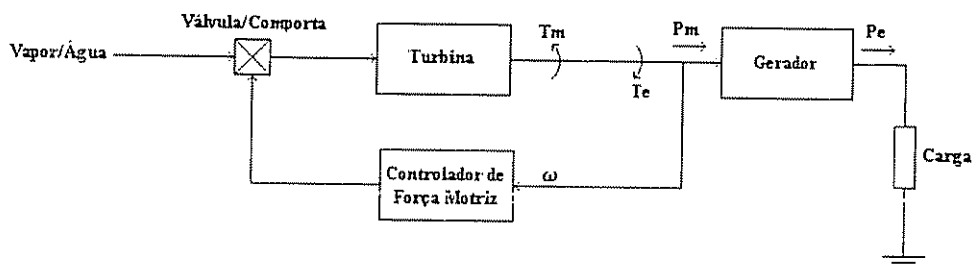


Figura 2.6: Controle de Força Motriz

Quando há uma variação de carga, há instantaneamente uma variação do conjugado T_e de saída do gerador. Na ausência do controle de força motriz, o sistema responde segundo sua constante de inércia e constante de amortecimento. Neste caso, a magnitude da variação de frequência corresponde à parcela exata necessária para o equilíbrio das potências gerada e consumida, ou seja, a variação de frequência provoca uma alteração das cargas dependentes da mesma de modo a equilibrar os conjugados T_m e T_e .

O controlador de força motriz visto na figura 2.6 pode ser do tipo "isócrono", ou seja, mantém a frequência constante, no limite de uma determinada dinâmica, independente das variações da carga. Neste caso, em regime permanente, não há desvio na frequência em relação ao valor nominal em função das variações de carga.

Quando se considera um sistema com dois ou mais geradores síncronos, os controladores de força motriz não podem ser do tipo "isócrono", pois estes deveriam ter frequências nominais exatamente idênticas, senão cada qual tentaria impor sua referência, havendo um "conflito" entre as unidades. Para a operação estável entre duas ou mais unidades deve-se impor uma característica de decaimento da frequência em função do aumento de carga (*LFC*).

A estrutura de um *LFC* é mostrada na figura 2.7, onde a característica de carga-frequência é obtida através da realimentação de estados através do integrador.

A função de transferência do controlador de força motriz pode ser reduzida através de operações algébricas à forma apresentada na figura 2.8. Observa-se que este controlador possui a estrutura de um compensador proporcional, onde uma potência de saída P_o implica

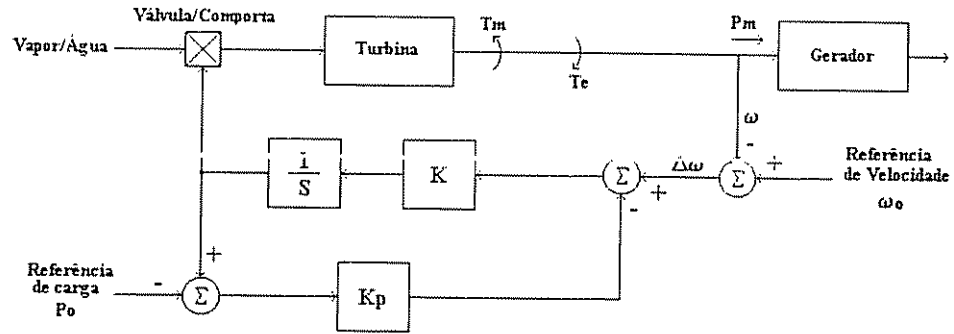


Figura 2.7: Controlador *LFC*

uma frequência de operação ω_o .

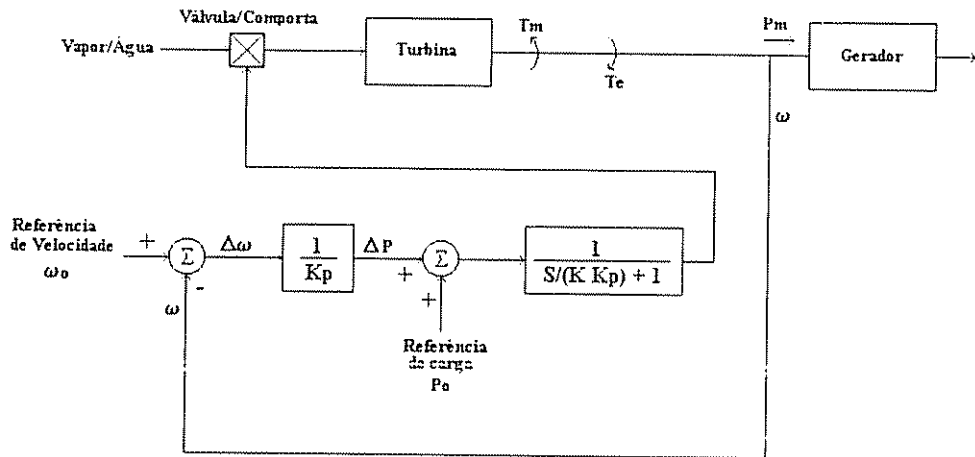


Figura 2.8: Controlador *LFC* - (diagrama simplificado)

A característica de decaimento frequência-carga é definida pela equação 2.16 e representada na figura 2.9, onde k_p determina a inclinação da curva.

$$\omega - \omega_o = -k_p(P - P_o) \quad (2.16)$$

Uma variação de carga resulta num deslocamento da frequência de operação em relação a seu valor nominal, cuja magnitude depende da inclinação k_p da curva frequência-carga. Todos os geradores acoplados no sistema sofrerão um deslocamento em frequência, independente da

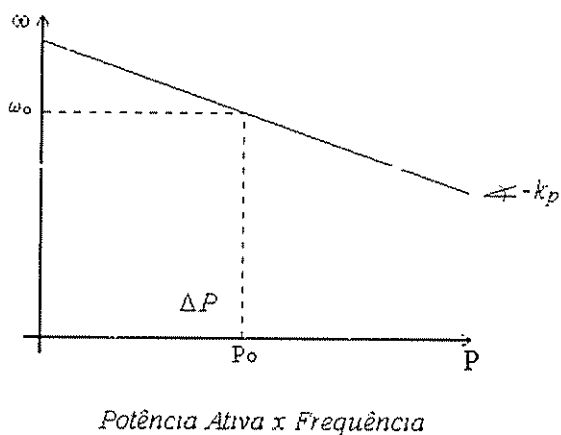


Figura 2.9: Característica de Decaimento frequência-Carga

localização onde houve variação de carga. A manutenção em regime permanente da frequência de operação do sistema em seu valor nominal, independente da situação de carga, requer uma correção do valor de referência de carga P_0 . Como a carga está em contante variação, este procedimento deve ser realizado de forma automática.

Além de incorporar o *LFC*, o "Automatic Generation Control" (*AGC*) atua no sentido de restaurar o valor nominal de frequência durante uma variação de carga e no controle do fluxo de potência entre áreas distintas do sistema. As ações da função *LFC* e integral de restauração da frequência se restringem às unidades dentro de uma mesma área do sistema, e atuam no sentido de corrigir as perturbações causadas por variações de cargas locais.

Para restaurar a frequência nominal do barramento, um controle integral é inserido de forma a alterar a referência de carga do sistema, como mostrado na figura 2.10. Esta ação integral é inserida em algumas unidades do sistema, e possui uma ação lenta comparada com a ação da função *LFC*. Assim, durante um transitório de carga, a função *LFC* força a distribuição de cargas entre as unidades, estabiliza a frequência do sistema segundo um deslocamento correspondente à variação de carga e a ação integral, após este transitório de frequência, lentamente arrasta a frequência de todas as máquinas para o seu valor nominal, não apenas as máquinas onde a respectiva ação é aplicada.

Quando um SEP de grandes dimensões é considerado, com vários geradores e cargas distribuídos em várias áreas conectadas entre si através de linhas de transmissão, formando uma grande rede, o subsistema *AGC* deve ainda incorporar o controle do fluxo de potência entre as diferentes áreas. Este controle, por sua vez, é dependente da comunicação entre as áreas, segue diretrizes definidas segundo um despacho de carga e obedece a uma série de critérios previamente estabelecidos pelas concessionárias de energia elétrica. Esta comunicação entre

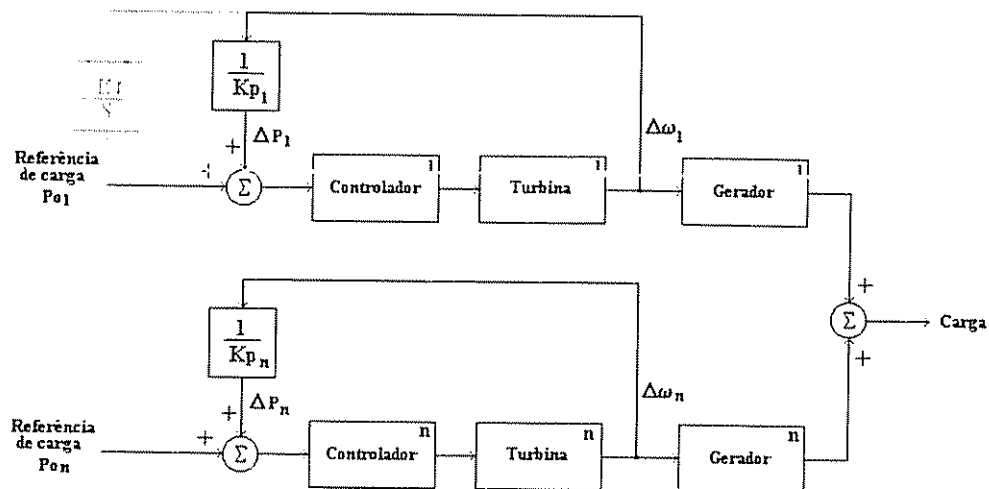


Figura 2.10: AGC - Ação integral em unidades selecionadas

diferentes áreas permite a otimização da operação do sistema em aspectos econômicos, capacidade de geração, e manutenção do fornecimento de energia através do remanejamento do fluxo de carga. Maiores detalhes sobre esta função do AGC podem ser encontrados em [Kundur, 1994].

2.4.2 "Automatic Voltage Regulation" (AVR)

Como mencionado na seção anterior, o controle do fluxo de potência reativa do sistema está intimamente ligado ao controle da tensão e vice-versa. Diferentemente da potência ativa, o fluxo de potência reativa não deve ser transmitido a longas distâncias, pois isto implicaria elevados desvios de tensão entre as extremidades de transmissão; assim, vários dispositivos¹ que controlam o fluxo de reativo e afetam a tensão são distribuídos num SEP de grande porte. A correção local do fator de potência realizada por estes dispositivos evita, então, o trânsito de reativo pelo sistema, diminuindo não só os desvios de tensão, mas as perdas resistivas nas linhas de transmissão devido à circulação das correntes reativas. Nesta seção trataremos apenas do (AVR), que é responsável pela compensação da tensão terminal dos geradores em função da carga.

Normalmente o AVR controla a tensão terminal do gerador, mas algumas vezes é usada uma compensação da carga no sentido de se obter o controle da tensão num ponto interno da máquina ou num ponto externo além dos terminais da mesma. O esquema básico do AVR e

¹Capacitores paralelos, reatores paralelos, "static var compensators" (SVC), condensadores síncronos, etc. ([Kundur, 1994])

do *PSS* é mostrado na figura 2.11.

O bloco de compensação de carga permite regular a tensão num ponto interno do gerador e prover um decaimento da tensão terminal, garantindo uma distribuição da potência reativa entre os geradores conectados em paralelo através de seus terminais.

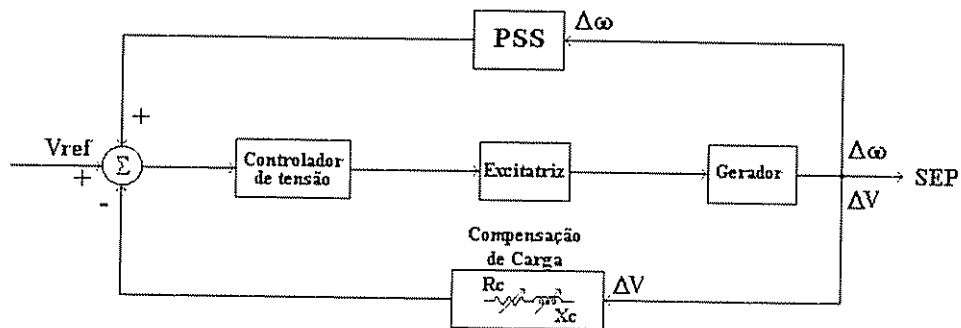


Figura 2.11: AVR e PSS

O sistema de excitação dos geradores em SEP possui uma série de detalhes, como limite de sobre-excitação e subexcitação, os quais são vinculados a aspectos físicos da própria máquina, como a saturação magnética ou capacidade de dissipação de calor. Para a maioria dos estudos é desnecessário se levar em conta todo o detalhamento presente num sistema de excitação real [Kundur, 1994] apresenta alguns modelos normalizados pelo IEEE. Como a maioria destes detalhes não estão presentes num inversor de tensão PWM, estes fogem ao escopo deste trabalho. Neste caso, o subsistema AVR será visto como uma simples malha de regulação de tensão.

2.4.3 "Power System Stabilizer" (PSS)

A função básica de um PSS é adicionar um amortecimento nas oscilações de rotor do gerador controlando sua excitação. Para prover o amortecimento, o PSS deve gerar uma componente de conjugado elétrico em fase com $\Delta\omega$, como mostrado na figura 2.11. Se a função de transferência do regulador de tensão e excitatriz fossem simples ganhos, uma realimentação direta do desvio de velocidade resultaria numa componente de conjugado de amortecimento, mas como tais blocos apresentam um atraso em sua dinâmica, a função de transferência do PSS deve prover uma respectiva compensação em frequência, resultando num conjugado de amortecimento puro para todas as frequências de oscilação.

2.5 Conclusão

A análise para pequenos sinais constitui uma importante ferramenta para estudos de estabilidade em SEP, pois viabiliza a aplicação dos métodos de análise usados para sistemas lineares, disponibilizando importantes informações sobre a dinâmica do sistema, as quais são fundamentais para as questões de projeto. De uma maneira geral, a análise para pequenos sinais permite identificar os problemas de estabilidade associados à falta de conjugado de sincronismo ou falta de conjugado de amortecimento, possibilitando o ajuste dos parâmetros de controle para a geração de um conjugado adequado.

A maioria dos problemas de estabilidade em SEP estão associados à falta de amortecimento das oscilações de rotor. Como não faz sentido aumentar os elementos dissipativos do sistema em prol de um maior amortecimento, este deve ser gerado através da realimentação de estados do sistema, daí a importância de subsistemas como o *PSS*.

O controle do fluxo de potência ativa é predominantemente vinculado ao controle da fase em SEP. As funções *LFC* e ação integral para restauração da frequência nominal do subsistema *AGC* permitem a distribuição local do fluxo de potência ativa de forma satisfatória. Para sistemas interligados de grande porte, cuja rede apresenta áreas distintas, o controle do fluxo de potência ativa entre as áreas exige o estabelecimento de uma comunicação entre os subsistemas *AGC* que controlam as respectivas áreas.

Controle do fluxo de potência reativa num sistema interligado está intimamente relacionado ao controle da tensão. O transporte de energia reativa por longas distâncias implica elevados desvios de tensão entre fonte e destino, neste caso é mais sensato prover a correção local do fator de potência. Para sistemas de pequenas dimensões, restritos a uma mesma área, o controle do fluxo de reativo pode ser feito pela característica de decaimento da tensão implementada no subsistema *AVR*.

O sistema de excitação de geradores síncronos apresenta uma série de peculiaridades, como os fenômenos de subexcitação e sobreexcitação, as quais incorporam muitos detalhes ao *AVR* que muitas vezes podem ser desprezados para efeito dos estudos de estabilidade. Como os inversores de tensão não apresentam as mesmas peculiaridades, estes detalhes não foram abordados neste capítulo.

Capítulo 3

Análise de Estabilidade para Pequenos Sinais de Um Inversor Conectado a Uma Barra Infinita

3.1 Introdução

De uma maneira similar à análise de estabilidade de uma máquina síncrona conectada a uma barra infinita, mostrada no capítulo 2, pode-se fazer a análise de estabilidade para pequenos sinais de um inversor conectado a uma barra infinita. Como será mostrado na seção 3.2, o sistema com o inversor apresenta uma dinâmica mais rápida devido à ausência de inércia do rotor, constituindo-se em um sistema de menor ordem, ou um estado a menos. Por outro lado, a necessidade de impor ao inversor um comportamento similar ao da máquina síncrona, torna o controle deste dependente da realimentação das potências ativa e reativa, sendo que as medições de tais grandezas aumentam a ordem do sistema, introduzindo estados adicionais. Além disso, estas medições determinam os pólos de mais baixa frequência do sistema e basicamente determinam o desempenho deste.

Outro fator a ser considerado é que em sistemas UPS, as linhas de transmissão envolvidas não apresentam as mesmas características que em sistemas de potência, estas são predominantemente resistivas e não indutivas. Como citado em [Tuladhar et al., 1997], um cabo de 100 pés, a 2 fios de bitola 14 AWG apresenta uma resistência de $0,5\Omega$ e uma reatância indutiva de $0,01\Omega$ em 60Hz. Sendo assim, a expressão completa para a potência numa linha de transmissão, não negligenciando a resistência, é considerada na análise apresentada na seção 3.2.

3.2 Inversor de Potência Conectado à Rede

Uma máquina síncrona apresenta uma inércia de rotor que reduz a taxa de variação de velocidade ou frequência de operação. Além disso, pelo princípio da conversão da energia, existe naturalmente um vínculo entre a frequência de operação e a potência fornecida, ou seja, para uma potência mecânica fixa no eixo, a velocidade ou frequência naturalmente cai ao elevarmos a potência elétrica drenada da máquina. Uma máquina síncrona acoplada a uma barra infinita naturalmente se mantém estável dentro dos limites de potência para o ângulo de carga máximo, devido ao conjugado de sincronismo e amortecimento, como visto na seção 2.3. Além disso, a estabilidade da tensão nos terminais da máquina depende do equilíbrio de geração e demanda de reativo

Diferentemente das máquinas síncronas, os inversores de potência não possuem um vínculo natural entre potência ativa e frequência, nem da tensão de saída e demanda de reativo. Para a conexão de um inversor a uma barra infinita, é necessário que estes vínculos sejam criados pelo sistema de controle do inversor a fim de manter uma operação estável. Assim, a frequência ω e tensão de saída E do inversor seguirão as leis de controle 3.1 e 3.2 respectivamente, as quais são representadas na figura 3.1.

$$\omega = \omega_o - k_p P \quad (3.1)$$

$$E = E_o - k_v Q \quad (3.2)$$

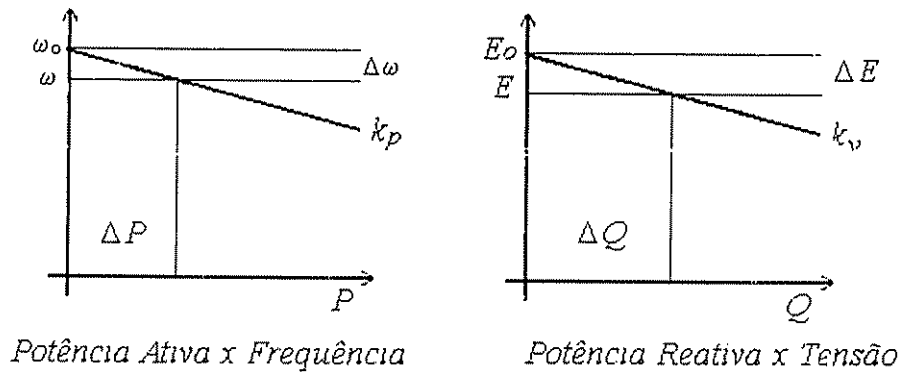


Figura 3.1: Curvas de potências ativa e reativa

O esquema de controle resultante é mostrado na figura 3.2. O inversor apresenta um controlador PWM clássico, com um compensador PI na malha de tensão externa e um outro na malha de corrente interna. A senóide de referência de tensão passada ao controlador do inversor é gerada a partir dos sinais de amplitude e frequência definidos pelas curvas de

potência. O cálculo das potências ativa e reativa pode ser realizado de várias formas e a alternativa aqui utilizada é apresentada no apêndice A.

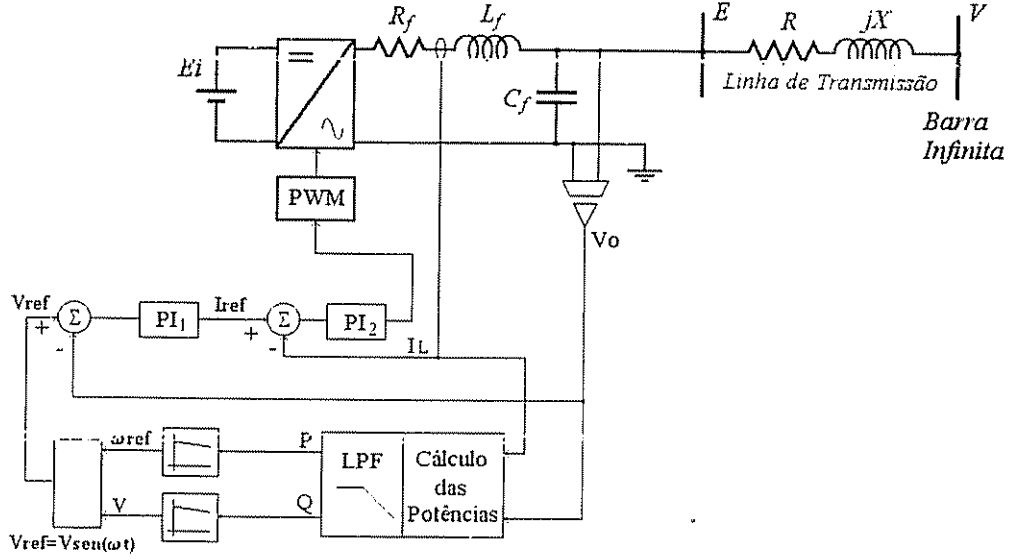


Figura 3.2: Inversor conectado à rede

As potências ativa e reativa veiculadas através de uma linha de transmissão podem ser calculadas através das equações 3.3 e 3.4, respectivamente. Neste caso, estas seriam as potências ativa e reativa fornecidas pelo inversor e transmitidas pela linha, incluindo a potência ativa dissipada na linha e a potência reativa demandada pela indutância da mesma.

$$P = \frac{1}{R^2 + X^2} (RE^2 - REV \cos \delta + XEV \sin \delta) \quad (3.3)$$

$$Q = \frac{1}{R^2 + X^2} (XE^2 - XEV \cos \delta - REV \sin \delta) \quad (3.4)$$

Considerando pequenas perturbações em torno de um ponto de equilíbrio definido por (δ_e, E_e, V_e) , podemos linearizar as equações acima como segue:

$$\Delta \omega = \frac{\partial \omega}{\partial P} \Delta P \quad (3.5)$$

$$\Delta E = \frac{\partial E}{\partial Q} \Delta Q \quad (3.6)$$

$$\Delta P = \frac{\partial P}{\partial E} \Delta E + \frac{\partial P}{\partial \delta} \Delta \delta \quad (3.7)$$

$$\Delta Q = \frac{\partial Q}{\partial E} \Delta E + \frac{\partial Q}{\partial \delta} \Delta \delta \quad (3.8)$$

onde o símbolo Δ representa a variação das grandezas em questão em torno do ponto de equilíbrio.

Substituindo 3.3 em 3.7, 3.4 em 3.8 e calculando as derivadas parciais no ponto de equilíbrio, tem-se:

$$\Delta\omega = -k_p\Delta P \quad (3.9)$$

$$\Delta E = -k_v\Delta Q \quad (3.10)$$

$$\Delta P = k_{pe}\Delta E + k_{pd}\Delta\delta \quad (3.11)$$

$$\Delta Q = k_{qe}\Delta E + k_{qd}\Delta\delta \quad (3.12)$$

Onde:

$$k_{pe} = \frac{1}{R^2 + X^2}(2RE_e - RV_e\cos\delta_e + XV_e\sin\delta_e) \quad (3.13)$$

$$k_{pd} = \frac{1}{R^2 + X^2}(RE_eV_e\sin\delta_e + XE_eV_e\cos\delta_e) \quad (3.14)$$

$$k_{qe} = \frac{1}{R^2 + X^2}(2XE_e - XV_e\cos\delta_e - RV_e\sin\delta_e) \quad (3.15)$$

$$k_{qd} = \frac{1}{R^2 + X^2}(XE_eV_e\sin\delta_e - RE_eV_e\cos\delta_e) \quad (3.16)$$

Para que as leis de controle 3.1 e 3.2 possam ser implementadas é necessário realizar a medição das potências ativa e reativa fornecidas pelo inversor. Esta medição passa necessariamente por uma filtragem de sinais com uma dinâmica consideravelmente lenta em relação à dinâmica de controle da tensão e frequência do inversor e terá uma influência determinante na resposta transitória do sistema. Além disso, utilizando-se o desacoplamento da tensão de saída, a realimentação da corrente no capacitor, dentre outras técnicas (ver [Ryan and Lorenz, 1995]), o desempenho dinâmico do controlador do inversor pode ser substancialmente melhorado em relação ao controle clássico apresentado na figura 3.2. Desta forma, a princípio, parece razoável se considerar o inversor como uma fonte de tensão ideal, com o controle da amplitude da tensão e sua frequência. Então, a potência medida pelo controle do inversor pode ser definida pelas equações 3.17 e 3.18, onde ω_f é a frequência de corte do filtro de medição. Portanto, os termos ΔP e ΔQ das equações 3.9 e 3.10 devem ser substituídos pelos termos a direita das equações 3.17 e 3.18, respectivamente.

$$\Delta P_{med}(s) = \frac{\omega_f}{s + \omega_f} \Delta P(s) \quad (3.17)$$

$$\Delta Q_{med}(s) = \frac{\omega_f}{s + \omega_f} \Delta Q(s) \quad (3.18)$$

Assim, segue que:

$$\Delta\omega(s) = -\frac{k_p\omega_f}{s + \omega_f} (k_{pe}\Delta E(s) + k_{pd}\Delta\delta(s)) \quad (3.19)$$

$$\Delta E(s) = -\frac{k_v \omega_f}{s + \omega_f} (k_{qe} \Delta E(s) + k_{qd} \Delta \delta(s)) \quad (3.20)$$

Explicitando $\Delta E(s)$ em 3.20, tem-se:

$$\Delta E(s) = -\frac{k_v k_{qd} \omega_f}{s + \omega_f + k_v k_{qe} \omega_f} \Delta \delta(s) \quad (3.21)$$

Substituindo 3.21 em 3.19:

$$\Delta \omega(s) = -\frac{k_p \omega_f}{s + \omega_f} \left(-\frac{k_v k_{pe} k_{qd} \omega_f}{s + \omega_f + k_v k_{qe} \omega_f} \Delta \delta(s) + k_{pd} \Delta \delta(s) \right) \quad (3.22)$$

Como a fase δ é a integral da frequência ω no tempo, decorre que:

$$\Delta \omega(s) = s \Delta \delta(s) \quad (3.23)$$

Substituindo 3.23 em 3.22 e desenvolvendo, tem-se que:

$$s^3 \Delta \delta(s) + a s^2 \Delta \delta(s) + b s \Delta \delta(s) + c \Delta \delta(s) = 0 \quad (3.24)$$

onde,

$$a = (2 + k_v k_{qe}) \omega_f \quad (3.25)$$

$$b = (k_p k_{pd} + k_v k_{qe} \omega_f + \omega_f) \omega_f \quad (3.26)$$

$$c = (k_{pd} + k_v k_{pd} k_{qe} - k_v k_{pe} k_{qd}) k_p \omega_f^2 \quad (3.27)$$

A equação homogênea 3.24 descreve então o comportamento da variação do ângulo δ em torno do ponto de equilíbrio (δ_e, E_e, V_e) , a partir de uma dada condição inicial não muito distante do mesmo (pequenas perturbações). O processo de medição das potências introduz pólos adicionais ao sistema, resultando num sistema de terceira ordem. A resposta do sistema pode então ser analisada a partir da equação característica 3.28, a qual fornece os pólos do sistema

$$\lambda^3 + a\lambda^2 + b\lambda + c = 0 \quad (3.28)$$

3.3 Resultados de Simulação

Com a finalidade de validar a representatividade da equação 3.24 para o sistema inversor conectado à rede, dois exemplos são considerados a seguir.

3.3.1 Exemplo I

Seja o sistema da figura 3.2, sendo o inversor considerado como uma fonte de tensão ideal, ou seja, capaz de reproduzir instantaneamente na saída a tensão de referência. O sistema apresenta os parâmetros impedância de linha, frequência de corte do filtro de medição das potências, inclinação das curvas de potência e ponto de equilíbrio definidos na tabela 4.1.

Variável	Valor	Unidade
Impedância da linha	$0,2+j1$	Ω
Frequência de corte filtro de medição(ω_f)	37,7	rd/s
Inclinação da curva $\omega x P(k_p)$	0,0001	rd/s/W
Inclinação da curva $E x Q(k_v)$	0,0001	V/Var
Potência aparente na rede	$1000+j500$	VA
Potência aparente no inversor	$1005,2+j525,8$	VA
Tensão na rede (V)	220	V (rms)
Tensão no inversor (E)	223,21	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,0183	rad

Tabela 3.1: Parâmetros do sistema e ponto de equilíbrio

As curvas de potência ativa e reativa são então ajustadas em "offset" de modo que o inversor forneça 1005,2 W na frequência da rede e 525,8 Var quando sua tensão de saída for 223,21 Vrms. Considerando como condição inicial que o inversor está fornecendo uma potência ativa e reativa nulas, a resposta do sistema pode ser obtida a partir da solução da equação característica do sistema. Tomando os parâmetros da tabela 3.1 e resolvendo 3.28, temos a seguinte solução para os pólos do sistema:

$$\lambda_1 = -42,03 \quad (3.29)$$

$$\lambda_2 = -28,41 \quad (3.30)$$

$$\lambda_3 = -5,77 \quad (3.31)$$

O sistema apresenta então 3 pólos reais negativos e possui uma resposta amortecida definida pela equação 3.32, lembrando que a fase δ do inversor é definida em 3.33.

O sistema em questão foi simulado no programa PSPICE, tomando o inversor como uma fonte de tensão ideal e utilizando o algoritmo apresentado no apêndice A para cálculo das potências. As mesmas condições iniciais propostas anteriormente foram utilizadas. A figura 3.3 apresenta a resposta de fase do inversor obtida através da simulação no PSPICE e através da equação 3.32. Verifica-se que os resultados obtidos estão significativamente próximos.

A figura 3.4 mostra a resposta de frequência angular do inversor, obtida a partir da derivada da fase no tempo, juntamente com a resposta obtida através da simulação no PSPICE.

Observa-se que o filtro de medição não atenua totalmente as oscilações presentes no sinal de potência ativa, e estas são repassadas para o sinal de frequência.

$$\Delta\delta = 0,0008 e^{-42,03 t} - 0,0011 e^{-28,41 t} - 0,018 e^{-5,77 t} \quad (3.32)$$

$$\delta = \delta_e + \Delta\delta \quad (3.33)$$

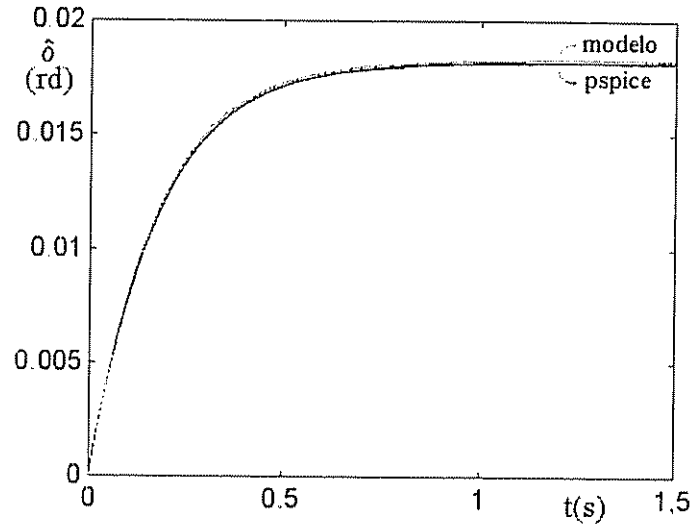


Figura 3.3: Resposta de fase do inversor

As potências ativa e reativa fornecidas pelo inversor são mostradas na figura 3.5. Pode ser verificado que ambos os fluxos de potência apresentam um comportamento amortecido e o fluxo de ativo é mais lento que o fluxo de reativo. A figura 3.6 mostra a tensão de saída e corrente fornecida pelo inversor nos 250 ms iniciais de simulação.

3.3.2 Exemplo II

A mesma condição para a simulação realizada no Exemplo I foi reproduzida neste exemplo, apenas modificando-se as curvas de potência. Como mostrado na tabela 3.2, as constantes k_p e k_v foram multiplicadas por 10.

Da mesma forma que no exemplo I, as curvas de potência ativa e reativa são ajustadas em "offset" de modo que o inversor forneça 1005,2 W na frequência da rede e 525,8 Var quando sua tensão de saída for 223,21 Vrms. Também considerando como condição inicial que o inversor está fornecendo uma potência ativa e reativa nulas, a resposta do sistema pode

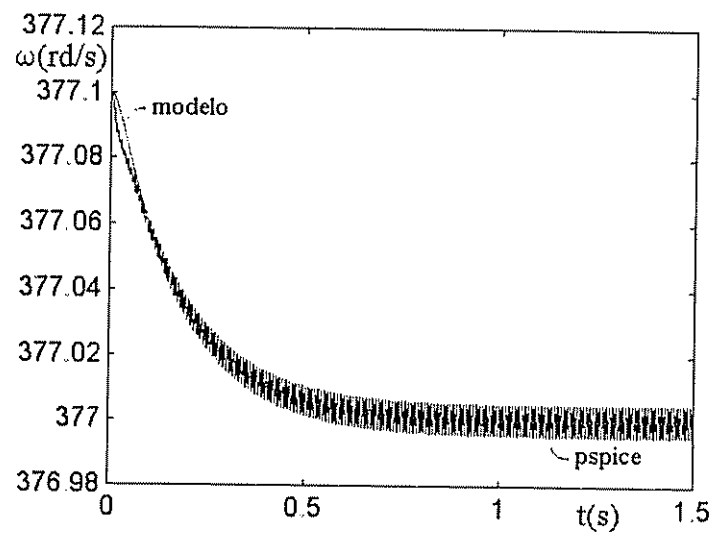


Figura 3.4: Resposta de frequência do inversor

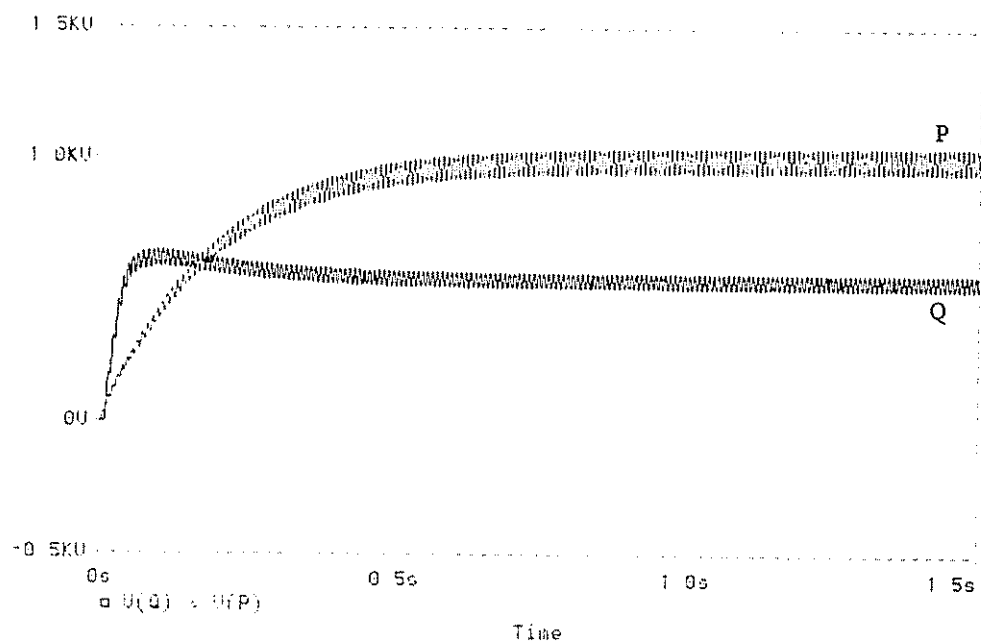


Figura 3.5: Potências ativa e reativa fornecidas pelo inversor

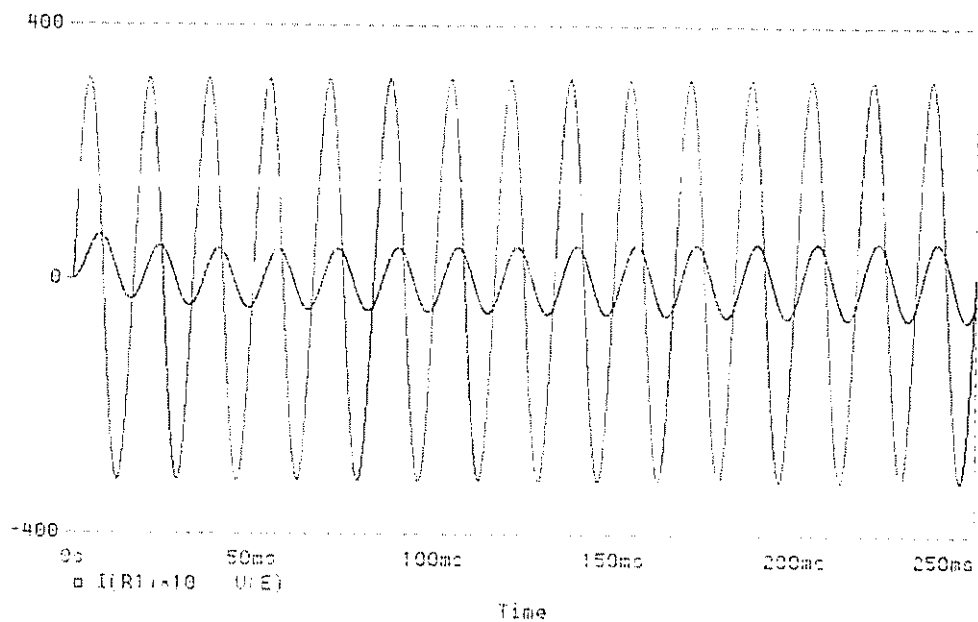


Figura 3.6: Tensão e corrente de saída do inversor

Variável	Valor	Unidade
Impedância da linha	$0,2+j1$	Ω
Frequência de corte filtro de medição(ω_f)	37,7	rd/s
Inclinação da curva $\omega x P(k_p)$	0,001	rd/s/W
Inclinação da curva $E x Q(k_v)$	0,001	V/Var
Potência aparente na rede	$1000+j500$	VA
Potência aparente no inversor	$1005,2+j525,8$	VA
Tensão na rede (V)	220	V (rms)
Tensão no inversor (E)	223,21	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,0183	rd

Tabela 3.2: Parâmetros do sistema e ponto de equilíbrio

ser obtida a partir da solução da equação característica do sistema. A partir dos valores da tabela 3.2, a equação característica do sistema 3.28 tem a seguinte solução:

$$\lambda_1 = -52,26 \quad (3.34)$$

$$\lambda_2 = -15,66 + j36,52 \quad (3.35)$$

$$\lambda_3 = -15,66 - j36,52 \quad (3.36)$$

Observa-se, então, que o sistema passa a ter 1 pólo real negativo e dois pólos complexos conjugados com parte real negativa, ou seja, a estabilidade é preservada, mas o sistema passa a ter uma resposta oscilatória subamortecida.

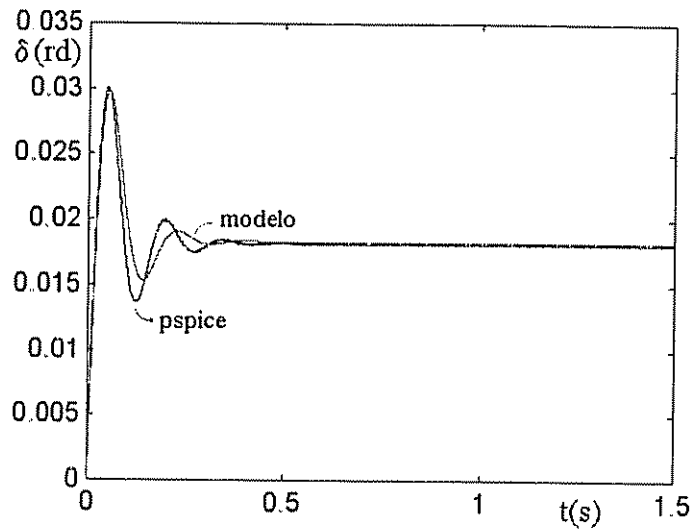


Figura 3.7: Resposta de fase do inversor

Os resultados calculados e de simulação obtidos com o programa PSPICE são apresentados a seguir. Novamente foram encontrados resultados muito próximos. As figuras 3.7 e 3.8 apresentam a resposta de fase e frequência do inversor, respectivamente. Em ambas as curvas observa-se o comportamento subamortecido do sistema.

O efeito do controle subamortecido pode ser observado nas curvas de potência ativa e reativa fornecidas pelo inversor, as quais são mostradas na figura 3.9. A figura 3.10 mostra a tensão de saída e corrente fornecida pelo inversor nos 250 ms iniciais de simulação.

3.4 Resultados Experimentais

Visando a verificação prática dos estudos apresentados na seção 3.2, foram realizados vários ensaios laboratoriais, cujos resultados são apresentados nesta seção. Uma breve descrição do protótipo utilizado também é apresentada. Deve-se levar em consideração que o protótipo utilizado apresenta algumas opções de projeto, as quais não apresentam uma razão específica senão a disponibilidade de recursos de laboratório encontradas.

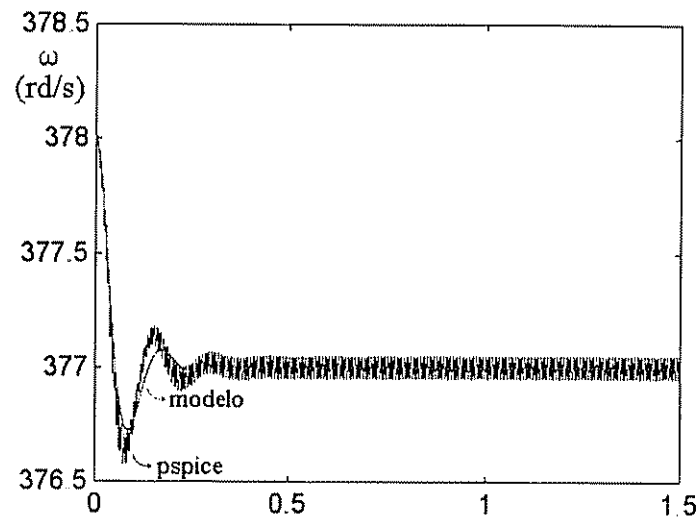


Figura 3.8: Resposta de frequência

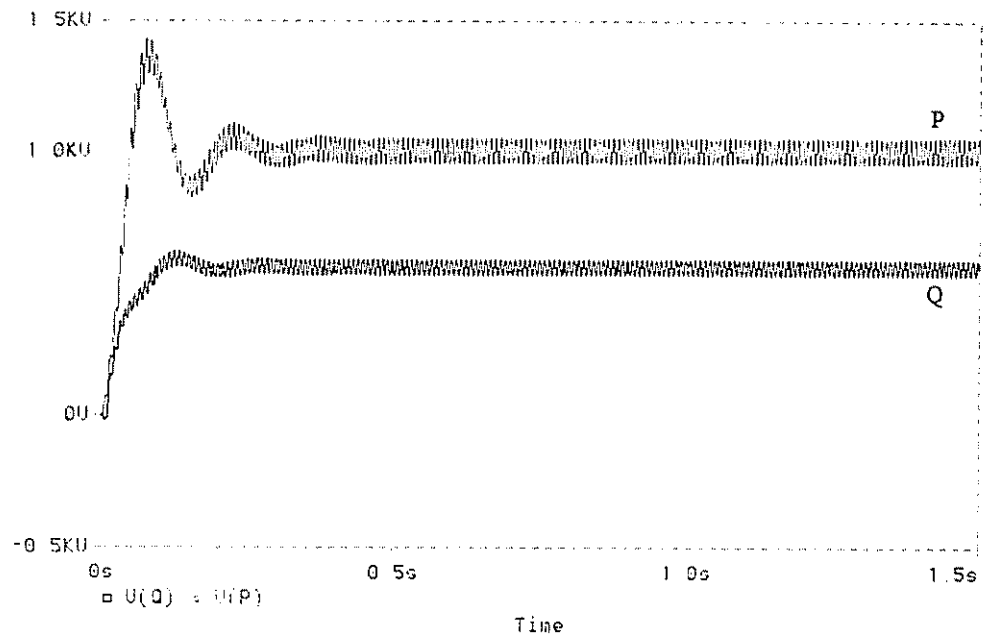


Figura 3.9: Potências ativa e reativa fornecidas pelo inversor

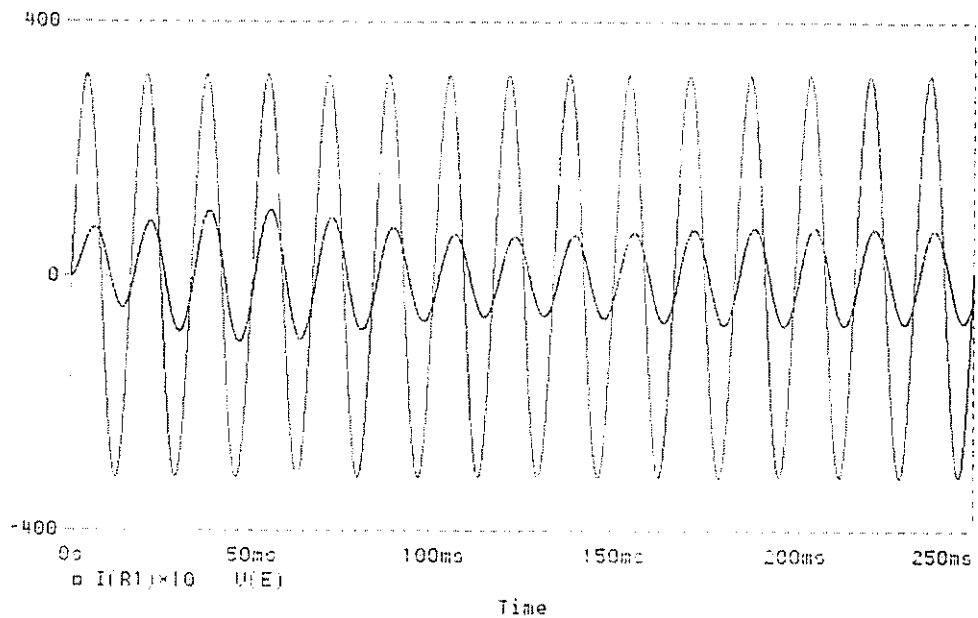


Figura 3.10: Tensão e corrente de saída do inversor

3.4.1 Descrição do Protótipo

O esquema do protótipo de laboratório utilizado nos ensaios é mostrado na figura 3.11. Este consiste de um inversor de tensão monofásico com uma malha de corrente interna e uma malha de tensão externa com compensadores PI. O projeto destes controladores pode ser visto em [Rodrigues and Cortizo, 1998]. Maiores detalhes do circuito de controle podem ser encontrados no apêndice B. O comando das chaves de um braço do inversor é complementar e obtido através da modulação PWM (comparação de uma onda triangular com um sinal de controle). O barramento CC utilizado é obtido através de um retificador trifásico e filtro capacitivo, implicando que apenas um fluxo médio de potência ativa positivo é possível.

Um transformador de isolamento (104/127V) e um indutor (8mH) foram utilizados na conexão do inversor com a rede. Assim, o circuito de potência do inversor não apresenta conexão galvânica com a rede elétrica, nem os circuitos de condicionamento de sinais e computador. Além disso, o fato do controle do fluxo de potência estar sob teste, a inserção de um indutor na conexão com a rede foi considerada conveniente para a redução de possíveis picos de corrente.

A parte sombreada no esquema da figura 3.11 representa o controlador de fluxo de potência ativa e reativa. Foram utilizados um computador compatível PC (Pentium 133MHz) e uma placa de aquisição de dados de 12-bits de resolução (PC30DS). Além da função de controle do fluxo de potência, o "software" de controle apresenta um bloco PLL (*Phase-Locked Loop*) usado para a partida do sistema. O apêndice C mostra o "software" de controle utilizado.

Inicialmente, os "IGBT gate drivers" se encontram desabilitados e a chave SW1 aberta.

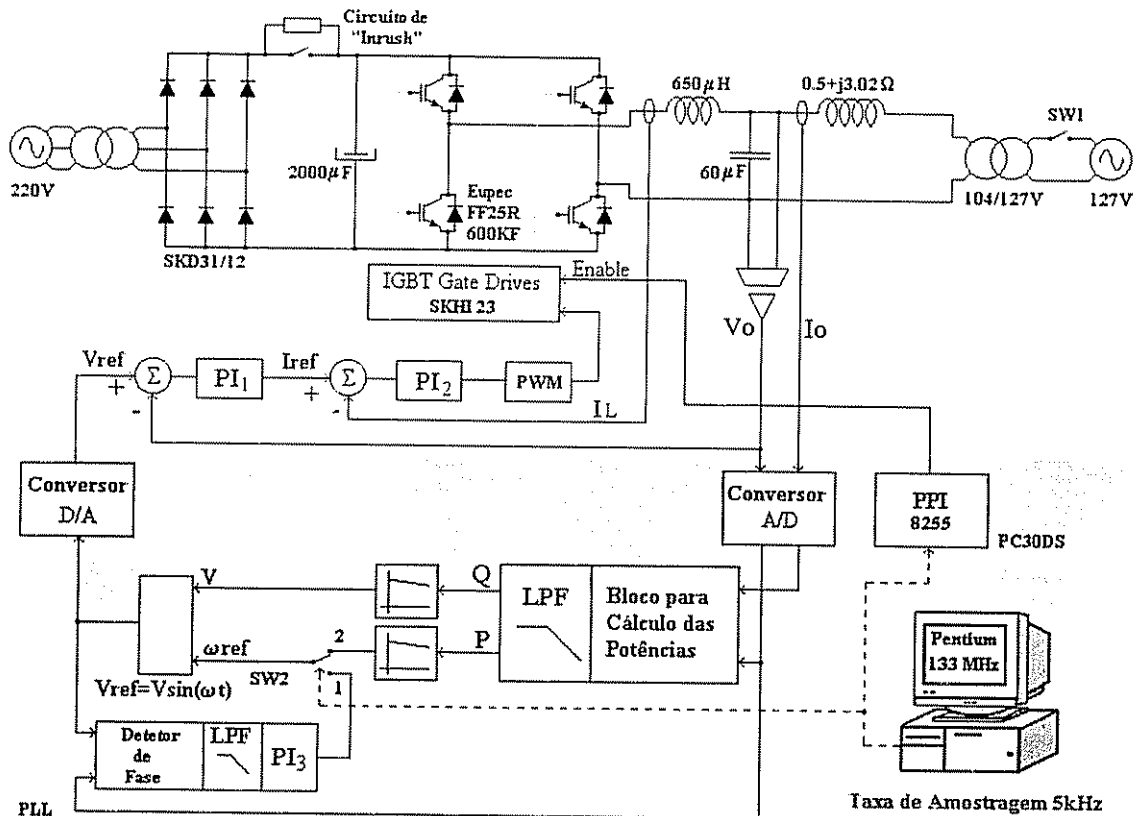


Figura 3.11: Protótipo de laboratório

É então estabelecida a tensão nominal do barramento CC (250V). Em seguida a chave SW1 é fechada. Uma tensão alternada aparece no capacitor do filtro de saída devido à conexão com a rede. Então a tensão de referência é sincronizada com a tensão de saída (tensão do capacitor) através da malha PLL. Quando a tensão de referência e a tensão de saída se encontram em fase, a chave SW2 (chave presente no "software", não existe fisicamente) é comutada da posição 1 para a posição 2, e os "IGBT gate drivers" são simultaneamente habilitados através da porta paralela (8255).

O algoritmo proposto por [Tuladhar et al., 1997] não apresentou bons resultados na prática, como os obtidos em simulação, talvez em função da taxa de amostragem utilizada. O ajuste dos ganhos e a eficácia deste algoritmo merecem uma investigação mais detalhada. Sendo assim, o cálculo das potências nos ensaios experimentais não utilizam tal algoritmo. A potência ativa é obtida através da filtragem do produto tensão-corrente. O bloco de geração da tensão de referência V_{ref} também gera uma senóide em quadratura permitindo o cálculo da potência reativa.

Com a finalidade de reduzir as oscilações em 120 Hz do sinal de potência, um filtro passa baixa de segunda ordem foi utilizado durante os ensaios experimentais. A respectiva função de transferência do filtro de medição $G(s)$ é descrita pela equação 3.37:

$$G(s) = \frac{\omega_f^2}{s^2 + 2\xi\omega_f s + \omega_f^2} \quad (3.37)$$

Usando o mesmo procedimento mostrado na seção 3.2, é possível obter a equação 3.38, a qual descreve o comportamento do sistema em torno de um ponto de equilíbrio.

$$s^5 \Delta\delta(s) + as^4 \Delta\delta(s) + bs^3 \Delta\delta(s) + cs^2 \Delta\delta(s) + ds \Delta\delta(s) + e \Delta\delta(s) = 0 \quad (3.38)$$

onde:

$$a = 4\xi\omega_f \quad (3.39)$$

$$b = \omega_f^2(2 + k_v k_{qe} + 4\xi^2) \quad (3.40)$$

$$c = \omega_f^2(k_p k_{pd} + 4\xi\omega_f + 2\xi k_v k_{qe} \omega_f) \quad (3.41)$$

$$d = \omega_f^3(2\xi k_p k_{pd} + \omega_f + k_v k_{qe} \omega_f) \quad (3.42)$$

$$e = k_p \omega_f^4(k_{pd} - k_v k_{pe} k_{qd} + k_v k_{pd} k_{qe}) \quad (3.43)$$

Foram realizados 4 ensaios para diferentes valores de k_p , k_v e fator de potência, cujos resultados são apresentados na seção 3.4.2. Em todos os ensaios, o controle do fluxo de potência e os "IGBT gate drivers" são habilitados 0,05 segundos depois que o sistema de aquisição iniciou o armazenamento dos dados. Em cada ensaio, as curvas $P-\omega$ e $Q-V$ foram ajustadas em "offset" de modo que o inversor forneça a potência ativa e reativa especificadas, ou seja, tomando como exemplo os valores da tabela 3.3, isto significa dizer que o ponto (500W, 377rd/s) pertence à curva $P-\omega$ e o ponto (337Var, 114Vrms) pertence à curva $Q-V$ (ver figura 3.1).

O sentido positivo de corrente considerado foi o inversor-rede, assim, uma potência ativa positiva implica que o inversor fornece potência ativa para a rede, uma potência reativa positiva significa que o inversor fornece reativo para a rede e uma potência reativa negativa significa que o inversor absorve reativo da rede.

Durante os primeiros testes com o protótipo verificou-se uma grande contaminação dos sinais medidos com o ruído de chaveamento do inversor. Algumas modificações foram introduzidas no protótipo com a finalidade de redução da interferência do ruído de chaveamento, tais como: separação das fontes de alimentação dos circuitos de medição e "gate drivers", colocação de ferrites toroidais nos cabos de conexão do inversor com o computador, colocação de filtros analógicos nas medições. Após estas modificações constatou-se que os sinais adquiridos ainda apresentam um nível de contaminação pelo ruído de chaveamento suficiente para justificar um estudo específico na implementação de novos protótipos.

O "software" do sistema de aquisição apresenta um filtro digital de segunda ordem com frequência de corte em 1kHz. As amostras são transferidas para a memória do computador via DMA ("Direct Memory Access"). Tanto o sistema de aquisição, quanto a malha de controle digital de potência operam numa taxa de 5kHz.

Em função da dificuldade de medição da fase entre inversor e rede, são apresentados os sinais de frequência do inversor, os quais são comparados com a frequência do modelo para pequenos sinais definido pelas equações 3.23 e 3.38. O sinal de frequência experimental mostrado nas figuras antes da habilitação do controle do fluxo de potência e dos "IGBT gate drivers" é definido pela malha PLL usada na partida.

3.4.2 Ensaios Experimentais Realizados

Os parâmetros utilizados e ponto de equilíbrio considerado no ensaio I são apresentados na tabela 3.3. Da mesma forma que no Exemplo I (seção 3.3.1), o comportamento do sistema em torno do ponto de equilíbrio definido na tabela 3.3 pode ser obtido a partir da solução da equação 3.38. Resolvendo a equação característica do sistema, tem-se os seguintes pólos:

$$\lambda_1 = -52,81 + j63,57 \quad (3.44)$$

$$\lambda_2 = -52,81 - j63,57 \quad (3.45)$$

$$\lambda_3 = -35,67 + j44,32 \quad (3.46)$$

$$\lambda_4 = -35,67 - j44,32 \quad (3.47)$$

$$\lambda_5 = -34,16 \quad (3.48)$$

Variável	Valor	Unidade
Impedância da linha	$0,5 + j3,02$	Ω
Frequência de corte filtro de medição(ω_f)	75,4	rd/s
Fator de amortecimento (ξ)	0,7	
Inclinação da curva $\omega TP(k_p)$	0,005	rd/s/W
Inclinação da curva $EI Q(k_i)$	0,005	V/Var
Potência aparente na rede	$500 + j250$	VA
Potência aparente no inversor	$514 + j337$	VA
Tensão na rede (V)	104	V (rms)
Tensão no inversor (E)	114	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,1165	rd

Tabela 3.3: Ensaio I - Parâmetros do sistema e ponto de equilíbrio

A figura 3.12 mostra as potências ativa e reativa fornecidas pelo inversor durante o ensaio I. Antes do controle do fluxo de potência e "IGBT gate drivers" estarem ativos, o capacitor

do filtro de saída do inversor fornece potência reativa para a rede, assim a potência reativa não parte do zero, como é o caso da potência ativa. Ambos os fluxos de potência apresentam uma resposta amortecida.

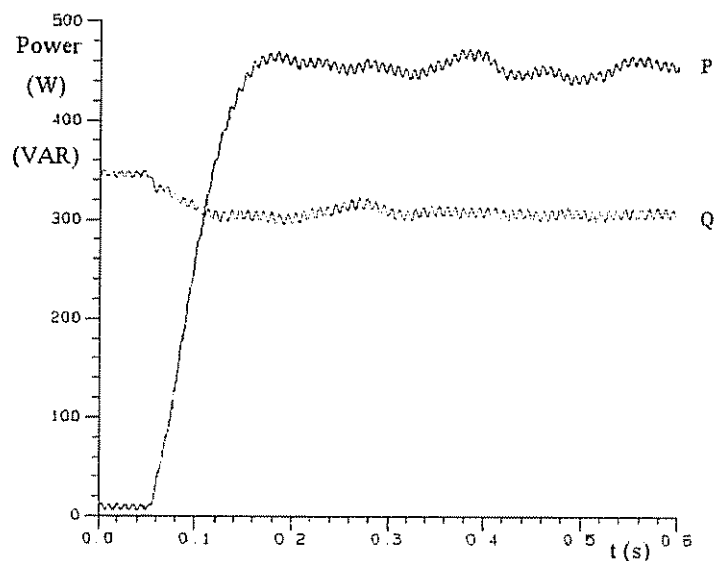


Figura 3.12: Ensaio I - Potências ativa e reativa

A figura 3.13 mostra a comparação entre a frequência do inversor e a frequência definida pelo modelo para pequenos sinais. Pode ser visto que o sistema real apresenta um maior amortecimento em relação ao modelo para pequenos sinais.

A tensão e corrente de saída do inversor nos instantes iniciais do ensaio I são mostradas na figura 3.14. A escala de corrente está ampliada em 10 vezes. Observa-se que antes da ativação do controle do fluxo de potência a corrente está defasada de 90 graus da tensão, ou seja, o capacitor de saída do inversor fornece apenas potência reativa para a rede. Após a habilitação do controle do fluxo de potência, percebe-se um transitório de fase e amplitude na corrente, sendo que em regime esta permanece atrasada da tensão, ou seja, o inversor fornece potência ativa e reativa para a rede.

A tabela 3.4 fornece os dados relativos ao ensaio II. A única alteração em relação ao ensaio I é que agora a potência reativa é negativa, ou seja, o inversor consome energia reativa fornecida pela rede. Segundo estes parâmetros, tem-se os seguintes pólos para o sistema:

$$\lambda_1 = -52,78 + j61,44 \quad (3.49)$$

$$\lambda_2 = -52,78 - j61,44 \quad (3.50)$$

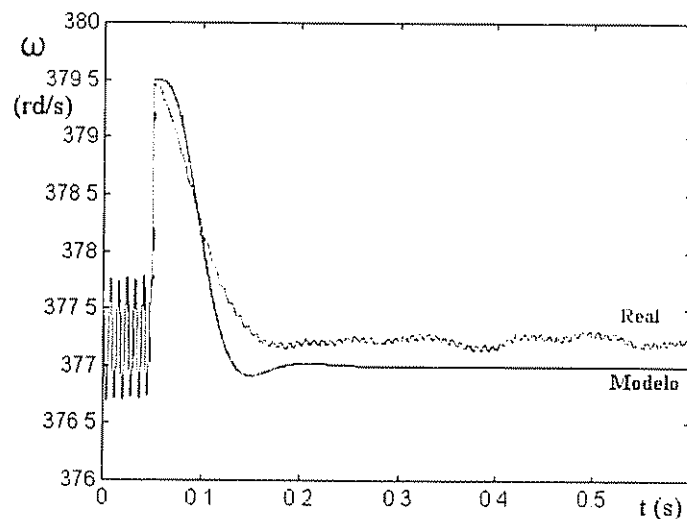


Figura 3.13: Ensaio I - Frequência do inversor e do modelo para pequenos sinais

$$\lambda_3 = -39,07 + j44,89 \quad (3.51)$$

$$\lambda_4 = -39,07 - j44,89 \quad (3.52)$$

$$\lambda_5 = -27,41 \quad (3.53)$$

Observa-se uma pequena modificação nos pólos do sistema, ou seja, a alteração do ponto de equilíbrio não afeta significativamente a dinâmica do sistema.

Variável	Valor	Unidade
Impedância da linha	$0,5+j3,02$	Ω
Frequência de corte filtro de medição(ω_f)	75,4	rd/s
Fator de amortecimento (ξ)	0,7	
Inclinação da curva $\omega x P(k_p)$	0,005	rd/s/W
Inclinação da curva $ExQ(k_v)$	0,005	V/Var
Potência aparente na rede	$500-j250$	V·A
Potência aparente no inversor	$514-j163$	V·A
Tensão na rede (V)	104	V (rms)
Tensão no inversor (E)	100	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,1571	rd

Tabela 3.4: Ensaio II - Parâmetros do sistema e ponto de equilíbrio

A figura 3.15 mostra as potências ativa e reativa fornecidas pelo inversor durante o ensaio

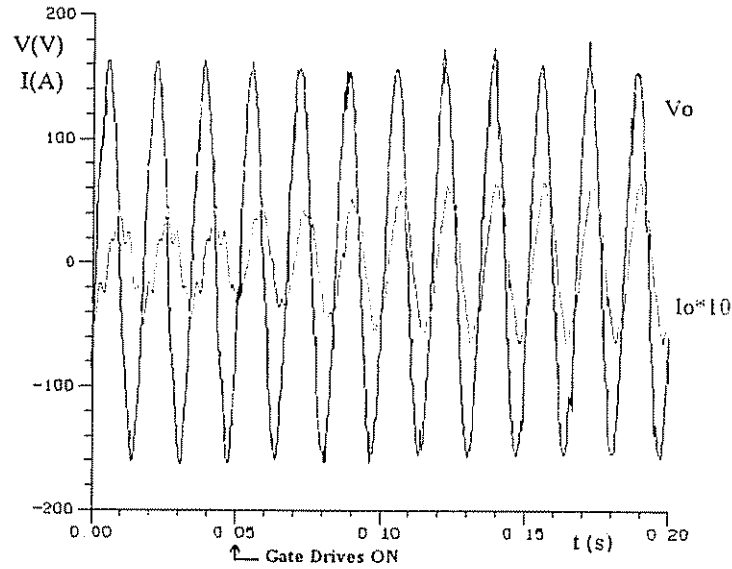


Figura 3.14: Ensaio I - Tensão e corrente de saída do inversor

II. O fluxo de potência reativa possui uma dinâmica mais rápida que o fluxo de potência ativa, causando uma brusca queda na amplitude da tensão do inversor, implicando um transitório de potência ativa negativa, como pode ser observado na figura 3.15. Isto se deve ao fato dos fluxos de ativo e reativo não serem absolutamente desacoplados. Veja o ensaio V na página 64. Os reflexos deste transitório podem ser também observados na frequência (figura 3.16).

Neste ensaio há uma melhor concordância entre os resultados da frequência obtida experimentalmente e através do modelo para pequenos sinais, como pode ser visto na figura 3.16.

A figura 3.17 mostra a tensão e corrente de saída do inversor durante a partida no ensaio II. Observa-se neste caso uma inversão de fase da corrente, sendo que em regime esta permanece adiantada da tensão, ou seja, o inversor que fornecia reativo passa a consumir reativo da rede.

Para o ensaio III, as inclinações das curvas $P-\omega$ e $Q-V$ foram incrementadas em 2 vezes, como pode ser visto na tabela 3.5. As potências especificadas para o ensaio III são as mesmas para o ensaio I, ou seja, ambos os ensaios correspondem ao mesmo ponto de equilíbrio. Com a alteração da inclinação das curvas, tem-se os seguintes pólos para o sistema:

$$\lambda_1 = -52,83 + j71,98 \quad (3.54)$$

$$\lambda_2 = -52,83 - j71,98 \quad (3.55)$$

$$\lambda_3 = -17,86 + j53,42 \quad (3.56)$$

$$\lambda_4 = -17,86 - j53,42 \quad (3.57)$$

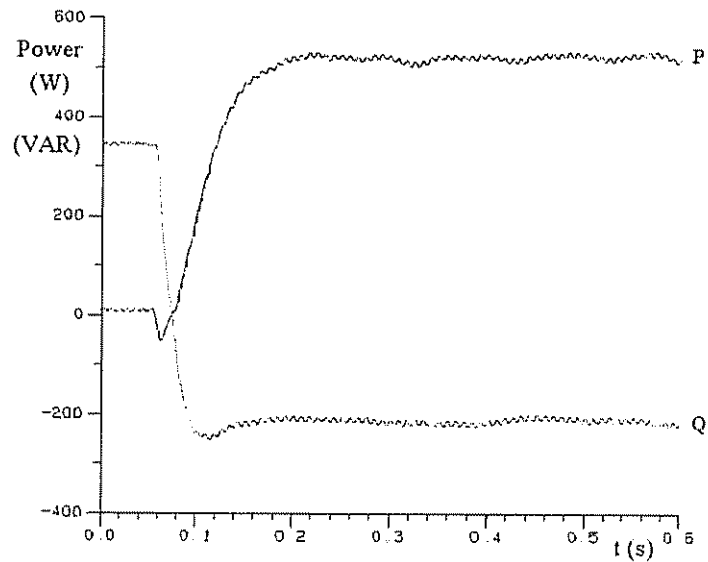


Figura 3.15: Ensaio II - Potências ativa e reativa

$$\lambda_5 = -69,73 \quad (3.58)$$

Observa-se uma redução significativa no amortecimento correspondente aos pólos complexos λ_3 e λ_4 , como era de se esperar.

Variável	Valor	Unidade
Impedância da linha	$0,5 + j3,02$	Ω
Frequência de corte filtro de medição (ω_f)	75,4	rd/s
Fator de amortecimento (ξ)	0,7	
Inclinação da curva $\omega x P(k_p)$	0,01	rd/s/W
Inclinação da curva $E x Q(k_v)$	0,01	V/Var
Potência aparente na rede	$500 + j250$	VA
Potência aparente no inversor	$514 + j337$	VA
Tensão na rede (V)	104	V (rms)
Tensão no inversor (E)	114	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,1165	rd

Tabela 3.5: Ensaio III - Parâmetros do sistema e ponto de equilíbrio

A figura 3.18 mostra as potências ativa e reativa fornecidas pelo inversor durante o ensaio III. Neste caso, o aumento das inclinações das curvas $P - \omega$ e $Q - V$ leva a um aumento na

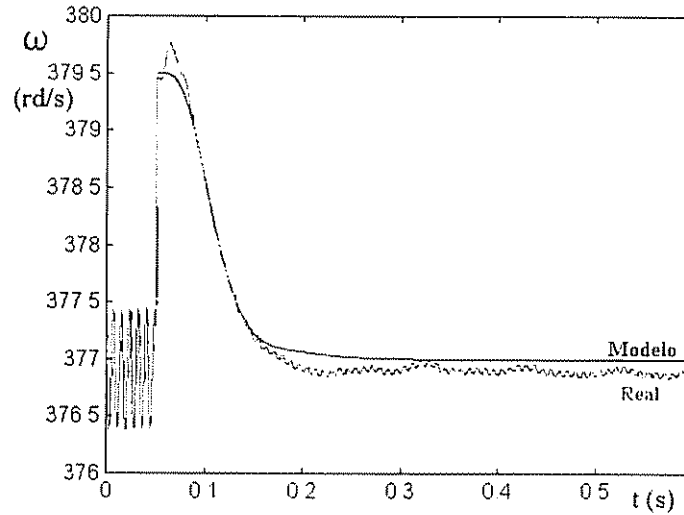


Figura 3.16: Ensaio II - Frequência do inversor e do modelo para pequenos sinais

velocidade de resposta do sistema, mas resultando em oscilações em torno do valor de regime.

O comportamento oscilatório do sistema pode ser claramente observado na curva de frequência do inversor, a qual é mostrada na figura 3.19. Observa-se que o sistema real apresenta-se um pouco mais amortecido que o modelo para pequenos sinais.

A figura 3.20 mostra a tensão e corrente de saída do inversor durante a partida no ensaio III. Observa-se um "overshoot" na amplitude da onda de corrente devido ao comportamento oscilatório do sistema.

A tabela 3.6 fornece os dados relativos ao ensaio IV, onde as mesmas inclinações para as curvas de potência do ensaio III são utilizadas, apenas a potência reativa é negativa, ou seja, o inversor consome energia reativa fornecida pela rede. Segundo estes parâmetros, tem-se os seguintes pólos para o sistema:

$$\lambda_1 = -52,78 + j68,20 \quad (3.59)$$

$$\lambda_2 = -52,78 - j68,20 \quad (3.60)$$

$$\lambda_3 = -20,69 + j50,97 \quad (3.61)$$

$$\lambda_4 = -20,69 - j50,97 \quad (3.62)$$

$$\lambda_5 = -64,16 \quad (3.63)$$

Nota-se que os pólos λ_3 e λ_4 indicam um menor amortecimento para o sistema que o observado no ensaio II, onde tem-se o mesmo ponto de equilíbrio.

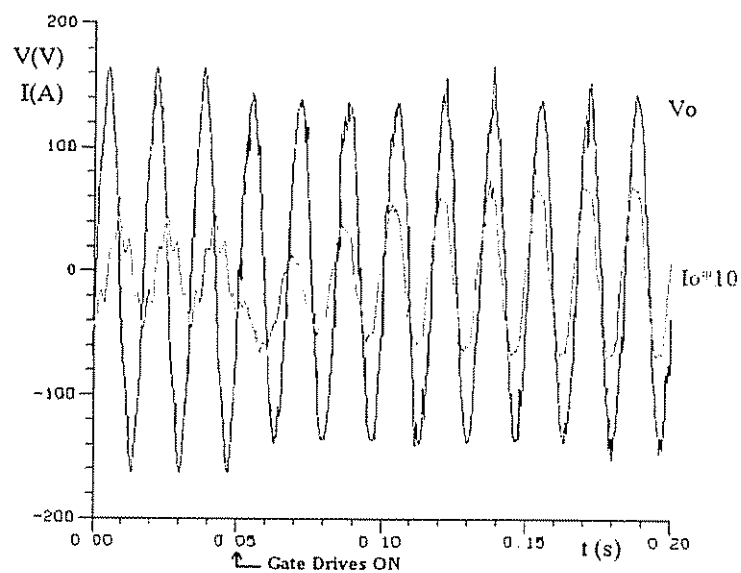


Figura 3.17: Ensaio II - Tensão e corrente de saída do inversor

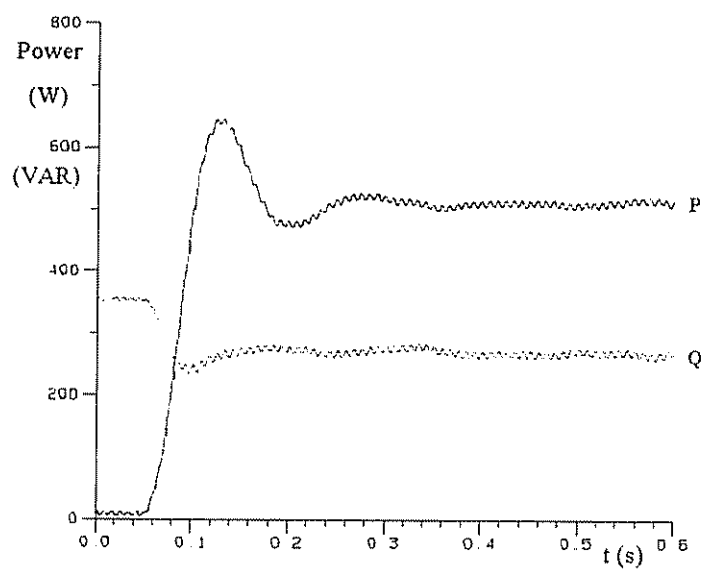


Figura 3.18: Ensaio III - Potências ativa e reativa

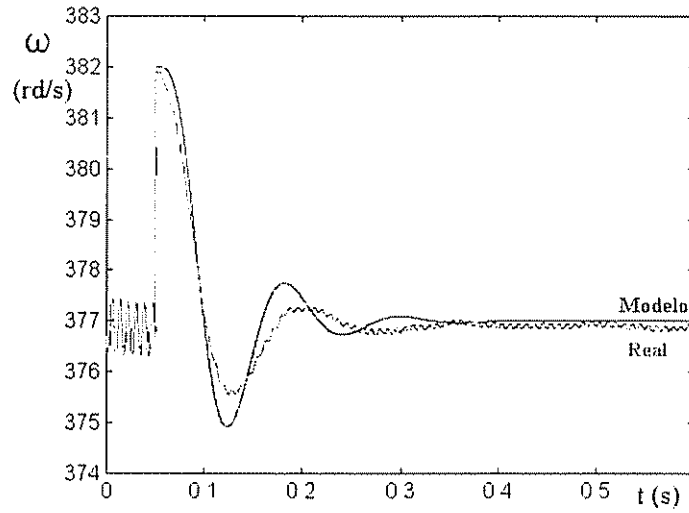


Figura 3.19: Ensaio III - Frequência do inversor e do modelo para pequenos sinais

Variável	Valor	Unidade
Impedância da linha	$0,5 + j3,02$	Ω
Frequência de corte filtro de medição (ω_f)	75,4	rd/s
Fator de amortecimento (ξ)	0,7	
Inclinação da curva $\omega P(k_p)$	0,01	rd/s/W
Inclinação da curva $E \tau Q(k_v)$	0,01	V/Var
Potência aparente na rede	$500 - j250$	VA
Potência aparente no inversor	$514 - j163$	VA
Tensão na rede (V)	104	V (rms)
Tensão no inversor (E)	100	V (rms)
Frequência da rede (ω)	377	rd/s
Diferença de fase inversor-rede ($\Delta\delta$)	0,1571	rd

Tabela 3.6: Ensaio IV - Parâmetros do sistema e ponto de equilíbrio

Novamente o sistema apresenta um comportamento oscilatório, como pode ser observado nas curvas de potência (figura 3.21).

Observa-se que os pólos λ_3 e λ_4 do modelo para pequenos sinais apresentam um amortecimento ligeiramente superior ao visto no ensaio III, assim, tem-se uma melhor correspondência entre a frequência do inversor e a do modelo, como pode ser visto na figura 3.22.

A figura 3.23 mostra a tensão e corrente de saída do inversor durante a partida no ensaio IV. Novamente observa-se uma inversão de fase da corrente, sendo que em regime esta permanece

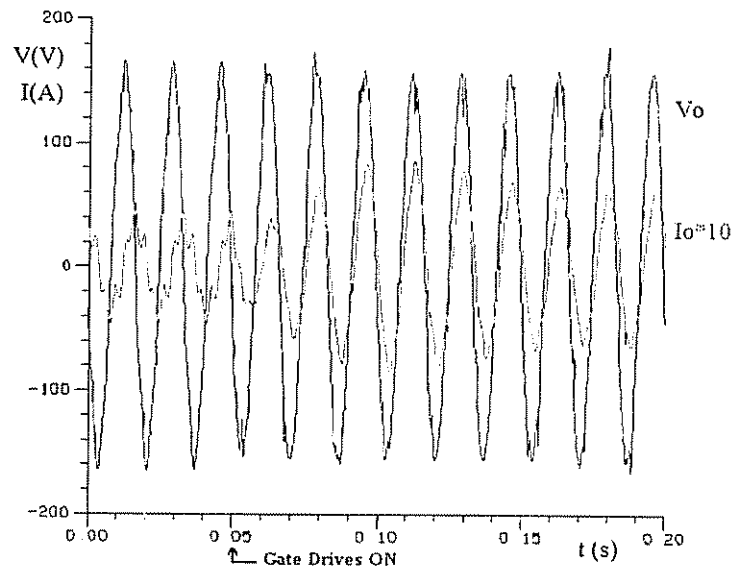


Figura 3.20: Ensaio III - Tensão e corrente de saída do inversor

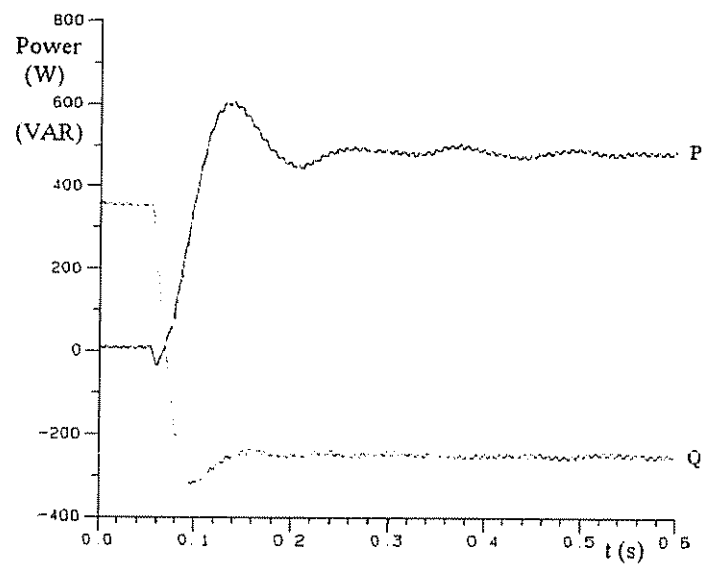


Figura 3.21: Ensaio IV - Potências ativa e reativa

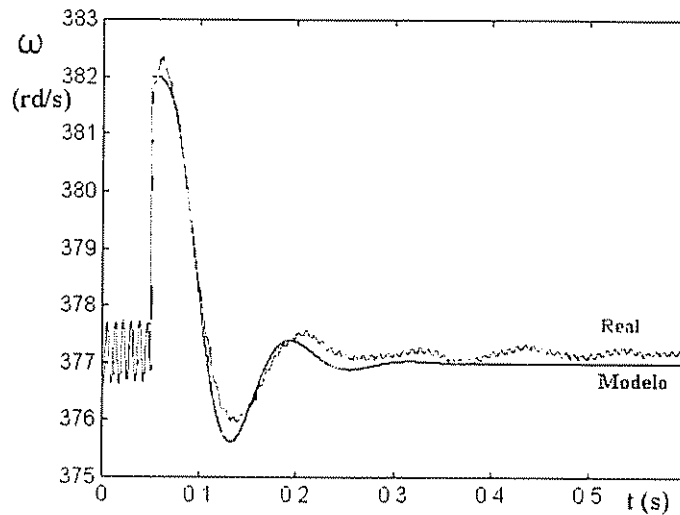


Figura 3.22: Ensaio IV - Frequência do inversor e do modelo para pequenos sinais

adiantada da tensão, ou seja, o inversor que fornecia reativo passa a consumir reativo da rede. Nota-se ainda um "overshoot" na amplitude da corrente devido ao comportamento oscilatório do sistema.

A figura 3.24 mostra a potência ativa e reativa durante o ensaio V. Neste ensaio foram utilizados os mesmos parâmetros do ensaio I, exceto que em 0,3 segundos, a referência de potência reativa é alterada de 250 Var para -250 Var, mostrando a influência do transitório de potência reativa na potência ativa, ou seja, evidenciando o acoplamento entre ambas.

Pode ser visto que os resultados experimentais apresentam uma excelente correspondência com os resultados obtidos através do modelo para pequenos sinais, sendo que apenas pequenas divergências são observadas. Em relação a tais divergências, deve-se levar em consideração os seguintes fatores:

- imprecisão nos parâmetros do sistema utilizados, como por exemplo o valor da indutância de linha, ganhos dos sensores de tensão e corrente, etc.;
- alguns parâmetros do sistema, como a dinâmica das malhas de tensão e corrente, resistência e indutância de cabos de conexão, foram desprezados;
- a frequência da rede não é absolutamente constante¹, causando um erro de regime no fluxo de potência ativa, ou seja, para cada rd/s de desvio da rede em relação ao valor nominal, tem-se $1/k_p$ Watts de desvio no valor de regime da potência ativa;

¹Observando as curvas de frequência, figuras 3.13, 3.16, 3.19 e 3.22, verifica-se que a frequência da rede não está centrada em 377 rd/s, valor que foi usado para ajuste de "offset" da curva de potência ativa.

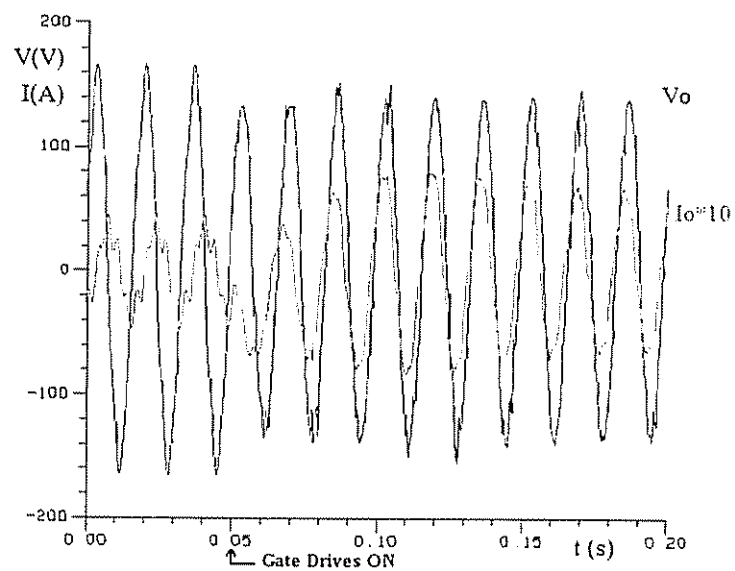


Figura 3.23: Ensaio IV - Tensão e corrente de saída do inversor

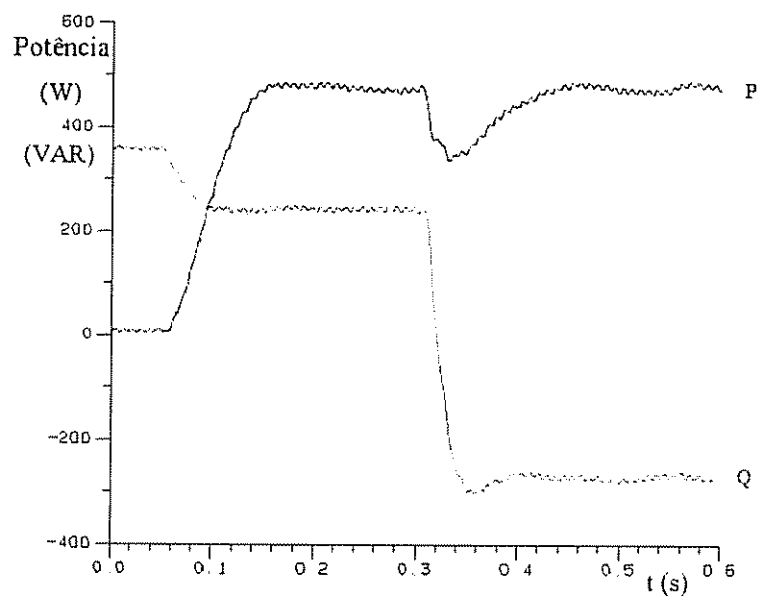


Figura 3.24: Ensaio V - Potências ativa e reativa

- os fluxos de potência ativa e reativa não são absolutamente desacoplados.

3.5 Conclusão

A análise para pequenos sinais, da mesma forma que em SEP, pode ser usada para análise do paralelismo do sistema inversor-rede, servindo como uma importante ferramenta para as questões de projeto.

Os resultados de simulação apresentados mostram a viabilidade da técnica de controle do paralelismo através das curvas $P - \omega$ e $Q - V$ e que a inclinação destas determina um compromisso entre velocidade de resposta e amortecimento. Os resultados apresentados não contemplam a dinâmica do inversor (modulação PWM e filtro de saída), mas acredita-se que a influência desta seja pequena por se tratar da dinâmica de maior velocidade do sistema. Além do mais, o projeto dos compensadores das malhas de tensão e corrente do inversor é realizado justamente de forma a anular tal dinâmica e minimizar o efeito das possíveis perturbações.

As curvas $P - \omega$ e $Q - V$ trabalham de forma similar aos subsistemas *AGC* e *AVR* em SEP, respectivamente (ver capítulo 2). A função do *PSS* em SEP sugere a possibilidade de adição de um maior amortecimento através de uma malha realimentando a variação de frequência na amplitude da tensão de referência do inversor, resultando numa distribuição mais rápida do fluxo de potência ativa e reativa, e reduzindo as oscilações de fase entre inversor e barra.

Os resultados experimentais obtidos para o sistema inversor-rede apresentam uma estreita proximidade com aqueles obtidos através da análise para pequenos sinais. Sendo assim, de uma maneira geral, pode-se dizer que a análise para pequenos sinais constitui uma importante ferramenta no auxílio ao projeto de tais sistemas.

Capítulo 4

Análise de Estabilidade para Pequenos Sinais de um Sistema CA Composto de Inversores Conectados em Paralelo

4.1 Introdução

Este capítulo mostra a análise para pequenos sinais de um sistema de inversores conectados em paralelo. Diferentemente da análise apresentada no capítulo 3, agora o sistema não possui uma conexão com uma barra infinita, ou seja, o sistema não apresenta um nó onde tensão e frequência são mantidas constantes independente da situação de carga.

[Undrill, 1968] mostra como realizar a análise para pequenos sinais de um sistema composto por um número arbitrário de máquinas síncronas conectadas em paralelo, usando as técnicas da teoria moderna de controle, onde o sistema é descrito por um conjunto de equações diferenciais no espaço de estados na forma:

$$[\dot{X}] = [A][X] \quad (4.1)$$

[Undrill, 1968] descreve um método de construção da matriz $[A]$ de um sistema multimáquinas a partir das submatrizes que descrevem individualmente os elementos do sistema.

Usando um método análogo ao descrito por [Undrill, 1968], este capítulo descreve como construir a matriz $[A]$ de um sistema composto por um número arbitrário de inversores conectados em paralelo. O controle de cada inversor é baseado nas curvas características $P - \omega$ e $Q - V$, como descrito no capítulo 3, o qual permite a distribuição de carga entre as várias unidades. Como foi enfatizado na seção 1.3.2, uma característica importante deste controle é que somente variáveis medidas localmente são usadas, dispensando a comunicação entre as respectivas unidades de controle de cada inversor, como pode ser visto em [Kawabata et al., 1983], [Divan et al., 1991], [Chandorkar, 1995] [Tuladhar et al., 1997] e [Coelho et al., 2000]. Esta característica confere ao sistema um alto grau de confiabilidade.

4.2 Esquema de Controle

O esquema de controle de cada unidade inversora conectada em paralelo pode ser visto na figura 4.1. A referência senoidal para os controladores mais internos ao sistema é obtida através de um bloco gerador, onde a frequência do sinal e a amplitude do mesmo são definidas a partir das curvas características $P-\omega$ e $Q-V$, respectivamente. As potências ativa e reativa são obtidas no bloco de cálculo da potências, o qual utiliza um algoritmo computacional e um filtro passa-baixa.

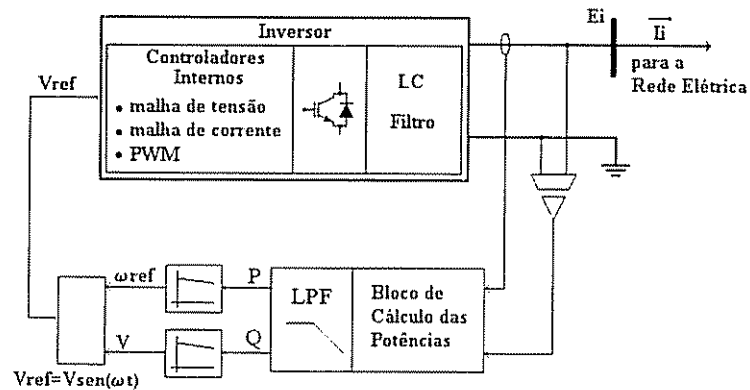


Figura 4.1: Unidade inversora conectada ao sistema

4.3 Análise Para Pequenos Sinais de Cada Inversor

A frequência de saída ω e a amplitude da tensão de saída E do inversor são controladas através das curvas características definidas pelas equações 3.1 e 3.2, da mesma forma que apresentado na seção 3.2.

Para impor as leis de controle definidas pelas equações 3.1 and 3.2, é preciso medir a potência ativa e reativa de saída do inversor. O respectivo bloco de medição utiliza um filtro passa-baixa cuja banda é muito inferior à banda passante dos controladores internos do inversor (malha de tensão e corrente) e praticamente determina o comportamento dinâmico da distribuição dos fluxos de potência. Além disso, como mencionado no capítulo 3, a banda passante dos controladores internos pode ser melhorada através de várias técnicas, como pode ser visto em [Ryan and Lorenz, 1995]. Portanto, para efeito deste estudo, o inversor pode ser considerado como uma fonte de tensão ideal, onde tem-se o controle de frequência e amplitude. Assim, as potências ativa e reativa obtidas no bloco de medição podem ser representadas através das equações 4.2 and 4.3, onde ω_f é a frequência de corte do filtro de medição.

$$P_{med}(s) = \frac{\omega_f}{s + \omega_f} P(s) \quad (4.2)$$

$$Q_{med}(s) = \frac{\omega_f}{s + \omega_f} Q(s) \quad (4.3)$$

Como poder ser visto na seção 3.2, segue que as equações de controle linearizadas são:

$$\Delta\omega(s) = -\frac{k_p\omega_f}{s + \omega_f} \Delta P(s) \quad (4.4)$$

$$\Delta E(s) = -\frac{k_v\omega_f}{s + \omega_f} \Delta Q(s) \quad (4.5)$$

Assim, a partir das equações acima, tem-se

$$\Delta\dot{\omega} = -\omega_f\Delta\omega - k_p\omega_f\Delta P \quad (4.6)$$

$$\Delta\dot{E} = -\omega_f\Delta E - k_v\omega_f\Delta Q \quad (4.7)$$

onde Δ representa um pequeno desvio na respectiva variável em relação ao ponto de equilíbrio.

Considerando um sistema comum de eixos d-q para todos os inversores, pode-se representar o vetor $\vec{E}$ como:

$$\vec{E} = e_d + je_q \quad (4.8)$$

onde

$$e_d = E\cos(\delta) \quad (4.9)$$

$$e_q = E\sin(\delta) \quad (4.10)$$

$$\delta = \arctg\left(\frac{e_q}{e_d}\right) \quad (4.11)$$

Linearizando a equação para δ , o qual representa a posição angular do vetor $\vec{E}$, tem-se

$$\Delta\delta = \frac{\partial\delta}{\partial e_d}\Delta e_d + \frac{\partial\delta}{\partial e_q}\Delta e_q \quad (4.12)$$

assim, segue que

$$\Delta\delta = m_d\Delta e_d + m_q\Delta e_q \quad (4.13)$$

onde

$$m_d = -\frac{e_q}{e_d^2 + e_q^2} \quad (4.14)$$

$$m_q = \frac{e_d}{e_d^2 + e_q^2} \quad (4.15)$$

Desde que

$$\Delta\omega(s) = s\Delta\delta(s) \quad (4.16)$$

isto implica que

$$\Delta\omega = m_d\Delta\dot{e}_d + m_q\Delta\dot{e}_q \quad (4.17)$$

Considerando

$$E = |\vec{E}| = \sqrt{e_d^2 + e_q^2} \quad (4.18)$$

pode-se linearizar a equação 4.18, assim

$$\Delta E = n_d\Delta e_d + n_q\Delta e_q \quad (4.19)$$

onde

$$n_d = \frac{e_d}{\sqrt{e_d^2 + e_q^2}} \quad (4.20)$$

$$n_q = \frac{e_q}{\sqrt{e_d^2 + e_q^2}} \quad (4.21)$$

Conseqüentemente

$$\Delta\dot{E} = n_d\Delta\dot{e}_d + n_q\Delta\dot{e}_q \quad (4.22)$$

Resolvendo o sistema de equações formado pelas expressões 4.7, 4.17, 4.19, e 4.22 para as variáveis $\Delta\dot{e}_d$ e $\Delta\dot{e}_q$, tem-se

$$\begin{aligned} \Delta\dot{e}_d &= \frac{n_q}{m_d n_q - m_q n_d} \Delta\omega + \frac{m_q n_d \omega_f}{m_d n_q - m_q n_d} \Delta e_d \\ &+ \frac{m_q n_q \omega_f}{m_d n_q - m_q n_d} \Delta e_q + \frac{k_v m_q \omega_f}{m_d n_q - m_q n_d} \Delta Q \end{aligned} \quad (4.23)$$

$$\begin{aligned} \Delta\dot{e}_q &= \frac{n_d}{m_q n_d - m_d n_q} \Delta\omega + \frac{m_d n_d \omega_f}{m_q n_d - m_d n_q} \Delta e_d \\ &+ \frac{m_d n_q \omega_f}{m_q n_d - m_d n_q} \Delta e_q + \frac{k_v m_d \omega_f}{m_q n_d - m_d n_q} \Delta Q \end{aligned} \quad (4.24)$$

Considerando as equações 4.6, 4.23, e 4.24, obtém-se a equação de estado 4.25, a qual descreve o comportamento de cada inversor.

$$\begin{bmatrix} \Delta\dot{\omega}_i \\ \Delta\dot{e}_{di} \\ \Delta\dot{e}_{qi} \end{bmatrix} = [M_i] \begin{bmatrix} \Delta\omega_i \\ \Delta e_{di} \\ \Delta e_{qi} \end{bmatrix} + [C_i] \begin{bmatrix} \Delta P_i \\ \Delta Q_i \end{bmatrix} \quad (4.25)$$

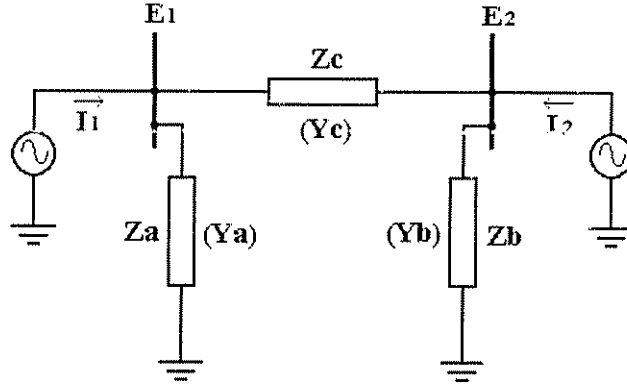


Figura 4.2: Sistema composto de 2 unidades inversoras

4.4 Análise Para Pequenos Sinais do Sistema Completo

A fim de facilitar a compreensão desta análise, foi considerado um sistema composto por dois inversores conectados a uma rede, a qual é mostrada na figura 4.2, mas tal análise pode ser estendida para um número arbitrário de inversores.

Desde que a variação de frequência na rede é considerada muito pequena, a rede pode ser completamente definida por uma equação matricial de nós utilizando as respectivas admitâncias entre os nós.

$$\begin{bmatrix} \vec{I}_1 \\ \vec{I}_2 \end{bmatrix} = \begin{bmatrix} Y_a + Y_c & -Y_c \\ -Y_c & Y_b + Y_c \end{bmatrix} \begin{bmatrix} \vec{E}_1 \\ \vec{E}_2 \end{bmatrix} \quad (4.26)$$

Transformando a equação complexa 4.26 em sua forma real

$$\begin{bmatrix} i_{d1} \\ i_{q1} \\ i_{d2} \\ i_{q2} \end{bmatrix} = \begin{bmatrix} G_{11} & -B_{11} & G_{12} & -B_{12} \\ B_{11} & G_{11} & B_{12} & G_{12} \\ G_{21} & -B_{21} & G_{22} & -B_{22} \\ B_{21} & G_{21} & B_{22} & G_{22} \end{bmatrix} \begin{bmatrix} e_{d1} \\ e_{q1} \\ e_{d2} \\ e_{q2} \end{bmatrix} \quad (4.27)$$

A equação acima pode ser escrita simbolicamente como

$$[i] = [Y_s][e] \quad (4.28)$$

Linearizando a expressão algébrica acima, tem-se

$$[\Delta i] = [Y_s][\Delta e] \quad (4.29)$$

Considerando as expressões para as potências ativa e reativa fornecidas em cada inversor

$$P_i = e_{di}i_{di} + e_{qi}i_{qi} \quad (4.30)$$

$$Q_i = e_{di}i_{qi} - e_{qi}i_{di} \quad (4.31)$$

Isto implica que

$$\begin{aligned} \begin{bmatrix} \Delta P_1 \\ \Delta Q_1 \\ \Delta P_2 \\ \Delta Q_2 \end{bmatrix} &= \begin{bmatrix} i_{d1} & i_{q1} & 0 & 0 \\ -i_{q1} & i_{d1} & 0 & 0 \\ 0 & 0 & i_{d2} & i_{q2} \\ 0 & 0 & -i_{q2} & i_{d2} \end{bmatrix} \begin{bmatrix} \Delta e_{d1} \\ \Delta e_{q1} \\ \Delta e_{d2} \\ \Delta e_{q2} \end{bmatrix} \\ &+ \begin{bmatrix} e_{d1} & e_{q1} & 0 & 0 \\ e_{q1} & -e_{d1} & 0 & 0 \\ 0 & 0 & e_{d2} & e_{q2} \\ 0 & 0 & e_{q2} & -e_{d2} \end{bmatrix} \begin{bmatrix} \Delta i_{d1} \\ \Delta i_{q1} \\ \Delta i_{d2} \\ \Delta i_{q2} \end{bmatrix} \end{aligned} \quad (4.32)$$

a qual na sua forma simbólica é

$$[\Delta S] = [I_s][\Delta e] + [E_s][\Delta i] \quad (4.33)$$

Substituindo 4.29 em 4.33, tem-se

$$[\Delta S] = ([I_s] + [E_s][Y_s]) [\Delta e] \quad (4.34)$$

A equação de estado para o sistema completo pode ser escrita como (ver equação 4.25)

$$\begin{bmatrix} \Delta \omega_1 \\ \Delta e_{d1} \\ \Delta e_{q1} \\ \Delta \omega_2 \\ \Delta e_{d2} \\ \Delta e_{q2} \end{bmatrix} = \begin{bmatrix} M_1 & 0 \\ 0 & M_2 \end{bmatrix} \begin{bmatrix} \Delta \omega_1 \\ \Delta e_{d1} \\ \Delta e_{q1} \\ \Delta \omega_2 \\ \Delta e_{d2} \\ \Delta e_{q2} \end{bmatrix} + \begin{bmatrix} C_1 & 0 \\ 0 & C_2 \end{bmatrix} \begin{bmatrix} \Delta P_1 \\ \Delta Q_1 \\ \Delta P_2 \\ \Delta Q_2 \end{bmatrix} \quad (4.35)$$

a qual escrita simbolicamente é

$$[\Delta \dot{X}] = [M_s][\Delta X] + [C_s][\Delta S] \quad (4.36)$$

Combinando 4.36 e 4.34, tem-se

$$[\Delta \dot{X}] = [M_s][\Delta X] + [C_s]([I_s] + [E_s][Y_s]) [\Delta e] \quad (4.37)$$

Considerando que

$$\begin{bmatrix} \Delta e_{d1} \\ \Delta e_{q1} \\ \Delta e_{d2} \\ \Delta e_{q2} \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} \Delta \omega_1 \\ \Delta e_{d1} \\ \Delta e_{q1} \\ \Delta \omega_2 \\ \Delta e_{d2} \\ \Delta e_{q2} \end{bmatrix} \quad (4.38)$$

ou simbolicamente

$$[\Delta e] = [K_s][\Delta X] \quad (4.39)$$

Substituindo a equação 4.39 em 4.37, tem-se

$$[\Delta \dot{X}] = [A][\Delta X] \quad (4.40)$$

onde

$$[A] = [M_s] + [C_s] ([I_s] + [E_s][Y_s]) [K_s] \quad (4.41)$$

A equação homogênea 4.40 descreve o movimento livre do sistema em função de pequenas perturbações em torno do ponto de equilíbrio, isto é, o comportamento de $\Delta\omega_1$, Δe_{d1} , Δe_{q1} , $\Delta\omega_2$, Δe_{d2} , e Δe_{q2} em torno do ponto de operação definido por ω_1 , e_{d1} , e_{q1} , ω_2 , e_{d2} , e e_{q2} , dada uma condição inicial ligeiramente fora do ponto de equilíbrio. O fluxo de carga deve ser determinado a fim de se estabelecer o ponto de equilíbrio.

4.5 Resultados de Simulação

Foram realizadas algumas simulações a fim de se verificar a representatividade do modelo para pequenos sinais proposto. Dois exemplos para diferentes características $\omega \times P$ e $V \times Q$ são apresentados.

4.5.1 Exemplo I

Os resultados de simulação foram obtidos considerando o sistema mostrado na figura 4.2, cujos parâmetros são apresentados na tabela 4.1. O "offset" das curvas características $P - \omega$ e $Q - V$ foram ajustados de forma que cada inversor forneça a potência especificada na tabela 4.1 na frequência de 377 rad/s.

A partir dos parâmetros apresentados na tabela 4.1, pode-se construir a matriz $[A]$ do sistema:

$$[A] = \begin{bmatrix} -37,7000 & -0,1141 & -0,6994 & 0 & 0,0311 & 0,6814 \\ 0 & -38,4552 & 0,0256 & 0 & 0,6814 & -0,0311 \\ 127,0000 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0,0382 & 0,6988 & -37,7000 & -0,1244 & -0,6800 \\ 0 & 0,6988 & -0,0382 & 1,1774 & -38,4297 & 0,3845 \\ 0 & -0,0063 & 0,0003 & 130,3034 & 0,3472 & -0,0035 \end{bmatrix} \quad (4.42)$$

E conseqüentemente obter os respectivos autovalores, os quais são:

Variável	Valor	Unidade
Linha de transmissão (Z_c)	$0,2+j3,1$	Ω
Carga local - inversor 1 (Z_a)	$25,7+j27,2$	Ω
Carga local - inversor 2 (Z_b)	$52+j9$	Ω
Freq. de corte filtro de medição(ω_f)	27,7	rad/s
Inclinação da curva $\omega xP(k_p)$	0,0005	rad/s/W
Inclinação da curva $V xQ(k_v)$	0,0005	V/Var
Potência aparente inversor 1 (P_1+jQ_1)	$298+j187$	VA
Potência aparente inversor 2 (P_2+jQ_2)	$280+j180$	VA
Tensão de saída inversor 1 ($\vec{E}_1$)	$127+j0$	V (rms)
Tensão de saída inversor 2 ($\vec{E}_2$)	$130,3-j1,2$	V (rms)
Corrente de saída inversor 1 ($\vec{I}_1$)	$2,3-j1,5$	A (rms)
Corrente de saída inversor 2 ($\vec{I}_2$)	$2,1-j1,4$	A (rms)
Frequência no ponto de equilíbrio	377	rad/s

Tabela 4.1: Parâmetros do Sistema e Ponto de Equilíbrio

$$\begin{aligned}
\lambda_1 &= 0,0 \\
\lambda_2 &= -5,51 \\
\lambda_3 &= -32,17 \\
\lambda_4 &= -37,70 \\
\lambda_5 &= -37,75 \\
\lambda_6 &= -39,14
\end{aligned}$$

O sistema possui seis pólos reais no semi-plano esquerdo e conseqüentemente o mesmo é estável e apresenta uma resposta amortecida.

Considerando que na entrada em operação as potências ativa e reativa em cada inversor são nulas, e que os vetores $\vec{E}_1$ and $\vec{E}_2$ estão em fase, tem-se a seguinte condição inicial:

$$\begin{aligned}
\omega_1 &= 377,15 \\
\omega_2 &= 377,14 \\
\vec{E}_1 &= 127,09 + j0 \\
\vec{E}_2 &= 130,40 + j0
\end{aligned}$$

A figura 4.3 mostra a variação da frequência de cada inversor obtida através da equação 4.40 e da simulação do sistema no Pspice. Observa-se que o sistema é bem representado pelo modelo para pequenos sinais. É importante observar que a equação 4.40 determina os desvios

em relação ao ponto de equilíbrio e o comportamento das variáveis do sistema é determinado pela seguinte equação:

$$[X] = [X]_{pontoeq} + [\Delta X(0)]e^{[A]t} \quad (4.43)$$

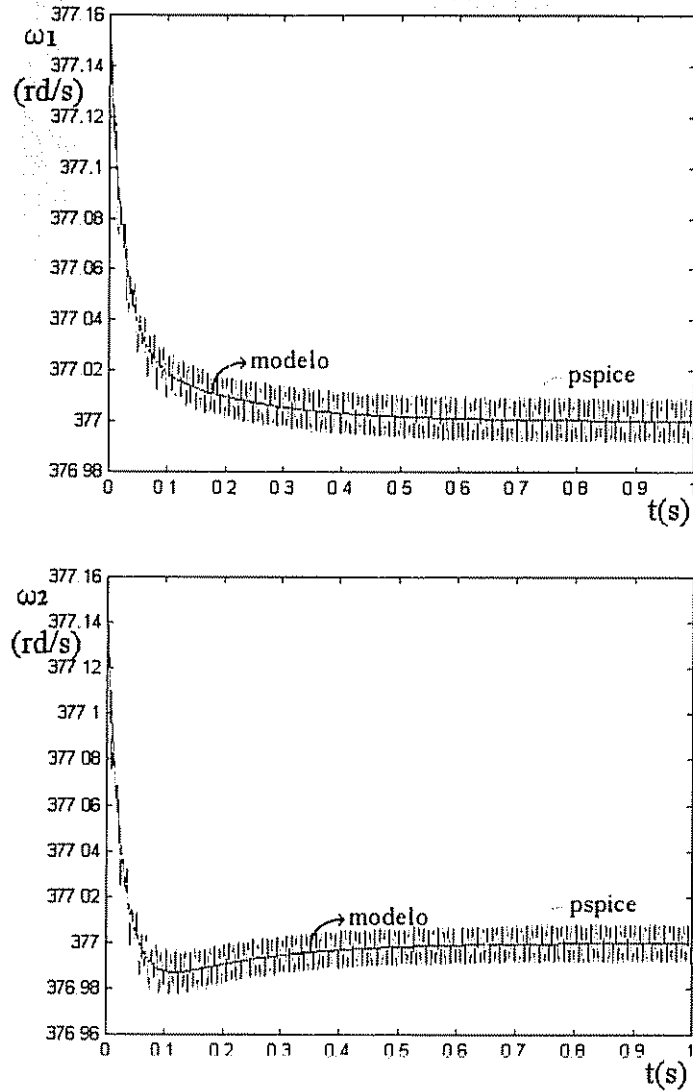


Figura 4.3: Variação na frequência dos inversores 1 e 2

Os fluxos de potência ativa e reativa são mostrados na figura 4.4. Observa-se que o sinal de potência do sistema simulado ainda apresenta oscilações em 120 Hz, as quais não foram

completamente eliminadas pelo filtro de medição. O fluxo de potência reativa é mais rápido que o de potência ativa, mas ambos apresentam uma resposta amortecida. A figura 4.5 mostra a tensão e corrente em cada inversor nos instantes iniciais de simulação.

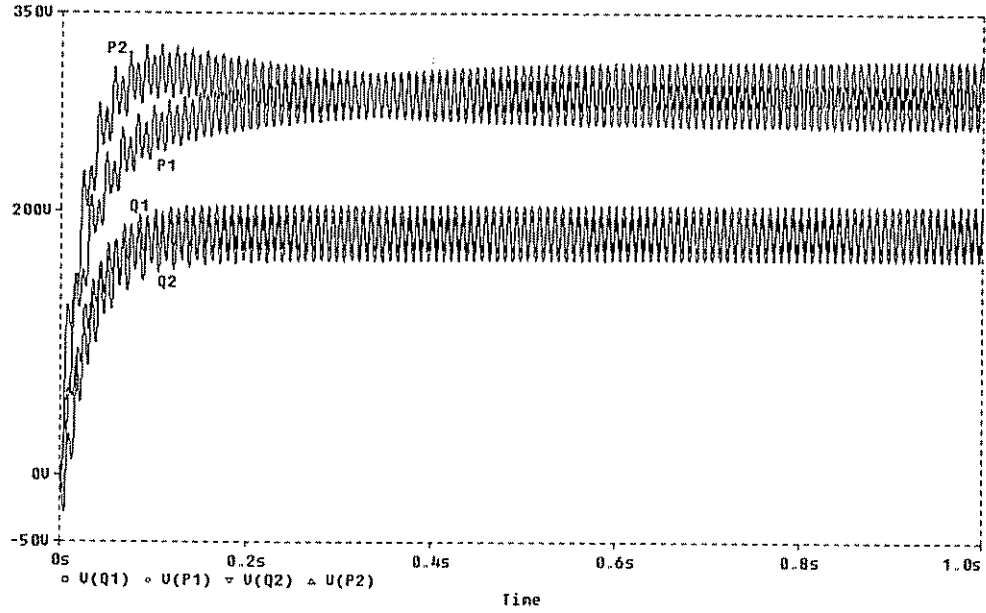


Figura 4.4: Potência ativa e reativa

4.5.2 Exemplo II

Usando o mesmo procedimento adotado para o Exemplo I, mas agora incrementando k_p e k_v em 10 vezes, pode-se construir uma nova matriz $[A]$ e obter os respectivos autovalores:

$$[A] = \begin{bmatrix} -37,7000 & -1,1407 & -6,9939 & 0 & 0,3109 & 6,8138 \\ 0 & -45,2519 & 0,2559 & 0 & 6,8138 & -0,3109 \\ 127,0000 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0,3822 & 6,9881 & -37,7000 & -1,2441 & -6,7997 \\ 0 & 6,9878 & -0,3822 & 1,1774 & -45,0244 & 0,7793 \\ 0 & -0,0631 & 0,0035 & 130,3034 & 0,4068 & -0,0070 \end{bmatrix} \quad (4.44)$$

$$\lambda_1 = 0,0$$

$$\lambda_2 = -18,8 + j37,7$$

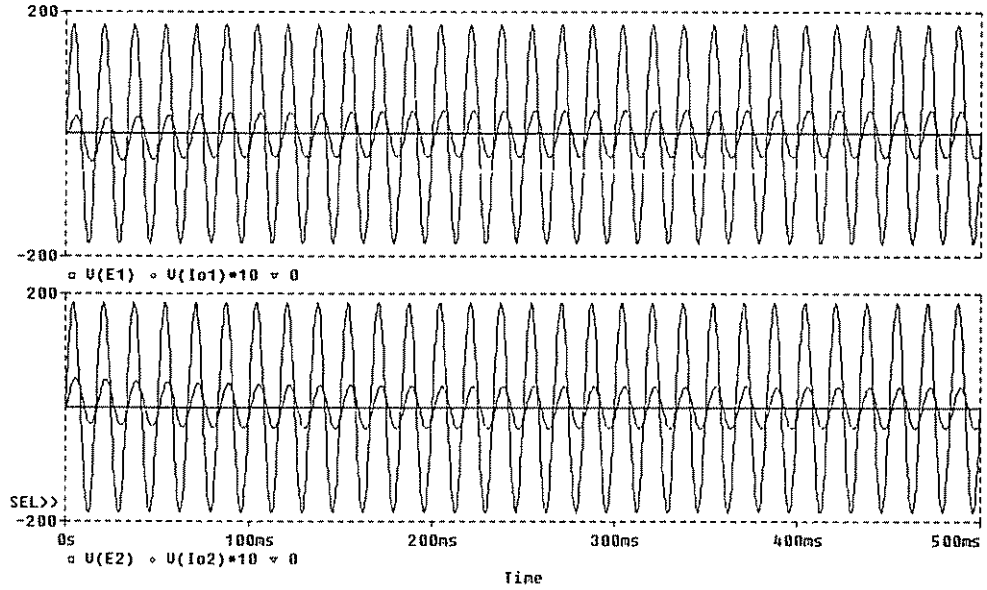


Figura 4.5: Tensão e corrente de saída em cada inversor

$$\lambda_3 = -18,8 - j37,7$$

$$\lambda_4 = -37,7$$

$$\lambda_5 = -38,2$$

$$\lambda_6 = -52,1$$

Agora o sistema possui pólos com parte imaginária não nula, e portanto o mesmo apresenta uma resposta oscilatória. A parte real negativa dos respectivos pólos garante o amortecimento da oscilações.

Considerando novamente que na entrada em operação as potências ativa e reativa em cada inversor são nulas, e que os vetores $\vec{E}_1$ and $\vec{E}_2$ estão em fase, tem-se a seguinte condição inicial:

$$\omega_1 = 378,49$$

$$\omega_2 = 378,40$$

$$\vec{E}_1 = 127,94 + j0$$

$$\vec{E}_2 = 131,21 + j0$$

A figura 4.6 mostra a variação de frequência dos inversores definida pelo modelo para pequenos sinais e através de simulação no Pspice. Novamente, o resultados são muito próximos, atestando a eficiência da análise para pequenos sinais. Neste caso, a resposta oscilatória do

sistema não fica tão evidente quanto visto para o sistema da seção 3.3.2, mas ainda assim pode-se observar tal efeito no detalhe apresentado na figura 4.7. Para um dado sistema com pólos complexos, a oscilação transitória pode ser mais ou menos evidente no comportamento dos estados, dependendo da condição inicial considerada. Por exemplo, para o caso experimental mostrado na seção 4.8, onde a condição inicial para o modelo é diferente, o efeito de oscilação transitória é mais evidente no sinal de frequência.

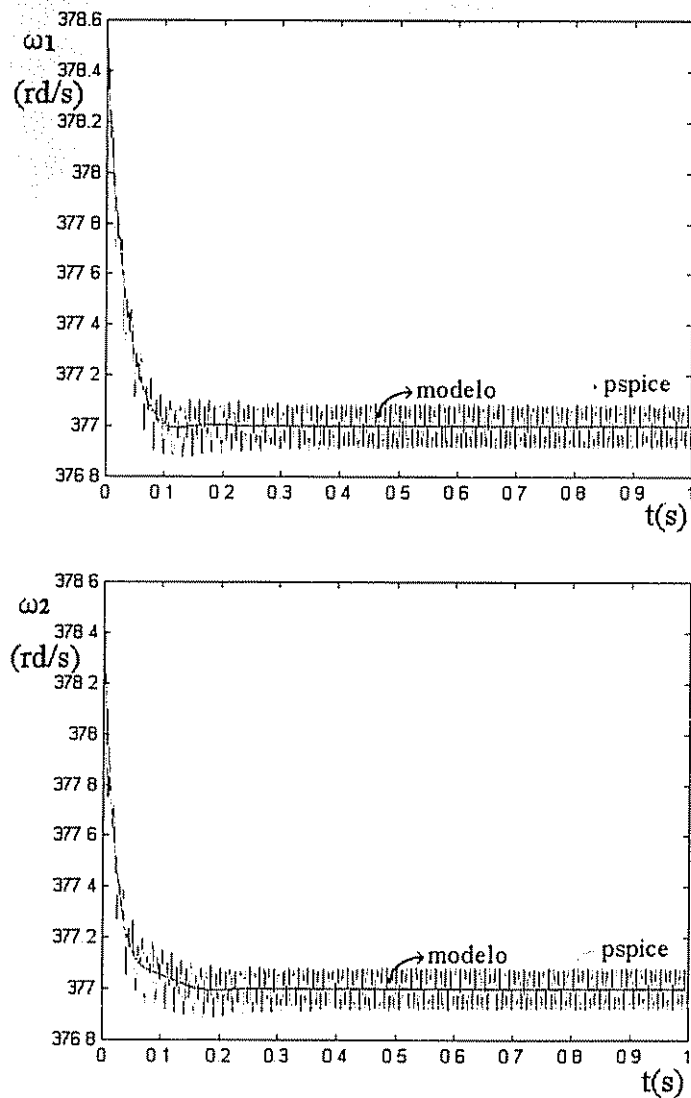


Figura 4.6: Variação na frequência dos inversores 1 e 2

As potências ativa e reativa são mostradas na figura 4.8. Neste caso, a dinâmica de

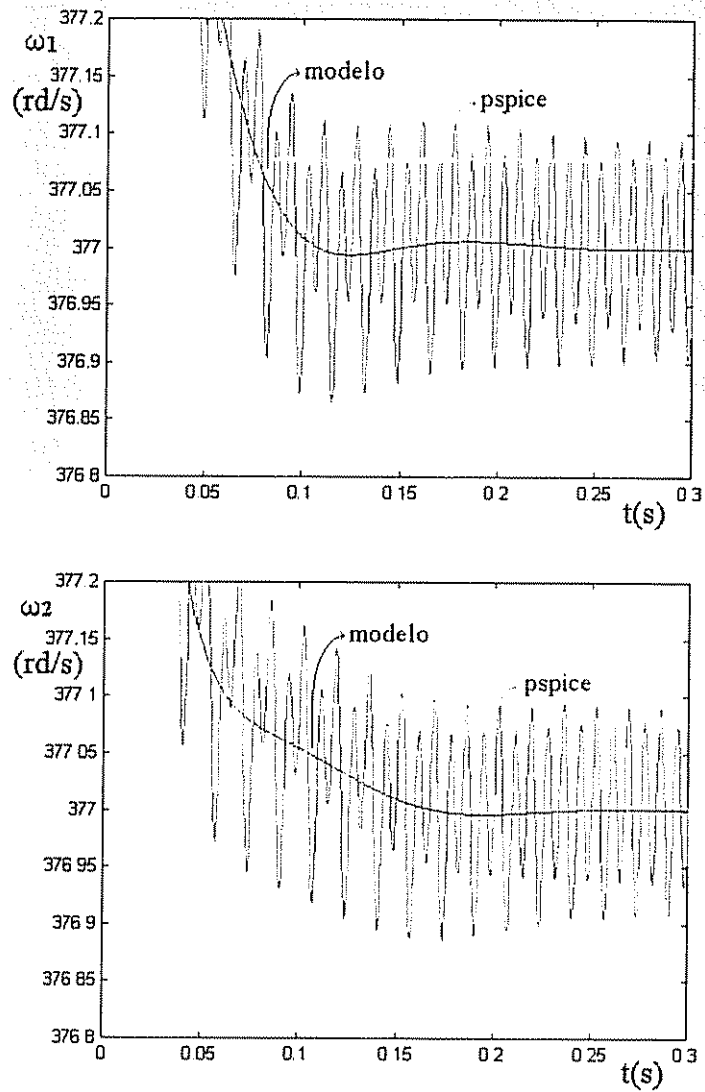


Figura 4.7: Variação na frequência dos inversores 1 e 2 - detalhe da figura 4.6

distribuição dos fluxos de potência é mais rápida que no Exemplo I, mas apresenta oscilações. A figura 4.9 mostra a corrente e a tensão de saída em cada inversor nos instantes iniciais de simulação.

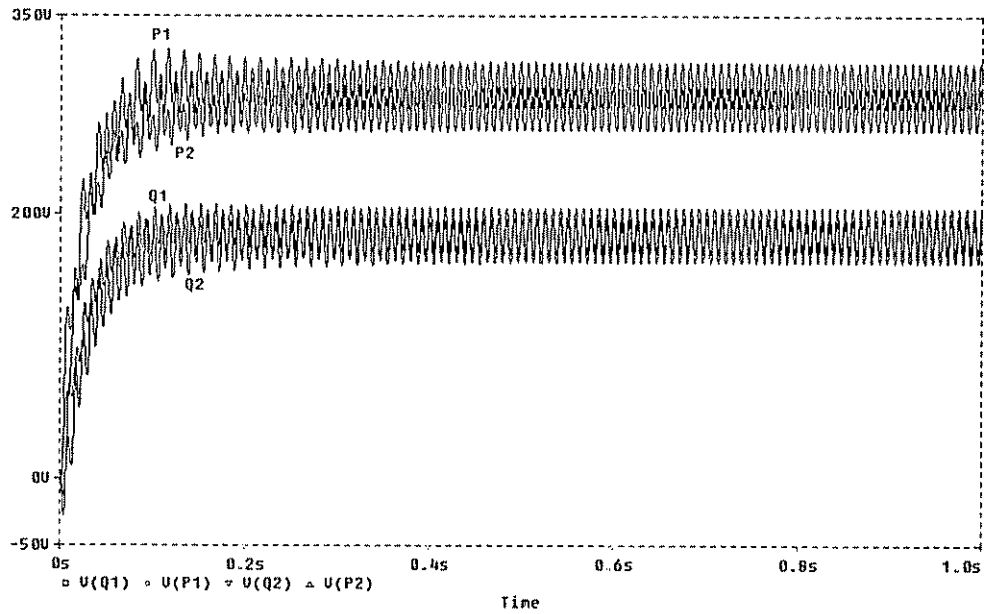


Figura 4.8: Potência ativa e reativa

4.6 Análise de Estabilidade e Variações Paramétricas

A validade do modelo para pequenos sinais proposto na seção 4.4 é confirmada pelos resultados de simulação mostrados na seção anterior. Alguns aspectos importantes devem ser observados:

- Na determinação do ponto de equilíbrio, existe uma infinidade de conjuntos e_{d1} , e_{q1} , e_{d2} e e_{q2} que satisfazem a mesma condição de carga, isto é, o que importa é a posição relativa entre os vetores tensão $\vec{E}_1$ e $\vec{E}_2$ e não a posição absoluta dos mesmos. A mudança de $\vec{E}_1$ e $\vec{E}_2$ no eixo d-q (mantendo a posição relativa) altera a matriz $[A]$, mas não altera os autovalores.
- As variáveis de estado adotadas se justificam pela simplicidade resultante do modelo.
- O modelo obtido apresenta um pólo na origem para os dois exemplos apresentados na seção anterior. Será mostrado a seguir que este pólo permanece na origem independente de variações paramétricas. Como pode ser visto em [Chandorkar, 1995], os ângulos $\Delta\delta_i$ formam um conjunto de variáveis linearmente dependentes, a matriz $[A]$ é singular e tem um autovalor nulo, o qual não tem interesse para estudos de estabilidade.
- No cálculo do posto da matriz $[A]$, deve-se ter em mente que a mesma é obtida numericamente, e que a precisão deve ser considerada. A matriz $[A]$ apresenta posto 5.

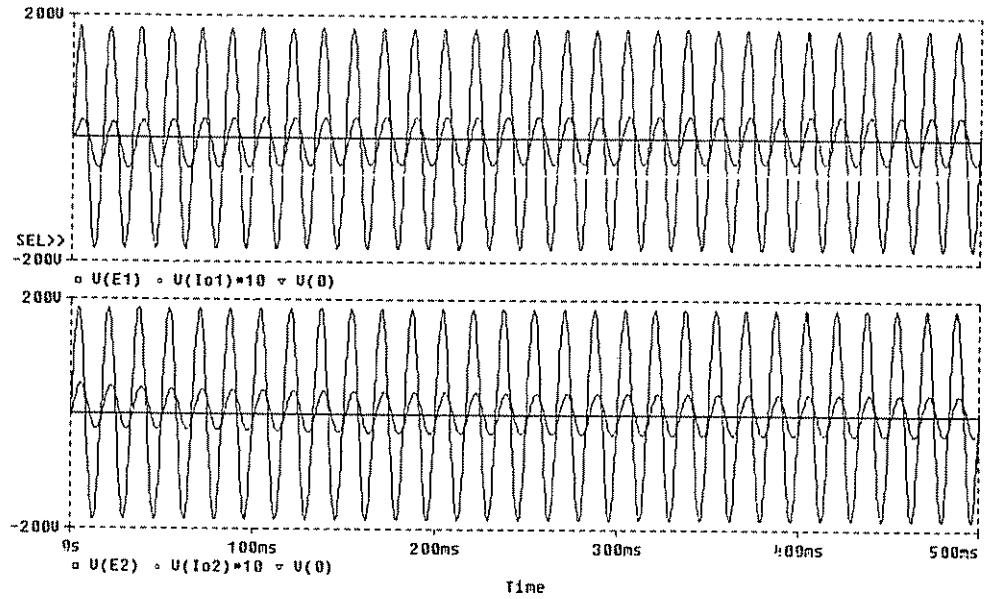


Figura 4.9: Tensão e corrente de saída em cada inversor

4.6.1 Variação das inclinações das curvas $P - \omega$ e $Q - V$

A figura 4.10 mostra o lugar geométrico dos pólos do sistema (ver figura 4.2 e tabela 4.1) considerando uma variação dos ganhos k_p e k_v na faixa de 0,0001 a 0,01 rd/s/W (V/Var). Observa-se que o sistema permanece estável para toda a faixa de variação. O pólo na origem permanece fixo e não compromete a estabilidade. Convém ressaltar que para ganhos k_p muito elevados o modelo perde sua representatividade, pois na medida em que o ganho k_p aumenta, o sistema passa a apresentar uma maior variação em frequência, e conseqüentemente uma maior variação das reatâncias indutivas e capacitivas, as quais são consideradas constantes no equacionamento do modelo.

Os pólos λ_2 e λ_3 são mais sensíveis às variações de k_p , enquanto os pólos λ_5 e λ_6 são sensíveis às variações de k_v , como pode-se observar através das figuras 4.11 e 4.12, respectivamente.

4.6.2 Variação da Indutância da Linha de Transmissão

A figura 4.13 mostra o comportamento dos pólos do sistema em função da variação da indutância da linha de transmissão L_t na faixa de 0,1 a 10 mH. Considerando $k_p = k_v = 0,005$ rd/s/W (V/Var). As impedâncias de carga são as mesmas consideradas na tabela 4.1. Como a variação deste parâmetro implica a mudança do ponto de equilíbrio, os mesmos são recalculados para cada valor de L_t , considerando que a tensão $\vec{E}_1$ e as potências ativa e reativa para o inversor 2 são constantes e definidas na tabela 4.1.

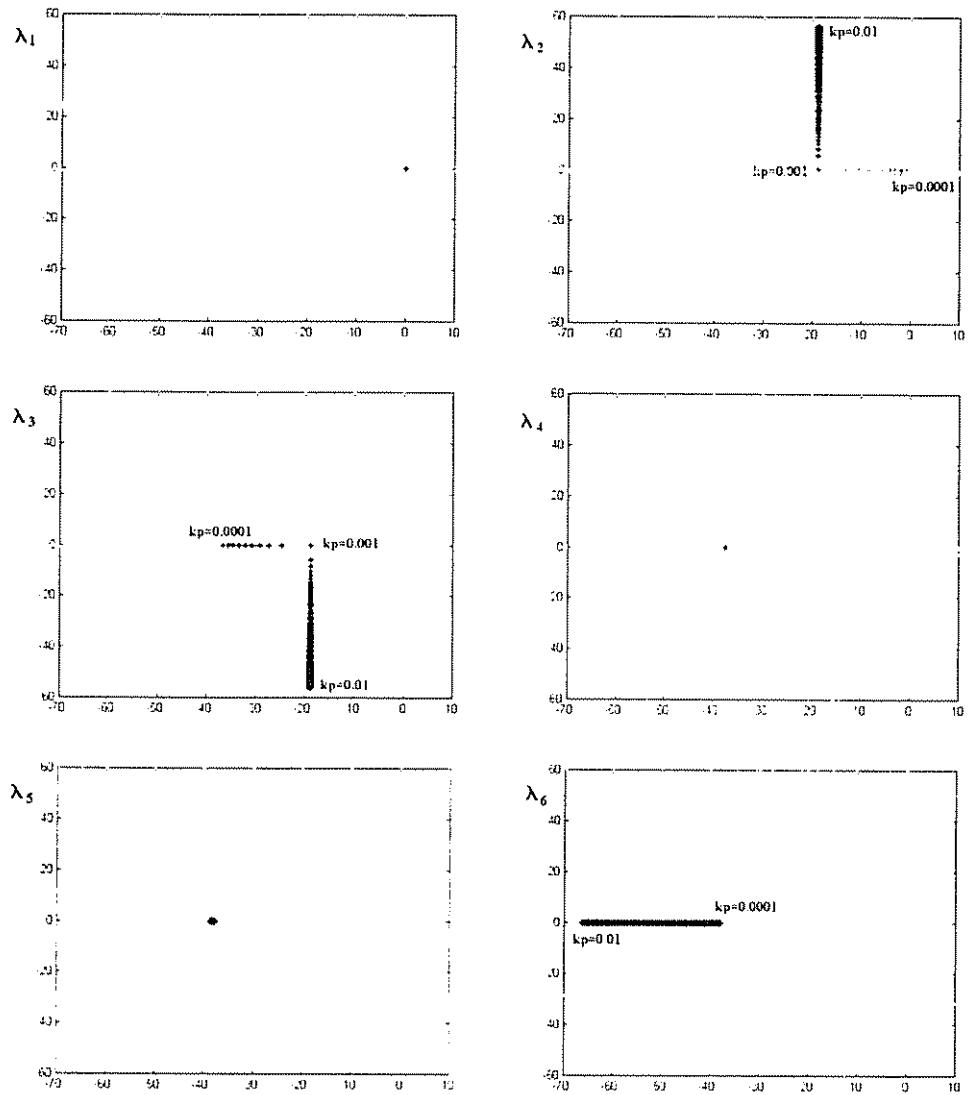


Figura 4.10: Lugar geométrico dos pólos - $0,0001 < k_p = k_v < 0,01$

Nota-se que a indutância da linha de transmissão é um parâmetro vital no que diz respeito à estabilidade do sistema. Para um valor de indutância igual ou menor a 0,4mH o sistema modelo torna-se instável. A partir do modelo pode-se então, definir um valor de indutância que garantiria uma margem de segurança na estabilidade do sistema real.

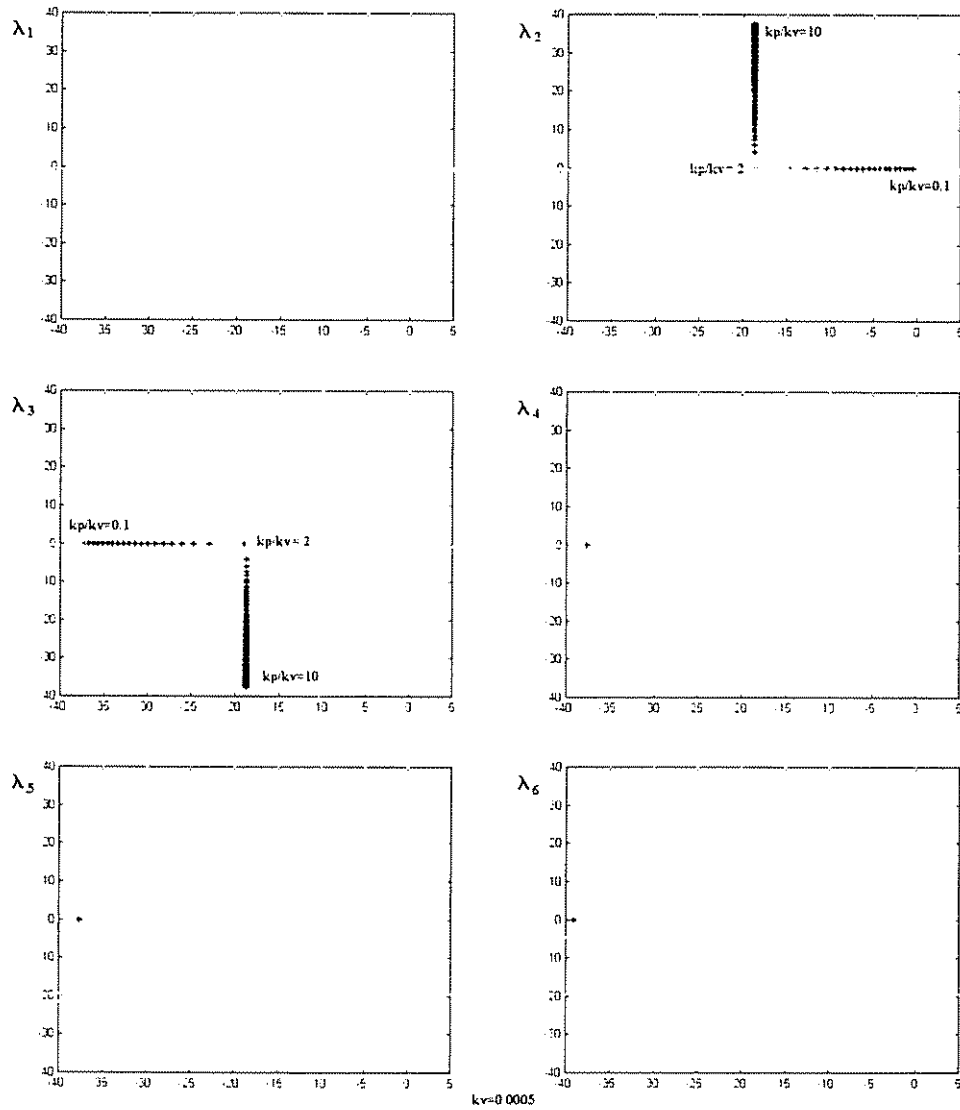


Figura 4.11: Lugar geométrico dos pólos - $k_v = 0,0005V/V_{at} - 0,1k_v < k_p < 10k_v$

4.6.3 Variação de Carga

Como era de se esperar, a dinâmica do sistema é pouco sensível às variações de carga. A figura 4.14 mostra o lugar geométrico dos pólos do sistema para uma variação do módulo da impedância de carga do inversor 1 (Z_a) na faixa de 10 a 1000 por cento do valor determinado na tabela 4.1. Foram usados $k_p = 0,005 \text{ rd/s/W}$ e $k_v = 0,005 \text{ V/Var}$. Também neste caso, o ponto de equilíbrio é recalculado para cada valor de Z_a , considerando que a tensão $\vec{E}_1$ e as

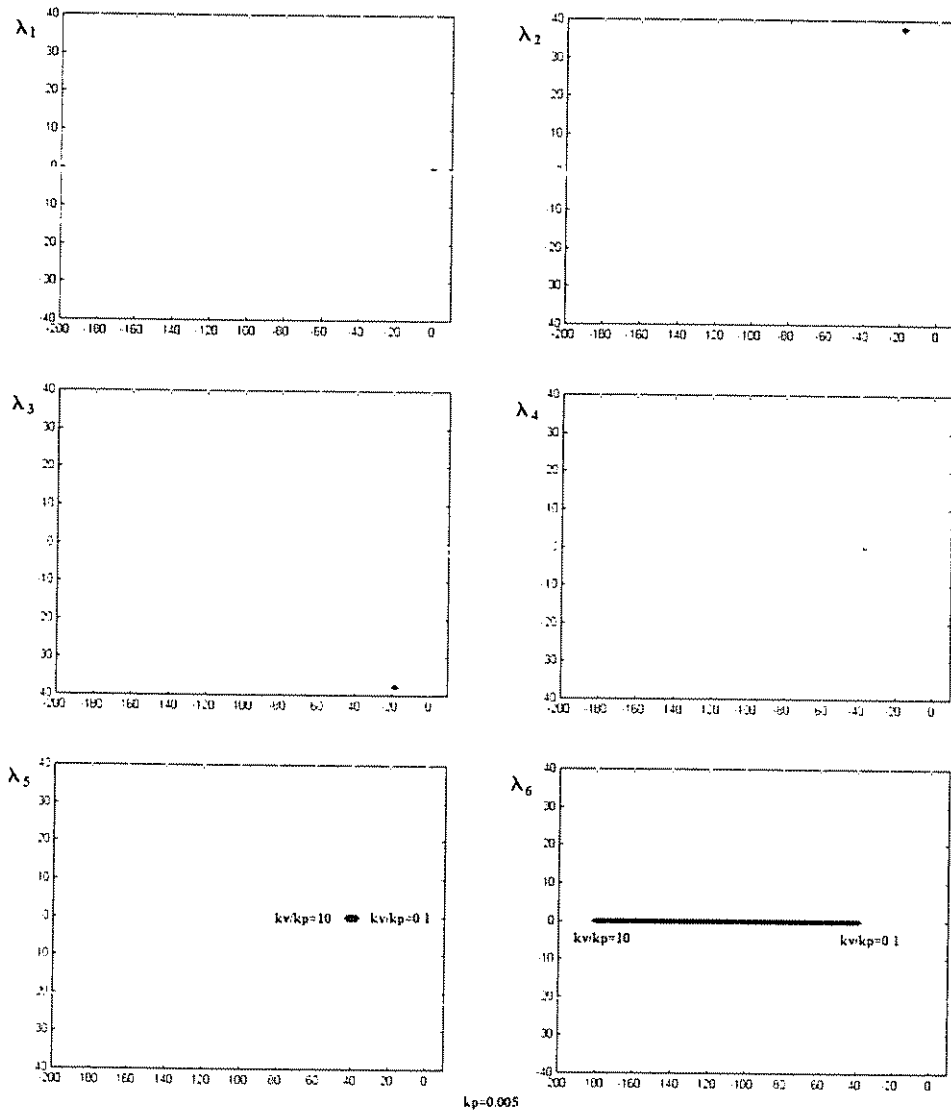


Figura 4.12: Lugar geométrico dos pólos - $k_p = 0,005rd/s/W - 0,1k_p < k_v < 10k_p$

potências ativa e reativa para o inversor 2 são constantes e definidas na tabela 4.1.

4.6.4 Variação da Frequência de Corte do Filtro de Medição das Potências

A figura 4.15 mostra o lugar geométrico dos pólos do sistema em função da variação da frequência de corte do filtro de medição da potências na faixa de 0,12 a 12Hz ($0,75 < \omega_f <$

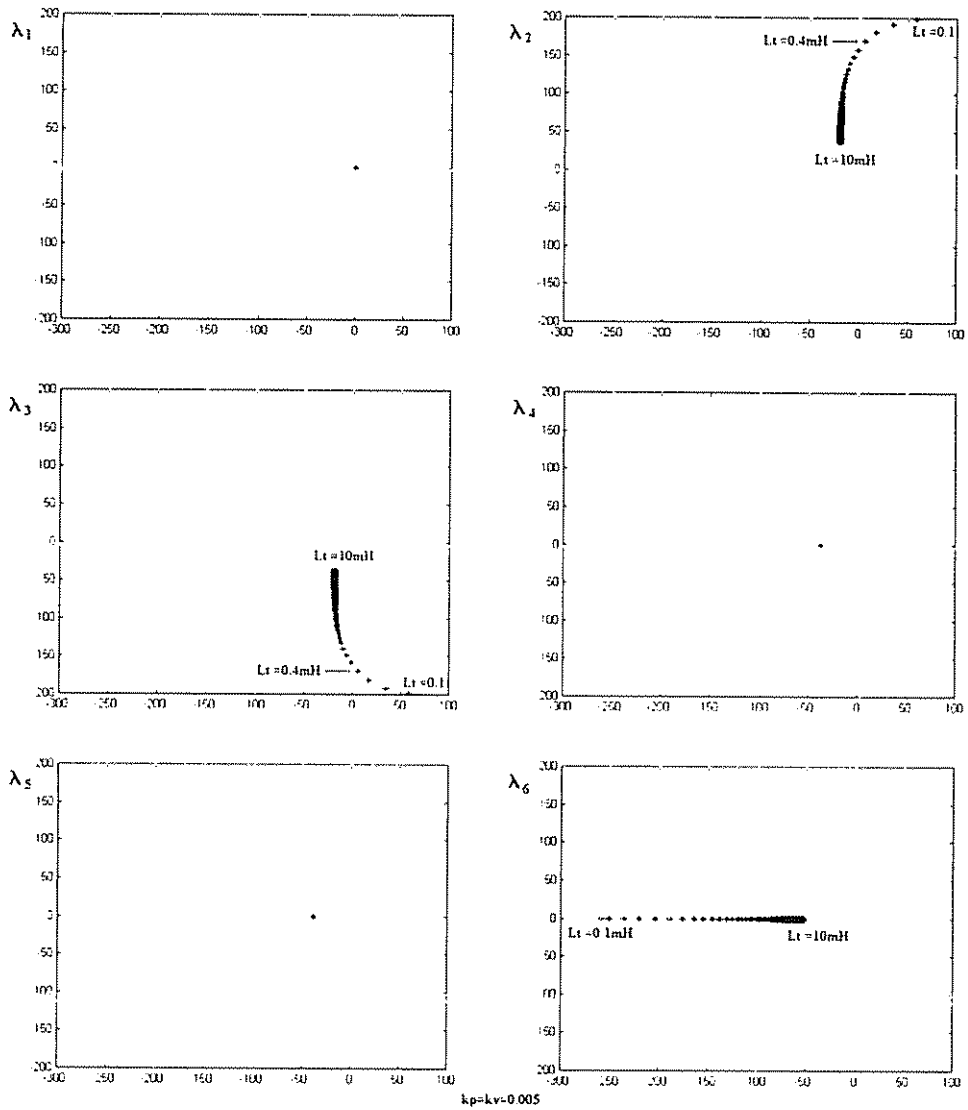


Figura 4.13: Lugar geométrico dos pólos - $k_p = k_v = 0,005 - 0,1 < L_t < 10mH$

75, 4rd/s). Os demais parâmetros são os mesmos da tabela 4.1. Observa-se que a dinâmica do sistema é bastante dependente deste parâmetro, como era de se esperar. Dois fatores devem ser considerados no que diz respeito a este parâmetro, os quais determinam uma relação de compromisso:

- A frequência de corte do filtro de medição deve ser baixa o suficiente para eliminar as oscilações em 120Hz do sinal de potência, e conseqüentemente do sinal de frequência de referência para os inversores. Oscilações elevadas são impraticáveis, pois tornam o

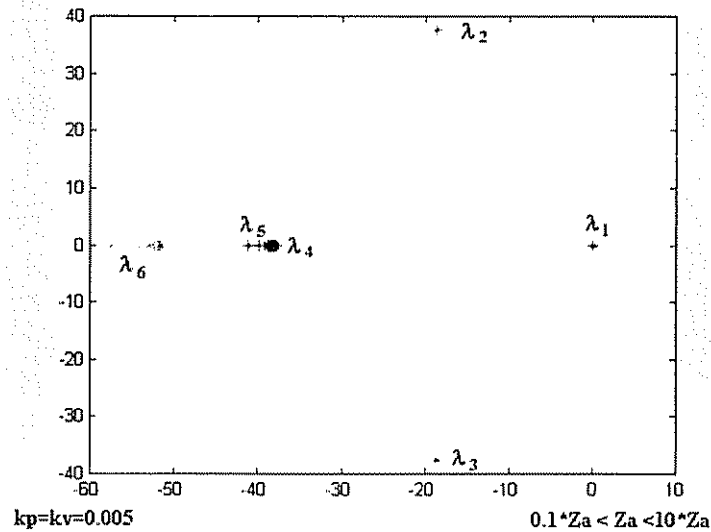


Figura 4.14: Lugar geométrico dos pólos - $k_p = k_v = 0,005 - 0,1Za < Za < 10Za$

sistema instável e, além disso, não são previstas pelo modelo, o qual considera constante grandezas que na prática variam com a frequência.

- Frequências de corte muito baixas também devem ser evitadas, pois além de tornar o sistema mais lento, podem provocar oscilações em baixa frequência na dinâmica de distribuição dos fluxos de potência. Como pode ser observado na figura 4.15, os pólos λ_2 e λ_3 passam a ser complexos conjugados para baixas frequências de corte. Isto fica ainda mais evidenciado para ganhos k_p e k_v elevados.

As figuras 4.16 e 4.18 mostram os resultados de simulação para os fluxos de potência ativa e reativa de cada inversor considerando os parâmetros da tabela 4.1, com excessão da frequência de corte do filtro de medição das potências, que para a figura 4.18 é de 1,44Hz ($\omega_f = 4,57 \text{ rad/s}$). Neste caso, diferentemente dos resultados de simulação mostrados anteriormente, o inversor 1 parte alimentando toda a carga. No instante de tempo equivalente a 2 segundos, o inversor 2 é conectado ao sistema e a distribuição dos fluxos de potência se dá segundo o ponto de equilíbrio determinado na tabela 4.1. Esta condição inicial permite visualizar melhor o efeito na dinâmica do sistema em função da variação da frequência de corte ω_f . A figura 4.17 mostra o transitório da figura 4.16 em detalhe.

Para $\omega_f = 37,7 \text{ rad/s}$, o sistema possui os autovalores mostrados na seção 4.5.1 e conseqüentemente apresenta uma resposta amortecida. Observando a figura 4.15, verificamos que a redução da frequência ω_f para 4,57 rad/s (1,44Hz), o sistema passa a apresentar autovalores com parte imaginária diferente de zero:

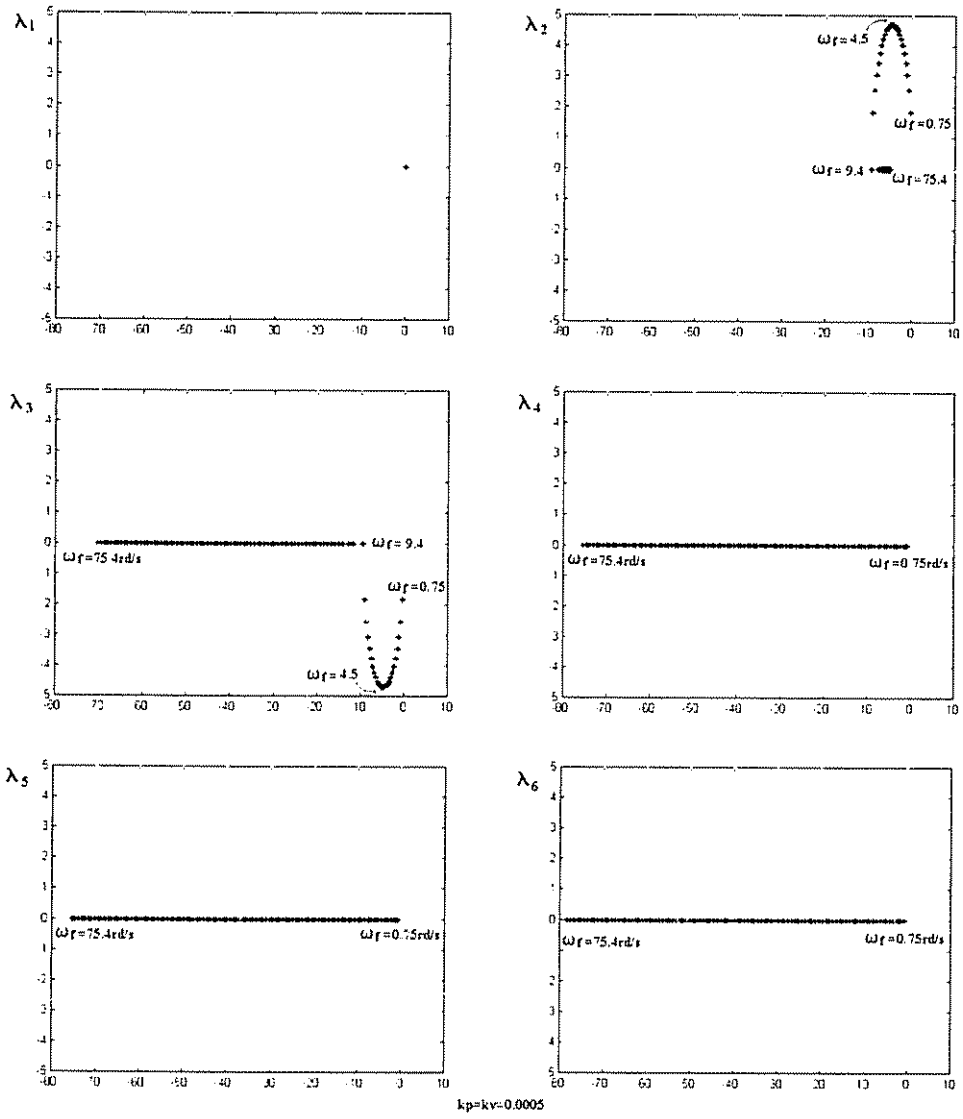


Figura 4.15: Lugar geométrico dos pólos - $k_p = k_v = 0,0005 - 0,75 \text{ rad/s} < \omega_f < 75,4 \text{ rad/s}$

$$\begin{aligned}
 \lambda_1 &= 0,0 \\
 \lambda_2 &= -4,52 + j4,71 \\
 \lambda_3 &= -4,52 - j4,71 \\
 \lambda_4 &= -9,05 \\
 \lambda_5 &= -9,06
 \end{aligned}$$

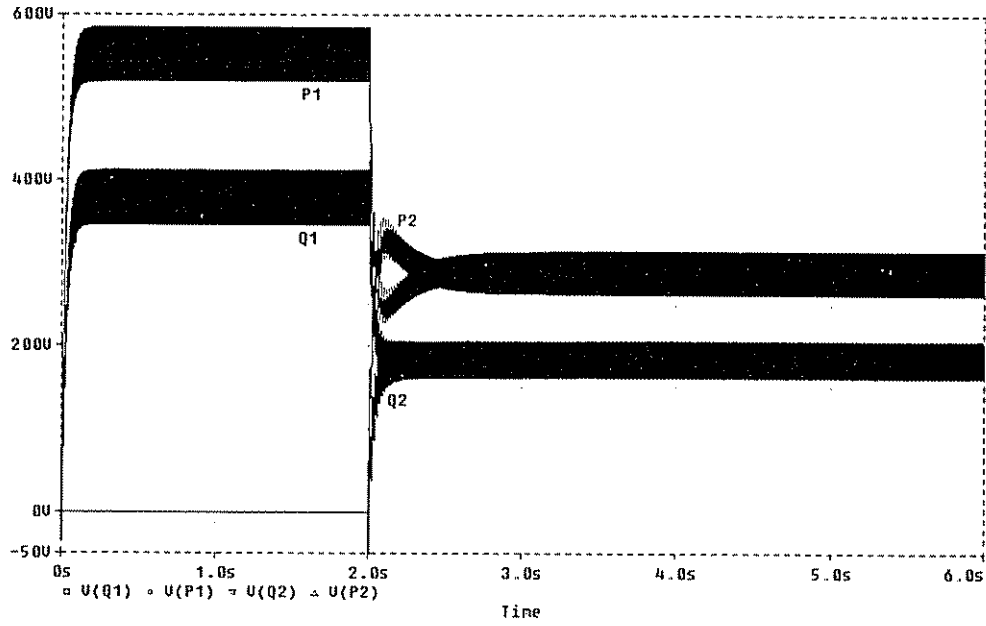


Figura 4.16: Fluxos de potência para $\omega_f = 37.7 \text{ rad/s}$

$$\lambda_6 = -9,39$$

Neste caso, podemos verificar através da figura 4.18 que, além de apresentar uma dinâmica inferior, ou seja, ser mais lento na distribuição dos fluxos de potência, o sistema passa a apresentar uma resposta oscilatória na distribuição da potência ativa.

4.7 Restauração da Frequência Nominal

Em todas as análises realizadas até o presente momento neste capítulo, a característica $\omega \times P$ foi considerada constante, isto é, foram feitas análises para diferentes valores de k_p , mas durante a operação do sistema tanto k_p quanto o "offset" da característica $\omega \times P$ são mantidos constantes. Para uma dada característica $\omega \times P$, a frequência de operação do sistema será alterada não só em função das variações de carga, como também em função da entrada ou saída de uma unidade inversora do sistema. Dependendo do valor de k_p considerado, as variações de frequência podem se restringir a uma faixa aceitável ou não.

Considerando uma faixa de variação de frequência de amplitude inaceitável, um mecanismo de restauração da frequência nominal deve ser implementado. Se considerarmos a equação 4.45 para a característica $\omega \times P$:

$$\omega = \omega_o - k_p(P - P_o) \quad (4.45)$$

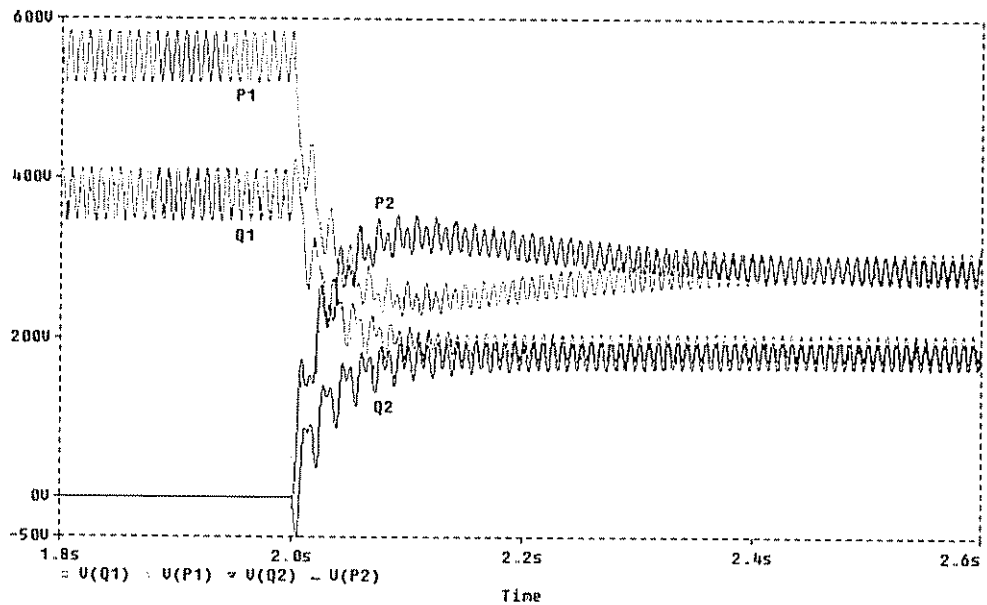


Figura 4.17: Detalhe dos fluxos de potência para $\omega_f = 37,7 \text{ rad/s}$

isto significa dizer que um valor de referência de potência ativa P_o deve ser dado para cada unidade inversora de modo a anular o termo $(P - P_o)$, fazendo a frequência ω do sistema igual à frequência nominal ω_o , ou seja, a característica $\omega \times P$ será deslocada em "offset", como podemos observar na figura 4.19.

Considerando a característica $\omega \times P$ indicada como C_1 na figura 4.19, a unidade inversora opera na frequência nominal ω_o fornecendo a potência ativa P_1 . Quando os requisitos de carga sofrem uma alteração de P_1 para P_2 , a frequência do sistema é deslocada para ω_2 , assim, o "offset" da característica deve ser alterado para a curva indicada como C_2 , de modo que a respectiva unidade forneça a potência ativa P_2 na frequência ω_o .

A solução para este problema pode ser encontrada no subsistema AGC usado em SEP (ver seção 2.4.1). Deve-se incluir uma ação integral a partir do deslocamento de frequência $\Delta\omega$, determinando a referência de potência ativa P_o . É exatamente isto que [Chandorkar, 1995] propõe em seu trabalho, num esquema similar ao apresentado na figura 4.20.

Considere o sistema mostrado na figura 4.21 e os respectivos parâmetros mostrados na tabela 4.2, sendo que cada unidade inversora apresenta o esquema de controle mostrado na figura 4.20. Tal sistema é simulado e os resultados são mostrados na figura 4.22.

O sistema parte com a impedância Z_d desconectada. Os inversores se encontram em fase, fornecendo potência nula. P_o e ω_o no esquema de controle da figura 4.20 são inicializados segundo os valores apresentados na tabela 4.2 para cada inversor.

A figura 4.22 mostra a variação da frequência e das potências ativa e reativa em cada

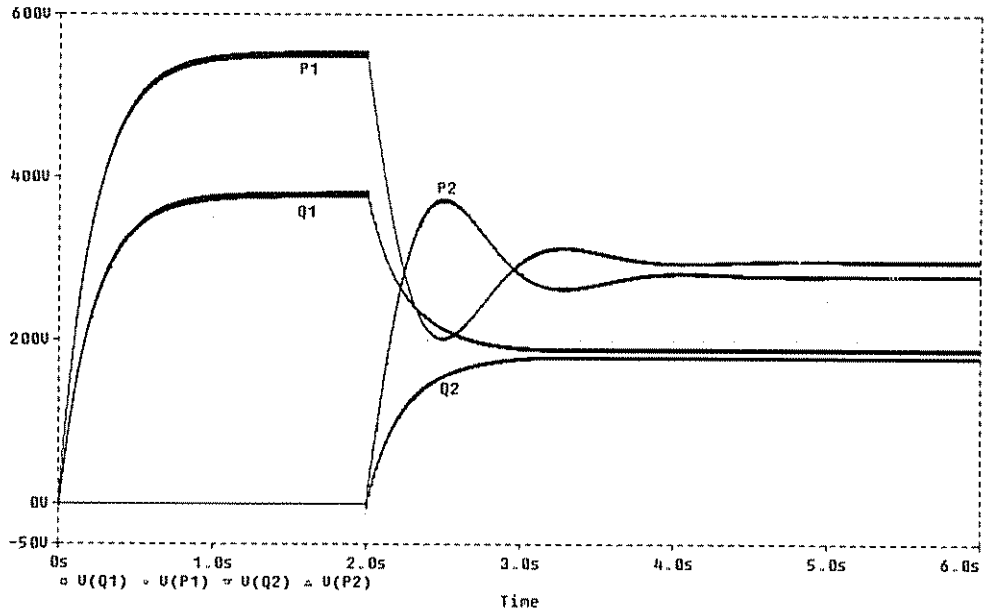


Figura 4.18: Fluxos de potência para $\omega_f = 4.57 \text{ d/s}$

inversor, sendo que em 1,0 segundos a impedância Z_d é conectada ao sistema e em 2,0 segundos é desconectada. Observa-se que o esquema de controle da figura 4.20 é capaz de restaurar a frequência do sistema satisfatoriamente em função das variações de carga.

A grande questão agora é como definir a referência de potência ativa para cada unidade inversora, considerando a entrada e saída de unidades do sistema. O valor de referência de potência P_o para cada unidade dependerá do número de unidades conectadas ao sistema. Infelizmente a solução deste problema exige um canal de comunicação entre as unidades inversoras. Mas, ainda assim, comparado com os esquemas de controle do paralelismo com comunicação mostrados na seção 1.3.1, a informação a ser transmitida aqui seria um valor médio, não sendo algo tão crítico como a realimentação de estados rápidos do sistema, como tensão ou corrente instantâneas. Na perda da comunicação ou falha temporária, o sistema ainda poderia operar com algum deslocamento em relação à frequência nominal, sendo que sua parada seria ativada somente se tal deslocamento atingisse níveis inadmissíveis.

4.8 Resultados Experimentais

A fim de validar os estudos teóricos, dois inversores PWM foram construídos, cuja descrição de cada unidade é apresentada na seção 4.8.1. Os resultados dos ensaios realizados e a comparação com o modelo teórico são mostrados na seção 4.8.2. Da mesma forma que na seção 3.4, vale a pena lembrar que algumas opções de projeto aqui definidas não apresentam

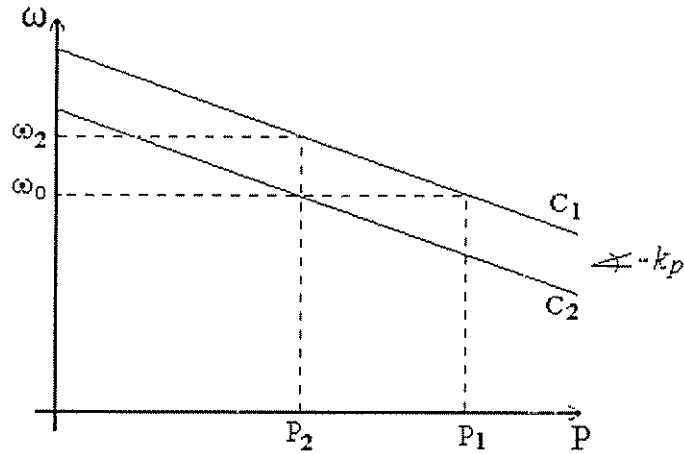


Figura 4.19: Variação da frequência nominal

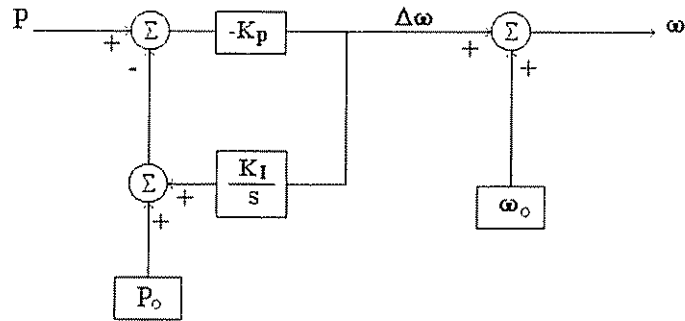


Figura 4.20: Esquema para restauração da frequência nominal

uma razão específica senão a disponibilidade de recursos de laboratório encontradas.

4.8.1 Descrição do protótipo

O esquema de cada unidade inversora é mostrado na figura 4.23, o qual é similar ao esquema mostrado na seção 3.4.1. Este consiste de um inversor monofásico, com uma malha interna de corrente e uma malha externa de tensão utilizando compensadores PI. A parte sombreada consiste na malha de controle do fluxo de potência, a qual é implementada usando um computador PC e um sistema de aquisição de dados. Tem-se ainda um bloco PLL, usado para

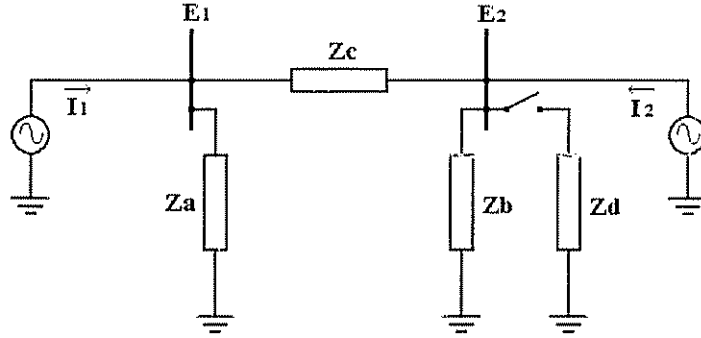


Figura 4.21: Sistema com variação de carga

Variável	Valor	Unidade
Linha de transmissão (Z_c)	$0,2+j3,1$	Ω
Carga local - inversor 1 (Z_a)	$25,7+j27,2$	Ω
Carga local - inversor 2 (Z_b)	$52+j9$	Ω
Carga adicional - inversor 2 (Z_d)	$50+j0$	Ω
Freq. de corte filtro de medição (ω_f)	37,7	rd/s
Inclinação da curva $\omega x P(k_p)$	0,0005	rd/s/W
Inclinação da curva $V x Q(k_i)$	0,0005	V/Var
Ganho integral restauração freq. (k_f)	1000	W/rd
Potência aparente inversor 1 (P_1+jQ_1)	$298+j187$	VA
Potência aparente inversor 2 (P_2+jQ_2)	$280+j180$	VA
Tensão de saída inversor 1 ($\vec{E}_1$)	$127+j0$	V (rms)
Tensão de saída inversor 2 ($\vec{E}_2$)	$130,3-j1,2$	V (rms)
Corrente de saída inversor 1 ($\vec{I}_1$)	$2,3-j1,5$	A (rms)
Corrente de saída inversor 2 ($\vec{I}_2$)	$2,1-j1,4$	A (rms)
Frequência no ponto de equilíbrio	377	rd/s

Tabela 4.2: Parâmetros do Sistema da Figura 4.21

sincronizar o inversor com o sistema CA, permitindo a sua conexão ao mesmo

Os primeiros testes mostraram a necessidade de uma malha de controle para eliminação da corrente média gerada devido a um pequeno "offset" presente na tensão de saída. Tal corrente é limitada apenas pela resistência ôhmica da linha de transmissão e conseqüentemente, pequenos desvios de "offset" na tensão de saída resultam em elevados níveis de corrente contínua circulando entre as unidades inversoras. Esta malha possui um compensador PI (PI_3 da figura 4.23), o qual introduz um componente contínuo na tensão de referência do inversor, no sentido de anular a corrente média.

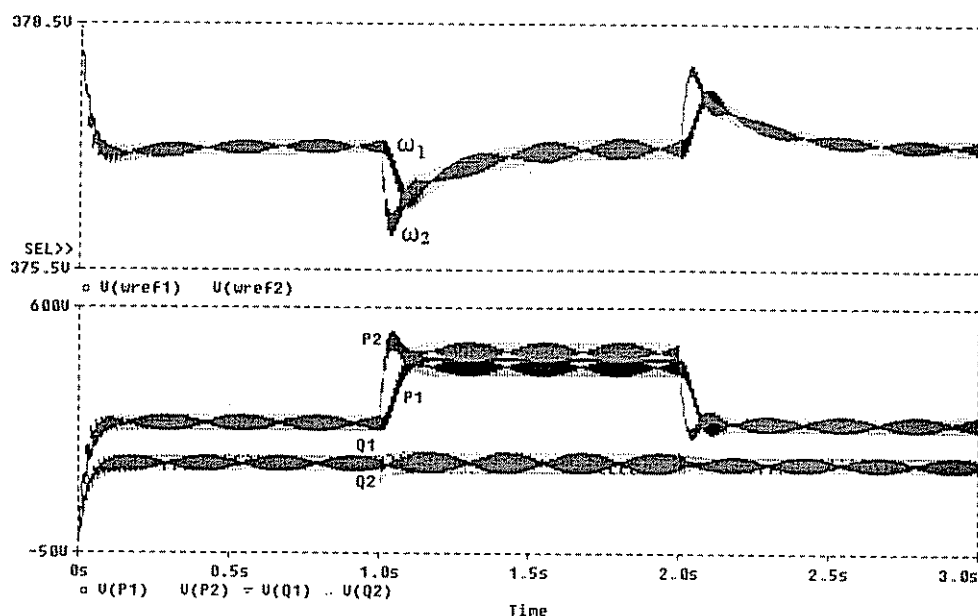


Figura 4.22: Sistema com variação de carga

Devido à necessidade de sincronizar no tempo as amostragens realizadas em cada unidade inversora, para efeito de documentação dos resultados, as portas paralelas dos respectivos computadores de cada unidade foram conectadas, de modo a permitir a sincronização através da interrupção de "hardware" IRQ7. Deve ficar claro que tal via de comunicação tem apenas esta função, não constituindo de fato uma linha de informação entre as unidades para efeito de controle.

4.8.2 Ensaios Experimentais Realizados

Os ensaios realizados apresentam a seguinte seqüência operacional. Primeiramente, o inversor 1 é conectado ao sistema CA e supre toda a carga. Então a chave SW1 é fechada, sendo que os "gate drivers" do inversor 2 se encontram desabilitados. A referência do inversor 2 é sincronizada com a tensão alternada que aparece no capacitor de filtro do inversor 2 através do bloco PLL. Em seguida, a chave SW2 ("software") é comutada da posição 1 para a posição 2, sendo que os "gate drivers" do inversor 2 são simultaneamente habilitados através de uma porta paralela. Vários ensaios foram realizados, dos quais dois resultados são apresentados a seguir.

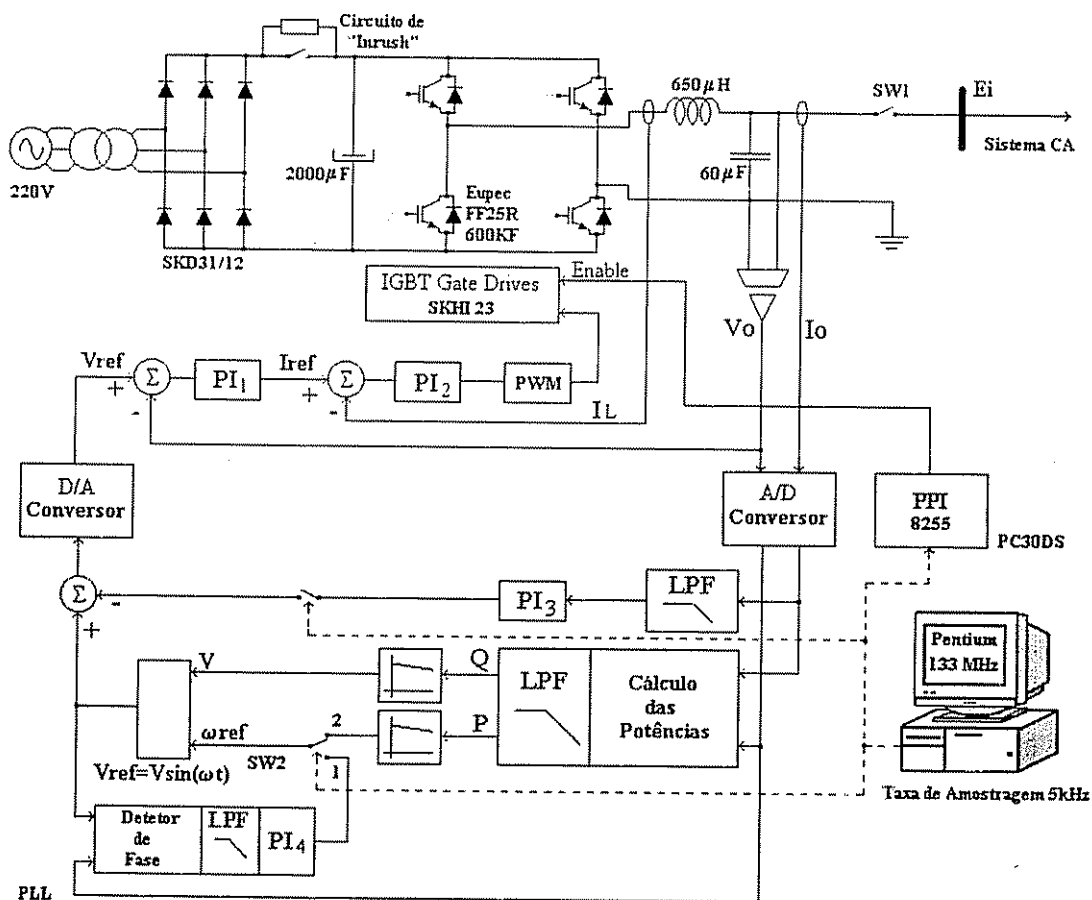


Figura 4.23: Esquema de cada inversor

Ensaio I

Os parâmetros usados neste ensaio são mostrados na tabela 4.3. A malha de controle do fluxo de potência e os "gate drivers" são habilitados 0,1 segundos depois que o sistema de aquisição começou a armazenar os dados.

A figura 4.24 mostra a forma de onda de frequência obtida no ensaio experimental e através do modelo para pequenos sinais para o inversor 1 e 2. Observamos uma excelente concordância entre os resultados experimentais e teóricos. Deve-se observar que a frequência para o inversor 2 antes da habilitação do controle é definida pelo bloco PLL e seu comportamento depende dos ajustes da malha PI presente em tal bloco. Neste caso, as oscilações no sinal de frequência de referência para o inversor 2 através da malha PLL possuem uma faixa de excursão superior à faixa definida pelo controle do fluxo de potência. A comparação com o modelo para a variação de frequência do inversor 2 pode ser melhor observada no detalhe mostrado na figura 4.25

Variável	Valor	Unidade
Linha de transmissão (Z_c)	$0,2+j3,1$	Ω
Carga local - inversor 1 (Z_u)	$25,7+j27,2$	Ω
Carga local - inversor 2 (Z_b)	$52+j9$	Ω
Freq. de corte filtro de medição(ω_f)	37,7	rd/s
Inclinação da curva $\omega xP(k_p)$	0,0005	rd/s/W
Inclinação da curva $VxQ(k_v)$	0,0005	V/Var
Potência aparente inversor 1 (P_1+jQ_1)	$298+j187$	VA
Potência aparente inversor 2 (P_2+jQ_2)	$280+j180$	VA
Tensão de saída inversor 1 ($\bar{E}_1$)	$127+j0$	V (rms)
Tensão de saída inversor 2 ($\bar{E}_2$)	$130,3-j1,2$	V (rms)
Corrente de saída inversor 1 ($\bar{I}_1$)	$2,3-j1,5$	A (rms)
Corrente de saída inversor 2 ($\bar{I}_2$)	$2,1-j1,4$	A (rms)
Frequência no ponto de equilíbrio	377	rd/s

Tabela 4.3: Parâmetros do Sistema e Ponto de Equilíbrio

Na definição das condições iniciais a ser aplicada ao modelo, deve-se observar que o capacitor de filtro do inversor 2 atua como carga antes do mesmo ser ativado, o qual fornece reativo para o sistema.

A figura 4.26 mostra a distribuição dos fluxos de potência ativa e reativa para os inversores 1 e 2. Observa-se que inicialmente o inversor 1 supre toda a potência ativa, a qual é convenientemente distribuída com o inversor 2 após a conexão deste no sistema. Antes da entrada do inversor 2, o capacitor de filtro deste fornece praticamente todo o reativo requisitado pelo sistema. O valor de regime para as potências reativas apresentam alguma discordância em relação ao especificado na tabela 4.3, mas é importante notar que um erro de 1,0 V implica um desvio de 2000 Var, considerando uma inclinação da curva VxQ de 0,0005 V/Var.

A figura 4.27 apresenta as formas de onda de corrente e tensão para os inversores 1 e 2 nos instantes iniciais do ensaio. A escala de corrente está ampliada em 10 vezes. Observando a amplitude e fase da corrente em relação à tensão pode-se verificar a correspondência com os fluxos de ativo e reativo obtidos.

Ensaio II

Neste caso, os coeficientes k_p e k_v foram incrementados em 10 vezes, como pode ser observado na tabela 4.4, a qual apresenta os parâmetros usados no ensaio. A malha de controle do fluxo de potência e os "gate drivers" são habilitados 0,05 segundos depois que o sistema de aquisição começou a armazenar os dados.

A figura 4.28 mostra a forma de onda de frequência obtida no ensaio experimental e através do modelo para pequenos sinais para o inversor 1 e 2. Novamente tem-se uma excelente concordância entre os resultados experimentais e teóricos.

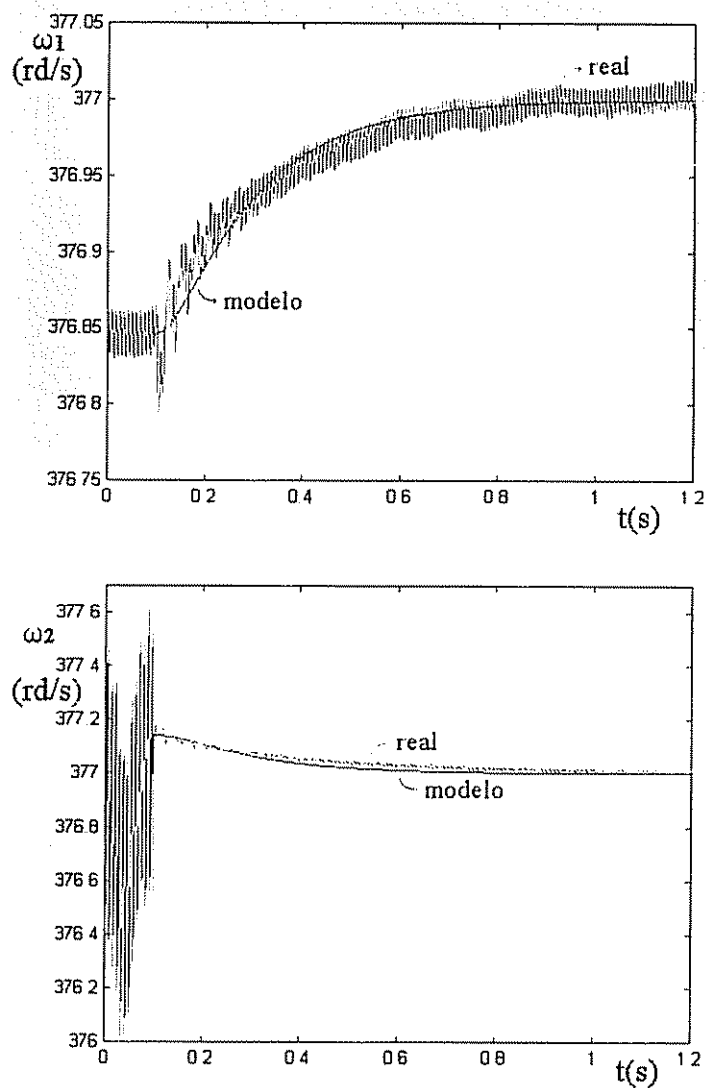


Figura 4.24: Frequência real e do modelo

A figura 4.29 mostra a distribuição dos fluxos de potência ativa e reativa para os inversores 1 e 2. Observa-se que a distribuição dos fluxos de potência se processa de maneira mais rápida que no ensaio 1, mas apresenta um comportamento subamortecido.

As formas de onda de corrente e tensão para os inversores 1 e 2 são mostradas na figura 4.30. A escala de corrente está ampliada em 10 vezes. Como no ensaio 1, pode-se notar a correspondência com os fluxos de ativo e reativo obtidos.

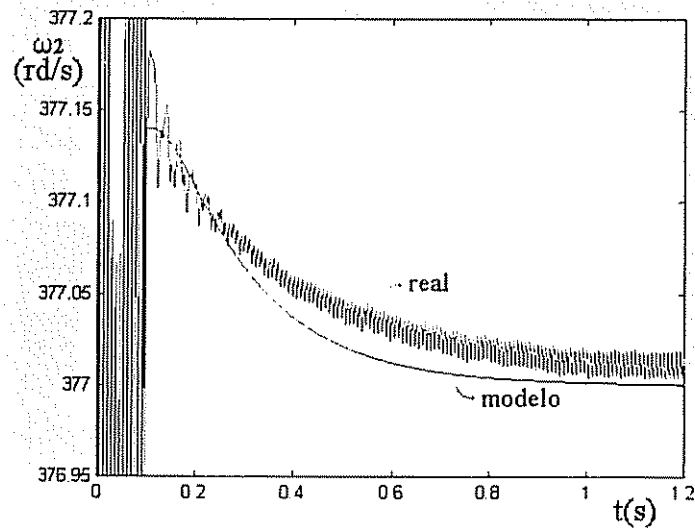


Figura 4.25: Frequência real e do modelo para o inversor 2 - detalhe da figura 4.24

Variável	Valor	Unidade
Linha de transmissão (Z_c)	$0,2+j3,1$	Ω
Carga local - inversor 1 (Z_a)	$25,7+j27,2$	Ω
Carga local - inversor 2 (Z_b)	$52+j9$	Ω
Freq. de corte filtro de medição(ω_f)	37,7	rd/s
Inclinação da curva $\omega x P(k_p)$	0,005	rd/s/VV
Inclinação da curva $V x Q(k_v)$	0,005	V/Var
Potência aparente inversor 1 (P_1+jQ_1)	$298+j187$	VA
Potência aparente inversor 2 (P_2+jQ_2)	$280+j180$	VA
Tensão de saída inversor 1 ($\tilde{E}_1$)	$127+j0$	V (rms)
Tensão de saída inversor 2 ($\tilde{E}_2$)	$130,3-j1,2$	V (rms)
Corrente de saída inversor 1 ($\tilde{I}_1$)	$2,3-j1,5$	A (rms)
Corrente de saída inversor 2 ($\tilde{I}_2$)	$2,1-j1,4$	A (rms)
Frequência no ponto de equilíbrio	377	rd/s

Tabela 4.4: Parâmetros do Sistema e Ponto de Equilíbrio

4.9 Conclusão

A análise para pequenos sinais de um sistema de inversores conectados a uma rede elétrica, sem a presença de uma barra infinita é apresentada, a qual facilita os estudos de estabilidade e desempenho. Os resultados de simulação e experimentais mostram que o sistema é

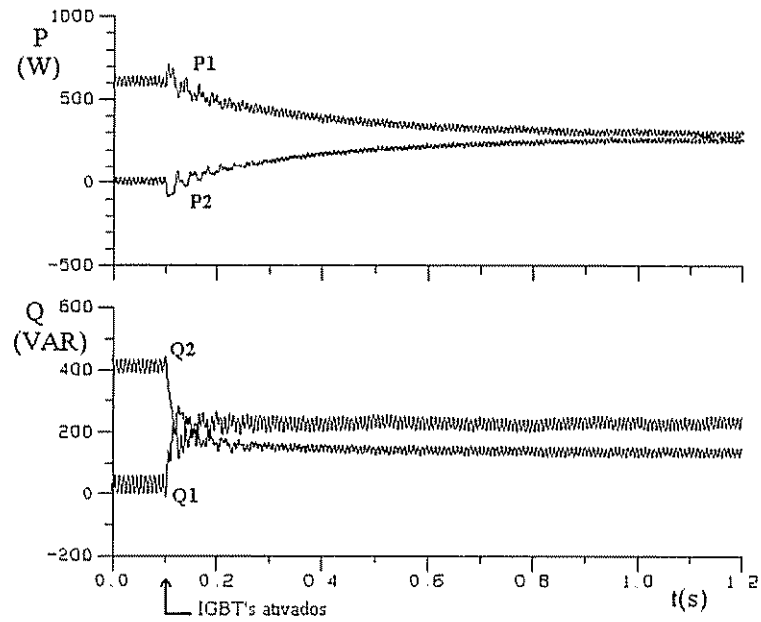


Figura 4.26: Potência ativa e reativa

satisfatoriamente representado pelo modelo para pequenos sinais obtido.

Observa-se que a indutância da linha de transmissão é um fator de suma importância para a estabilidade do sistema. Sendo assim, esta pode ser o ponto de partida na determinação dos parâmetros de controle do sistema. Dado um valor de indutância que garante uma margem de segurança na estabilidade, os valores de k_p e k_v podem ser escolhidos em torno do ponto de mudança do comportamento do sistema de superamortecido para subamortecido.

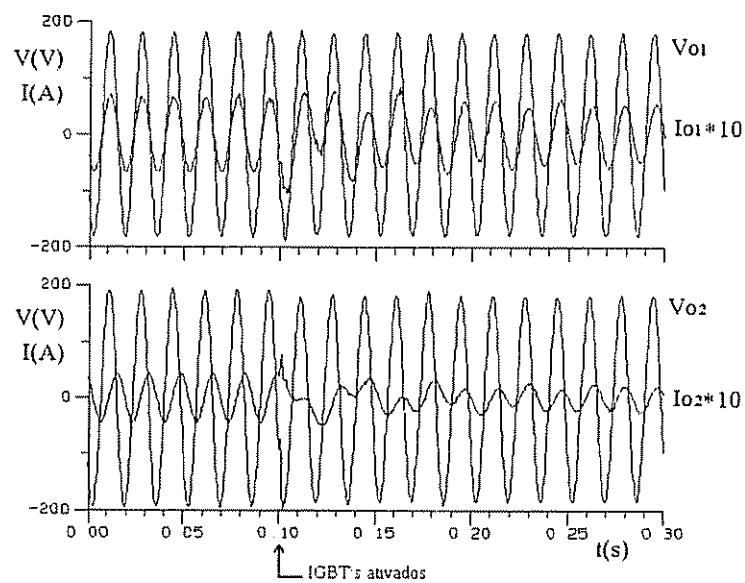


Figura 4.27: Corrente e tensão de saída em cada inversor

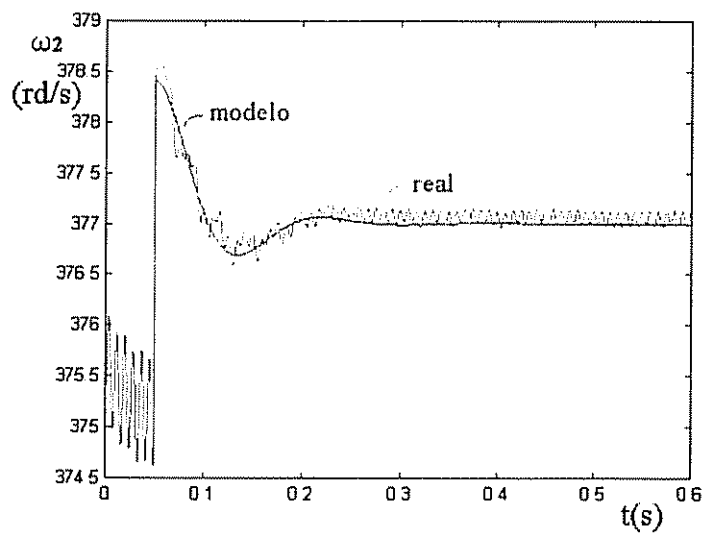
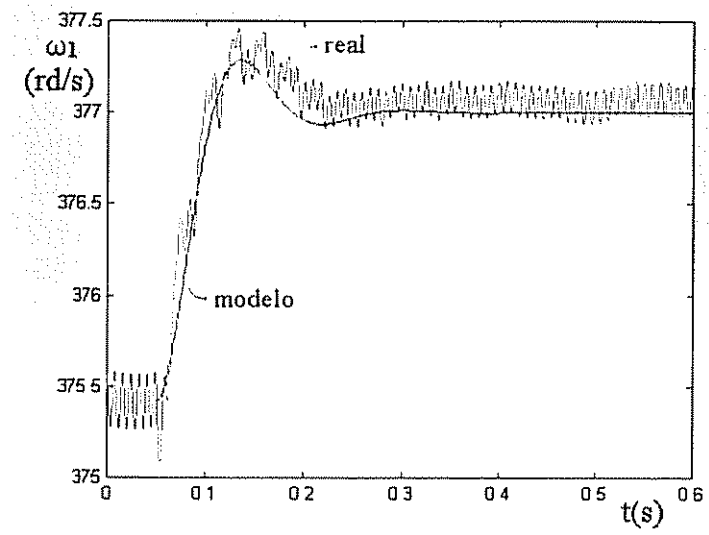


Figura 4.28: Frequência real e do modelo

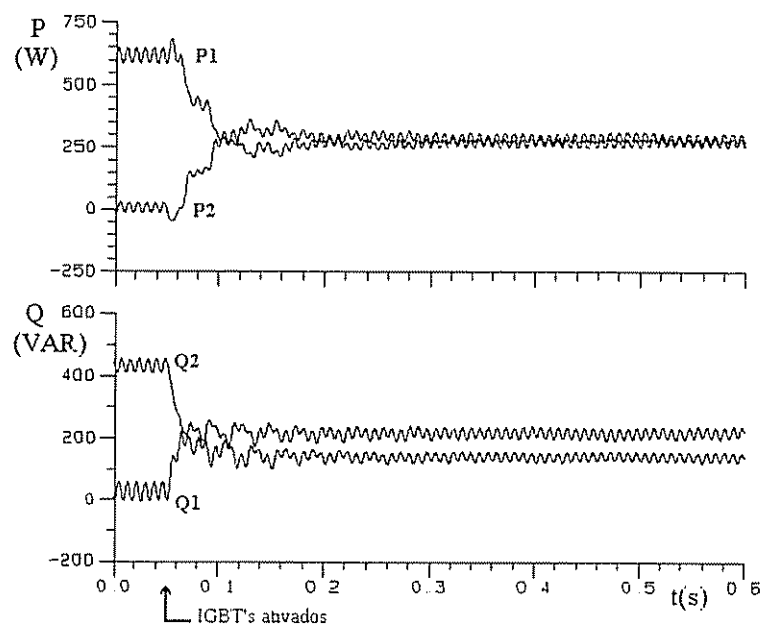


Figura 4.29: Potência ativa e reativa

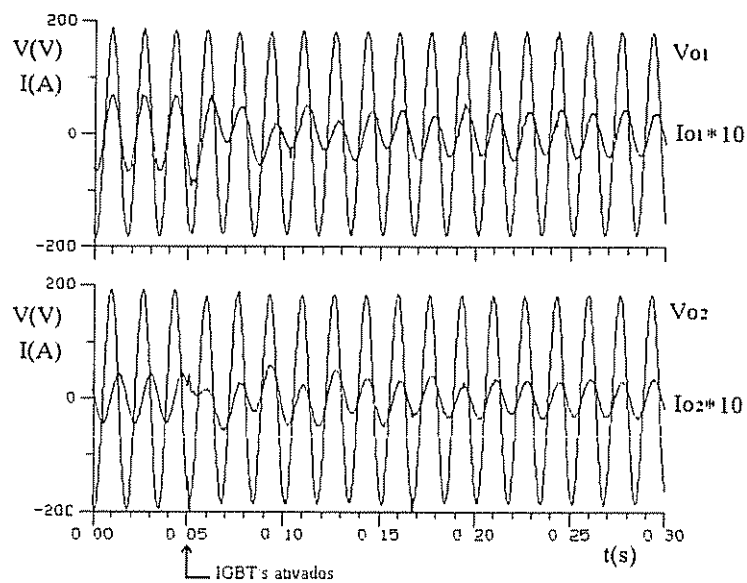


Figura 4.30: Corrente e tensão de saída em cada inversor

Capítulo 5

Conclusão

Este capítulo final apresenta um resumo dos estudos realizados na presente tese e as principais conclusões que podem ser extraídas dos mesmos, juntamente com relatos de experiências obtidas em laboratório durante as implementações práticas, e ainda, temas de trabalhos que podem ser objeto de investigações futuras.

5.1 Estudos Realizados e Conclusões

A conexão em paralelo de unidades inversoras agrega uma série de vantagens aos sistemas UPS, como mostrado no capítulo 1. Dentre as várias técnicas de controle do paralelismo, a utilização das curvas $P - \omega$ e $Q - V$ se apresenta como um sinônimo de confiabilidade devido à independência da comunicação entre as unidades conectadas em paralelo.

O controle do paralelismo de inversores através das curvas de potência $P - \omega$ e $Q - V$ tem sua origem em SEP, como pode ser visto no capítulo 2, onde a análise de estabilidade de uma máquina síncrona conectada a uma barra infinita é apresentada.

Fazendo analogia ao capítulo 2, a análise para pequenos sinais de um inversor conectado em paralelo com uma barra infinita é apresentada no capítulo 3. Os resultados de simulação apresentados mostram a viabilidade de utilização da análise para pequenos sinais na determinação do comportamento dinâmico do sistema inversor-rede.

Os resultados obtidos nos ensaios experimentais para o sistema inversor-rede também apresentados no capítulo 3 confirmam que a análise para pequenos sinais é uma importante ferramenta de auxílio ao projeto do controle através das curvas $P - \omega$ e $Q - V$.

O capítulo 4 apresenta o estudo do paralelismo de inversores conectados em paralelo sem presença de uma barra infinita, onde um modelo para pequenos sinais é proposto. Os resultados de simulação e experimentais apresentados confirmam a eficiência do modelo proposto. Uma análise da dinâmica e estabilidade do sistema é apresentada em função das variações paramétricas, mostrando que o modelo para pequenos sinais obtido constitui uma importante ferramenta de auxílio ao projeto do sistema, permitindo uma maior compreensão das corre-

lações entre parâmetros de controle, como inclinação da curvas de potência e frequência de corte dos filtros de medição, com a dinâmica do sistema. Esta análise preenche uma lacuna encontrada nas referências específicas relacionadas ao controle do paralelismo de inversores através das curvas $P - \omega$ e $Q - V$, pois [Kawabata et al., 1983], [Divan et al., 1991], [Chandorkar et al., 1994], [Chandorkar, 1995] e [Tuladhar et al., 1997] não abordam este tema satisfatoriamente.

5.1.1 Aspectos Importantes

Nesta seção será abordada uma série de aspectos importantes resultantes da compreensão teórica e experiência laboratorial adquiridas no decorrer do trabalho de tese.

Aplicação em Sistemas UPS

O projeto de uma unidade inversora para aplicação em sistemas UPS possui diferenças significativas em relação à aplicação em acionamentos elétricos. O filtro de saída presente na aplicação em sistemas UPS possui uma dinâmica muito mais rápida em relação àquela encontrada em sistemas típicos de acionamentos elétricos, onde malhas digitais de controle são facilmente implementadas em sistemas DSP's, com taxas de amostragem em torno de dezenas de kiloHertz. Mesmo em nosso laboratório, encontram-se sistemas de acionamentos elétricos implementados em computadores compatíveis PC, com amostragem em torno de 5 kHz. Além disso, os sistemas UPS geralmente apresentam carga com conteúdo harmônico elevado, implicando a necessidade de um projeto otimizado dos controladores do inversor, sob pena da deformação da tensão de saída.

[Ryan and Lorenz, 1995] mostra como fazer o controle de um sistema inversor de forma otimizada. Basicamente a idéia é anular a dinâmica do filtro de saída, de modo que a tensão de saída e referência fiquem superpostos. Dentre as várias opções de projeto neste caso, um aspecto a ser considerado é que o indutor do filtro não pode ser muito grande para uma dada frequência de corte do filtro de saída, pois o aumento de sua impedância forçaria as correntes harmônicas a circularem pelo outro ramo paralelo, ou seja, o capacitor, resultando na deformação da tensão de saída.

Mesmo considerando os avanços da tecnologia de DSP's, ainda não se observa velocidade suficiente nos mesmos para a implementação digital da malha de tensão e principalmente da malha de corrente em controle de inversores para aplicação em sistema UPS. Tal implementação só seria possível com o aumento do indutor e consequente redução da eficiência do filtro de saída.

Considerando os nossos recursos laboratoriais (placa de aquisição de dados em computador compatível PC - 5kHz de amostragem) e as implicações expostas acima, a opção por malhas de tensão e corrente analógicas foi uma necessidade e não uma escolha.

Autovalor Nulo na Matriz A

O modelo para pequenos sinais visto na seção 4.4 apresenta um pólo na origem. As variáveis de estado adotadas formam um conjunto linearmente dependente, levando à existência do pólo na origem. Mas tais variáveis se justificam pela simplicidade resultante do modelo. Como pode ser observado na seção 4.6, o pólo permanece na origem independente das variações paramétricas, sendo que o mesmo não tem interesse para estudo de desempenho e estabilidade, tal como mostrado em [Chandorkar, 1995].

Indutância da linha de transmissão

Como observado na seção 4.6.2, a indutância da linha de transmissão é um parâmetro de vital importância para o sistema, pois seu pequeno valor pode implicar instabilidade. Como o controle do paralelismo estava sob teste, uma indutância considerável foi inserida na linha a fim de reduzir as derivadas de corrente de circulação, permitindo uma pronta atuação da proteção no caso de falha. Tal indutância pode ainda ser reduzida neste caso, mas o seu vínculo com a estabilidade sugere que em sistemas distribuídos com linhas de transmissão de baixa impedância seja inserido um pequeno indutor na saída de cada inversor.

Frequência de Corte do Filtro de Medição

Mesmo considerando a teoria de potência instantânea ([Akagi et al., 1984] e [Aredes, 1996]), onde os sinais de potência são constantes para cargas lineares (considerando uma aplicação trifásica), as correntes harmônicas presentes em sistemas UPS levam à necessidade prática da utilização de filtros com baixa frequência de corte na medição de potência.

Na seção 4.6.4 foi mostrado que existe um compromisso na escolha da frequência de corte do filtro. Uma baixa frequência de corte é necessária para eliminar o "ripple" de 120 Hz do sinal de potência, mas uma frequência de corte muito baixa implica um comportamento oscilatório do sistema em baixa frequência.

Negligência da Dinâmica do Inversor

Os resultados experimentais mostrados no capítulo 4 comprovam que o sistema é satisfatoriamente representado pelo modelo para pequenos sinais proposto. Acredita-se ser desnecessária a complicação do modelo inserindo no mesmo detalhes da dinâmica do inversor. Os resultados experimentais mostram que a dinâmica de controle implementada no inversor possui uma banda larga o suficiente perante a dinâmica do fluxo de potência, para que tal simplificação seja razoável.

[Chandorkar, 1995] mostra um modelo para o sistema em equação de estado, considerando apenas a equação para potência ativa numa linha de transmissão, sem inserir a realimentação através das curvas $P - \omega$ e $Q - V$. Neste caso o sistema é sempre estável. Os aspectos de

instabilidade apresentados pelo autor são somente aqueles advindos da dinâmica do inversor, ou seja, da diferença entre a tensão de referência e a tensão de saída do inversor. A implementação de [Chandorkar, 1995] é baseada no controle direto do vetor fluxo (ver seção 1.3.2) e foi realizada usando um DSP Motorola com taxa de amostragem de aproximadamente 15kHz. Tal taxa de amostragem é pequena para controle de um inversor para aplicações em sistemas UPS. Talvez em função disto, [Chandorkar, 1995] tenha penalizado o projeto, utilizando indutores de filtro com valores além do adequado, de forma a obter um controle digital satisfatório.

Outro problema apresentado por [Chandorkar, 1995] foi a oscilação entre a linha de transmissão e os capacitores de filtro dos inversores, havendo a necessidade de implementação de uma malha de controle que rejeitasse tais oscilações. Tal problema não foi observado no presente trabalho. Acredita-se que o controle implementado por [Chandorkar, 1995] apresenta uma dinâmica muito inferior, sendo passível a ocorrência de tais problemas. Considerando o projeto adequado dos filtros e das malhas de tensão e corrente do inversor, o capacitor de filtro não se comporta como tal, pois sua tensão é imposta pelo controle e a possibilidade de oscilação entre linha e capacitores será adequadamente rejeitada.

Corrente Média entre as Unidades Inversoras

Durante os primeiros ensaios experimentais foi observada a existência de elevados níveis de corrente média entre as unidades inversoras, quando da entrada de operação em paralelo. Considerando-se 0,5V de componente contínuo na tensão de saída do inversor para uma tensão eficaz de 127V (o que pode parecer razoável considerando os erros de "offset" na medição), uma corrente média de 5A circularia entre as unidades para uma resistência da linha de transmissão de $0,1\Omega$. Foi então necessária a inserção de uma malha para anulação da corrente média. Como esta malha é lenta, pois envolve filtros com frequência de corte de baixa ordem, esta foi colocada externa à malha de tensão e implementada digitalmente.

Circulação de Reativo no Sistema

Os resultados apresentados na seção 4.6.2 atribuem uma importância significativa à indutância da linha de transmissão no desempenho dinâmico do sistema. Diferentemente dos sistemas em SEP, as indutâncias neste caso apresentam valores de menor ordem, porém vimos que pode ser até necessária a inserção de indutâncias série para a operação adequada do sistema. Sendo assim, da mesma forma que em SEP, a transmissão de potência reativa pode levar a diferenças de potencial significativas entre os nós do sistema, ou seja, deve-se evitar o trânsito de reativo no sistema. Para situações críticas, com cargas de baixo fator de potência, talvez seja necessária a correção local do fator de potência, sob pena de desvios significativos na tensão nominal do sistema.

5.2 Propostas de Continuidade

A presente tese contempla uma série de assuntos correlatos, os quais podem ser investigados em trabalhos futuros, a saber:

1. Avaliação de desempenho para cargas não lineares;
2. Melhoramento do controle via curvas $P-\omega$ e $Q-V$ através da adição de novas realimentações, como por exemplo a realimentação das oscilações de frequência na amplitude da tensão, tal qual o sistema PSS em SEP;
3. Possibilidade de operação em conjunto com filtros ativos, considerando a operação em paralelo com a rede elétrica da concessionária de energia;
4. Adição de redundância através da comunicação via barramento de potência e uso da mesma numa estrutura para a restauração da frequência nominal.
5. Estudo e implementação de um sistema com 3 ou mais unidades, considerando os aspectos de comunicação mínimos para a supervisão e gerenciamento, levando-se em conta a entrada e saída de unidades devido à falha ou otimização do rendimento global;
6. Estudo e implementação do controle do paralelismo através das curvas de potência para inversores trifásicos;
7. Utilização de diferentes algoritmos para cálculo da potência, considerando as teorias de potência instantânea em circuitos trifásicos.

Bibliografia

- (1995). *National Application Specific Analog Products Databook - Audio, Automotive, Video, Special Functions*. National Semiconductor Corporation.
- Akagi, H., Kanazawa, Y., and Nabae, A. (1984). Instantaneous reactive power compensators comprising switching devices without energy storage components. *IEEE Transactions on Components*, IA-20(3):625-630.
- Aredes, M. (1996). *Active Power Line Conditioners*. PhD thesis. Technical University of Berlin.
- Chandorkar, M. C. (1995). *Distributed Uninterruptible Power Supply Systems*. PhD thesis, University of Wisconsin-Madison.
- Chandorkar, M. C., Divan, D. M., Hu, Y., and Banerjee, B. (1994). Novel architectures and control for distributed ups systems. In *APEC'94*, pages 683-689.
- Chen, J.-F. and Chu, C.-L. (1995). Combination voltage-controlled and current controlled pwm inverters for ups parallel operation. In *IEEE Transactions On Power Electronics*, volume 10, pages 547-558.
- Chung, Y. H., Kim, S. S., Cha, H. J., Kang, M. G., and Sul, S. K. (1991). Parallel operation of voltage source inverter by real-time digital pwm control. In *EPE*, pages 58-63.
- Coelho, E. A. A., Cortizo, P. C., and Garcia, P. F. D. (2000). Small signal stability for parallel connected inverters in stand-alone ac supply systems. In *IAS2000*, volume CD-ROM.
- Coelho, E. A. A., Cortizo, P. C., Garcia, P. F. D., and Meneses, B. R. (1998). Controle de inversores monofásicos em paralelo por modos deslizantes. In *XII CBA*, volume 5, pages 1677-1682. SBA.
- Depenbrock, M. (1988). Direct self-control (dsc) of inverter-fed induction machine. *IEEE Transactions on Power Electronics*, 3:420-429.
- Divan, D. M., Chandorkar, M. C., and Adapa, R. (1991). Control of parallel connected inverter in stand-alone ac supply systems. In *IAS'91*, pages 1003-1009.

- Fo., B. J. C., Moreira, A. F., Menezes, B. R., and Cortizo, P. C. (1992). Analysis of switching frequency reduction methods applied to sliding mode controlled dc-dc converters. In *PESC'92*, pages 403–410.
- Kawabata, T., Doi, S., Morikawa, T., Nakamura, T., and Shigenobu, M. (1983). Large capacity parallel redundant transistor ups. In *Int. Power Electron. Conf. (IPEC) Rec.*, volume 1, pages 660–671. IEE of Japan.
- Kawabata, T. and Higashino, S. (1988). Parallel operation of voltage source inverters. *IEEE Transactions on Industry Applications*, 24(2):281–287.
- Kawabata, T., Sashida, N., Yamamoto, Y., Ogasawara, K., and Yamasaki, Y. (1990). Parallel processing inverter system. In *Int. Power Electron. Conf. (IPEC) Rec.*, volume 1, pages 107–114. IEE of Japan.
- Kundur, P. S. (1994). *Power System Stability and Control*. McGraw-Hill, Inc.
- Lee, C. Q., Siri, K., and Wu, T. F. (1991). Dynamic current distribution controls of a parallel connected converter system. In *Power Electronics Specialists Conference - PESC'91*, pages 875–881.
- Lee, C. S., Kim, S., Kim, C. B., Hong, S. C., Yoo, J. S., Kim, S. W., Kim, C. H., Woo, S. H., and Sun, S. Y. (1998). Parallel ups with a instantaneous current sharing control. In *IECON'98*, pages 568–573.
- Lin, Y., Joos, G., and Lindsay, J. F. (1993). Performance analysis of parallel - processing ups system. In *APEC'93*, pages 533–539.
- Mendes, M. A. S., Garcia, P. F. D., Cortizo, P. C., and de Menezes, B. R. (1998). Sliding-mode control for current distribution in parallel-connected dc-dc converters. *IEE Proc.-Electr. Power Appl.*, 145(4):333–338.
- Milosavljevic, I. (1999). Power electronics system communication. Master's thesis, Virginia Polytechnic Institute and State University.
- Pavella, M. and Murthy, D. G. (1994). *Transient Stability of Power Systems - Theory and Practice*. John Wiley & Sons.
- Rodrigues, C. L. C. and Cortizo, P. C. (1998). Técnicas de controle de inversores monofásicos de tensão. Master's thesis, PPGEE - UFMG.
- Ryan, M. J., Brumsickle, W. E., and Lorenz, R. D. (1997). Control topology options for single-phase ups inverters. *IEEE Transactions On Industry Applications*, 33(2):493–500.

- Ryan, M. J. and Lorenz, R. D. (1995). A high performance sine wave inverter controller with capacitor current feedback and "back-emf" decoupling. In *Conf. Rec. IEEE-PESC*, pages 507–513. Atlanta, GA.
- Siri, K. and Lee, C. Q. (1990). Current distribution control of converters connected in parallel. In *Proceedings of IEEE IAS*, pages 1274–1280.
- Tuladhar, A., Jin, H., Unger, T., and Mauch, K. (1997). Parallel operation of single phase inverter modules with no control interconnections. In *APEC'97*, volume 1, pages 94–100. Atlanta, GA.
- Tuladhar, A., Jin, H., Unger, T., and Mauch, K. (1998). Control of parallel inverters in distributed ac power systems with consideration of line impedance effect. In *APEC'98*, pages 321–328.
- Undrill, J. M. (1968). Dynamic stability calculations for an arbitrary number of interconnected synchronous machines. *IEEE Transactions On Power Apparatus and Systems*, 87(3):835–844.
- van der Krans, A. and Bouwknecht, K. (1991). A control strategy for the redundant parallel operation of an ensemble of static ups systems of the parallel type. In *EPE Firenze*, pages 148–152.
- Weinhold, M. and de Oliveira, J. C. (1998). Mini-course - concepts and solutions for industry power quality. XII Congresso Brasileiro de Automática.
- Woods, J., Joos, G., and Ziogas, P. D. (1990). Transient behavior of converter modules connected in parallel. In *IECON'90*, pages 1105–1111.
- Wu, T. F., Huang, Y. H., Chen, Y. K., and Liu, Z. R. (1998). A 3c strategy for multi-module inverters in parallel operation to achieve an equal current distribution. In *PESC'98*, pages 186–192.

Apêndice A

Cálculo das Potências Ativa, Reativa e de Distorção

O algoritmo para cálculo das potências ativa, reativa e de distorção proposto por [Tuladhar et al., 1997] é mostrado na figura A.1. Como informação de entrada temos a corrente no indutor do filtro de saída e a tensão de saída do inversor. Inicialmente o algoritmo divide a corrente do indutor em componentes em fase e em quadratura com a tensão de saída. Subtraindo estas componentes instantaneamente da corrente do indutor, resulta na componente de distorção

A corrente do indutor pode ser expressa da seguinte forma:

$$i_L(t) = i_o(t) + i_d(t) + i_q(t) + i_t(t) \quad (\text{A.1})$$

onde:

- i_o = componente contínua;
- i_d = componente em fase com a tensão ou de eixo direto;
- i_q = componente em quadratura ou 90° atrasada da tensão de saída;
- i_t = componente de distorção.

Para determinar a componente em fase, multiplicamos a corrente do indutor por uma senóide em fase com a tensão de saída. Assim:

$$i_L(t)\text{sen}(\omega t) = I_o\text{sen}(\omega t) + \frac{I_d}{2}[1 - \cos(2\omega t)] + \text{termos CA} \quad (\text{A.2})$$

Através da equação A.2, podemos ver que o produto da corrente do indutor por uma senóide em fase com a tensão de saída apresenta um componente contínuo proporcional a I_d , o qual pode ser obtido através de um filtro passa-baixa. Então, esta componente estimada é

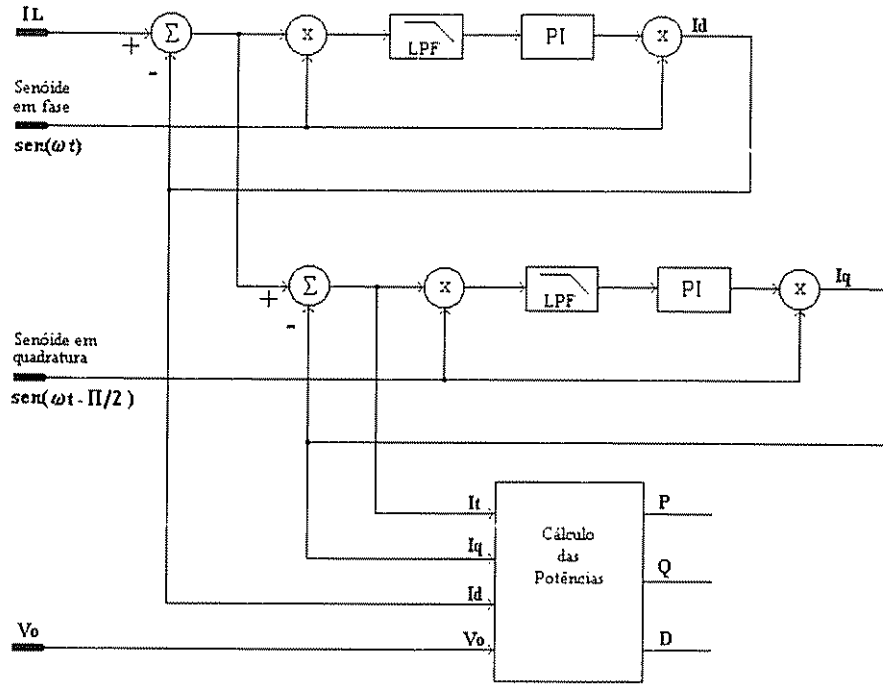


Figura A 1: Cálculo das potências ativa, reativa e de distorção

realimentada através de uma malha de controle fechada, permitindo extrair completamente tal componente da corrente do indutor.

Um método idêntico é utilizado para obter a componente em quadratura. Subtraindo a componente contínua, a componente em fase e a componente em quadratura da corrente do indutor, o restante constitui a componente de distorção.

Para demonstrar a operação do algoritmo, foi realizado um teste no programa Pspice, sendo que respectivo diagrama de simulação é mostrado na figura A.2. Os seguintes parâmetros foram considerados:

- $V_o = 100\text{sen}(\omega t)$
- $I_o = 10\text{sen}(\omega t - \pi/6)$
- $P = 5$ (ganho proporcional)
- $I = 500$ (ganho integral)
- $\omega_o = 37.7$ (frequência de corte do filtro passa-baixa em rd/s).

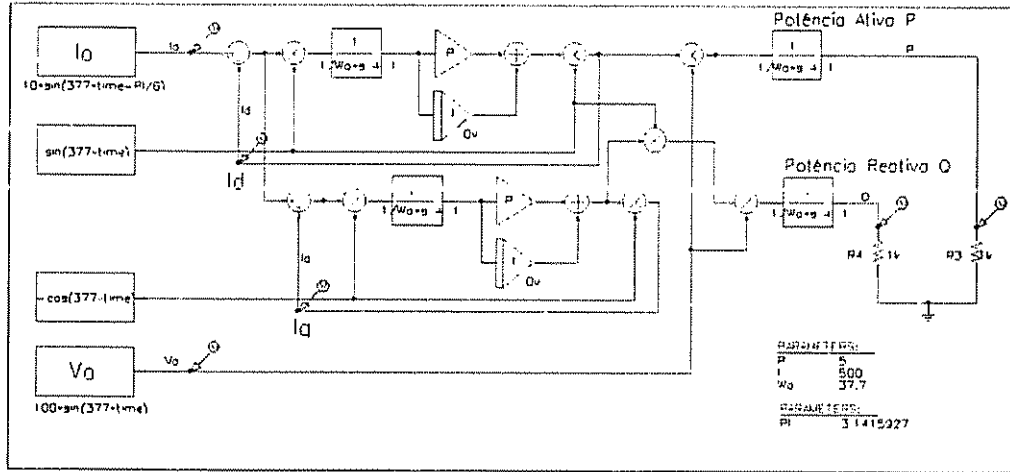


Figura A.2: Diagrama de simulação para teste do algoritmo

A figura A.3 mostra a corrente do indutor i_L e suas componentes em fase e quadratura, juntamente com a tensão de saída V_o , a qual é representada atenuada de 5 vezes. Observa-se que a somatória das componentes resulta na corrente i_L , pois neste caso o sistema é linear e não há componente de distorção.

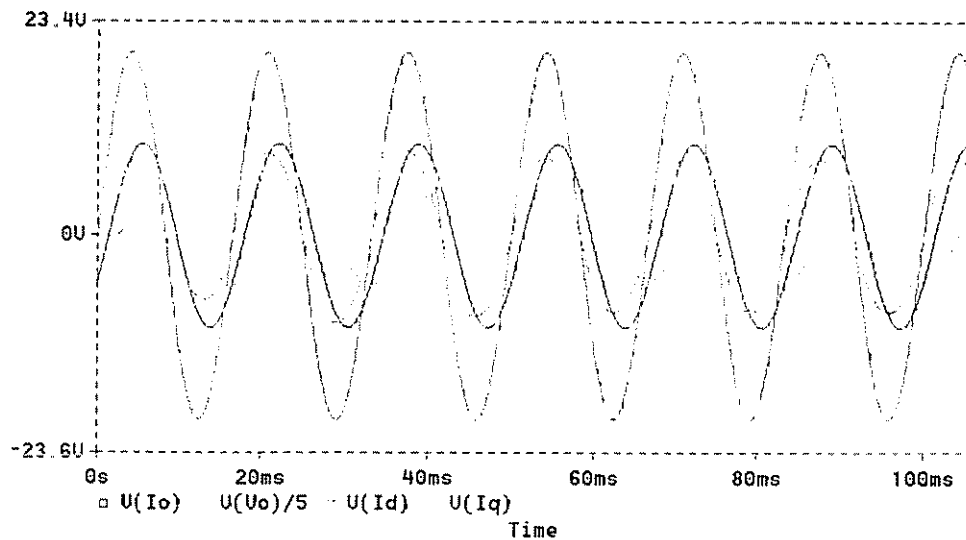


Figura A.3: Corrente i_L e suas componentes

As potências ativa e reativa para a simulação em questão são mostradas na figura A.4,

onde podemos observar que o algoritmo determina as potências com relativo grau de precisão.

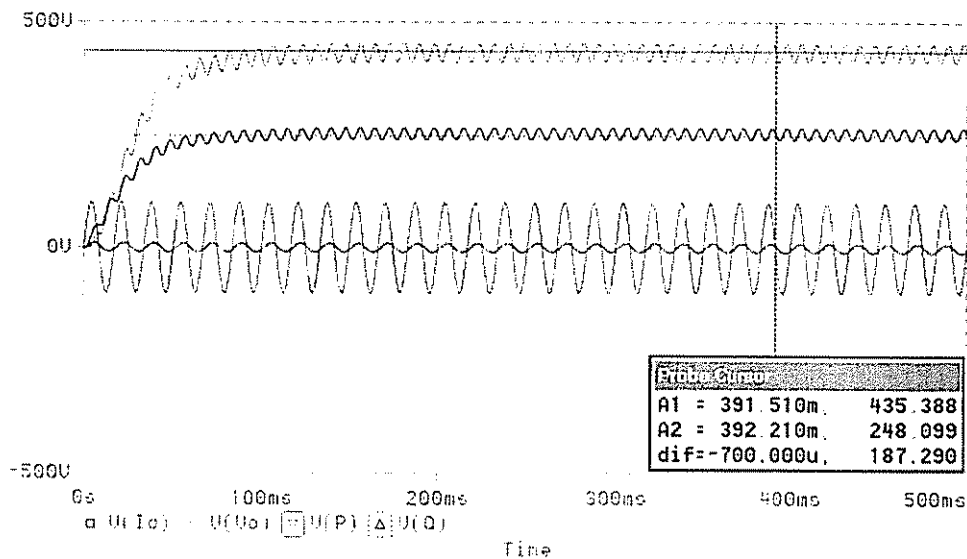


Figura A.4: Potência Ativa e Reativa

Para os valores de tensão de saída e corrente considerados, temos:

- $P = \frac{(100)(10)}{2} \cos(\pi/6) = 433W$;
- $Q = \frac{(100)(10)}{2} \sin(\pi/6) = 250VAR$.

Os valores obtidos pelo algoritmo foram:

- $P = 435W$;
- $Q = 248VAR$.

Apêndice B

Circuito de Controle

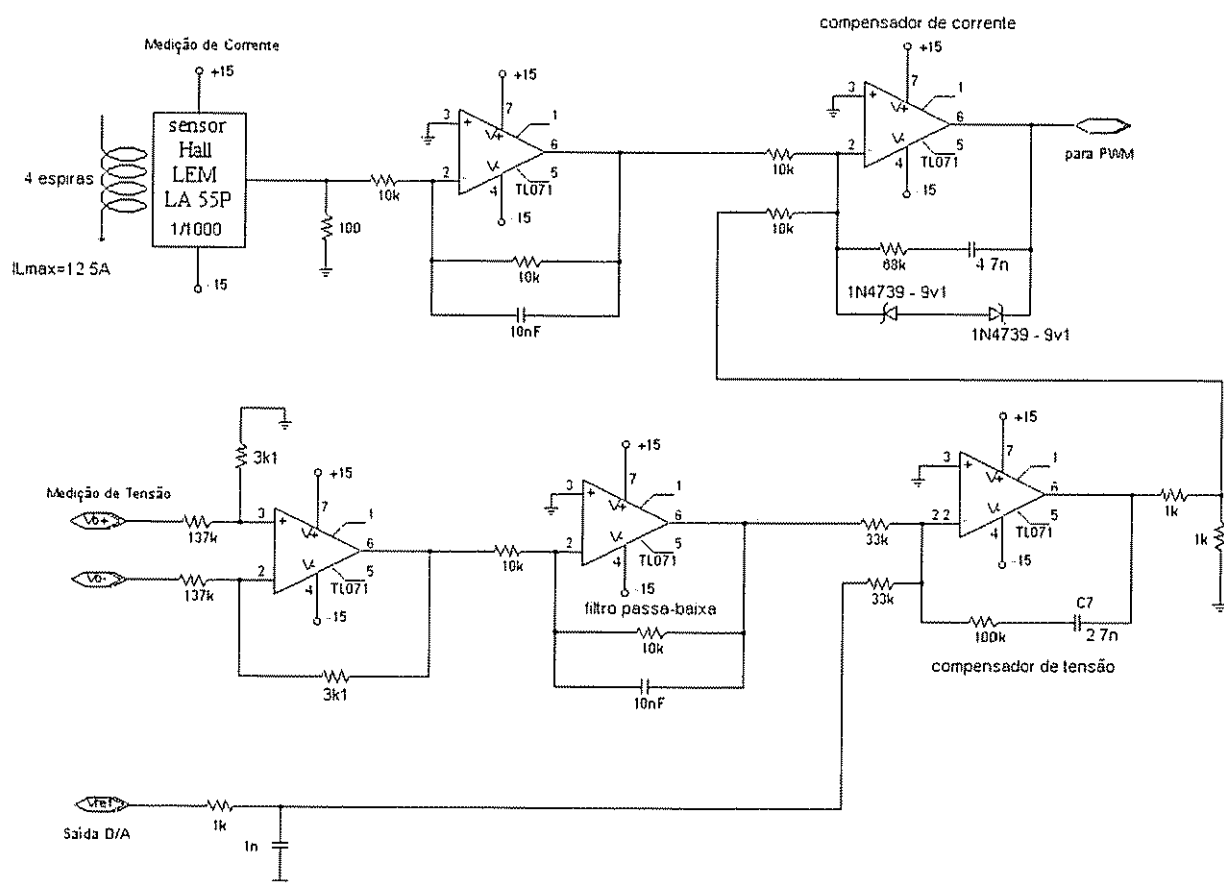


Figura B.1: Circuito de controle - malha de tensão e corrente

Apêndice C

”Software” de Controle

C.1 Arquivo de Endereços

```
% endereco h
/*
Arquivo de cabeçalho contendo os endereços dos seguintes periféricos e controladores
* Controlador de DMA2
* Placa de aquisição PC-30DS
* Controlador mestre de interrupção do PC
* Controlador escravo de interrupção do PC
* Vetores de interrupção
*/

//Endereços do controlador de DMA2
#define END_COMMAND 0xd0 //Registrador de comando do controlador de DMA2
#define END_MASCARA 0xd4 //Registrador de máscara DMA2
#define END_MODAL 0xd6 //Registrador de modo DMA2
#define END_FF 0xd8 //Flip-Flop LSB/MSB
#define END_PAGDMA1 0xb9 //Registrador de página canal 6
#define END_MEMDMA1 0xc8 //Registrador do início do endereço de memória canal 6
#define END_SIZEDMA1 0xca //Registrador do tamanho do bloco de memória canal 6
#define END_PAGDMA2 0xb5 //Registrador de página canal 5
#define END_MEMDMA2 0xc4 //Registrador do início do endereço de memória canal 5
#define END_SIZEDMA2 0xc6 //Registrador do tamanho do bloco de memória canal 5

//Endereços da placa PC-30GS16
#define END_BASE 0x340
#define END_ADDATL END_BASE+0 //Leitura do lsb de dados
#define END_ADDSR END_BASE+1 //Leitura do msb de dados mais status
#define END_BLKCHT END_BASE+0 //Escrita do número de amostras
#define END_ADCCR END_BASE+2 // Escrita/leitura da palavra de controle
#define END_ADHDE END_BASE+3 //Registrador de modo
#define END_PRESCALER END_BASE+4 // 1 divisor do clock interno
#define END_DIVIDER END_BASE+5 // 2 divisor do clock interno
#define END_THRCTR END_BASE+7 //Registrador de controle do 8254
#define END_PORTA END_BASE+8 //Registrador da porta digital A - I/O
#define END_PORTB END_BASE+9 //Registrador da porta digital B - I/O
#define END_PORTC END_BASE+10 //Registrador da porta digital C - I/O
#define END_DIOCTRL END_BASE+11 //Registrador de controle das portas digitais
#define END_DADATLO END_BASE+12 //Registrador dos 4 bits menos significativos para o %Q
conversor DA 0
#define END_DADATHO END_BASE+13 //Registrador dos 8 bits mais significativos para o conversor %Q
DA 0
#define END_DADATL1 END_BASE+16 //Registrador dos 4 bits menos significativos para o %Q
conversor DA 1
#define END_DADATH1 END_BASE+17 //Registrador dos 8 bits mais significativos para o conversor %Q
DA 1
#define END_DADAT2 END_BASE+20 //Registrador dos 8 bits para o conversor DA 2
#define END_DADAT3 END_BASE+21 //Registrador dos 8 bits para o conversor DA 2
#define END_ADCCFG END_BASE+28 //Registrador de configuração - itens configuráveis via %Q
software
#define END_DACCFG END_BASE+29 //Registrador de configuração dos DA'S - níveis de tensão
#define END_CLKSRC END_BASE+30 //Registrador de configuração da fonte do clock

#define FREQ_OSCILADOR 2000000 //Frequência do oscilador da placa PC30DS 2MHz
```

```

//Enderecos dos controladores de interrupcoes
#define END_MASC1 0x21 //Endereco das mascaras do controlador mestre
#define END_MASC2 0x1 //Endereco das mascaras do controlador escravo
#define END_EOI1 0x20 //Endereco do comando do controlador mestre
#define END_EOI2 0x0 //Endereco do comando do controlador escravo
#define INT_IRQ7 0x0F //Vetor de interrupcao da IRQ7
#define INT_IRQ10 0x72 //Vetor de interrupcao da IRQ10
#define INT_IRQ11 0x73 //Vetor de interrupcao da IRQ11
#define INT_IRQ12 0x74 //Vetor de interrupcao da IRQ12
#define INT_IRQ13 0x75 //Vetor de interrupcao da IRQ13

//Enderecos dos contadores da placa de PWM
#define END_CONTO_C11 0x320 //Endereco do contador 0 do chip 1
#define END_CONTO_C12 0x321 //Endereco do contador 1 do chip 1
#define END_CONTO_C13 0x322 //Endereco do contador 2 do chip 1
#define END_CTR_C11 0x323 //Endereco da palavra de controle do chip 1
#define END_CONTO_C12 0x324 //Endereco do contador 0 do chip 2
#define END_CONTO_C13 0x325 //Endereco do contador 1 do chip 2
#define END_CONTO_C22 0x326 //Endereco do contador 2 do chip 2
#define END_CTR_C12 0x327 //Endereco da palavra de controle do chip 2
#define END_CONTO_C13 0x328 //Endereco do contador 0 do chip 2
#define END_CONTO_C13 0x329 //Endereco do contador 1 do chip 2
#define END_CONTO_C13 0x32A //Endereco do contador 2 do chip 2
#define END_CTR_C13 0x32B //Endereco da palavra de controle do chip 2
#define COM_CONTO 0x3A //0011 1010 Palavra de comando para o contador 0: LSB/MSB, %X%
modo 5, contagem binaria
#define COM_CONTO1 0x7A //0111 1010 Palavra de comando para o contador 1: LSB/MSB, %X%
modo 5, contagem binaria
#define COM_CONTO2 0xBA //1011 1010 Palavra de comando para o contador 2: LSB/MSB, %X%
modo 5, contagem binaria
#define COM_CONTO_C13 0x36 //0011 0110 Palavra de comando para o contador 0 do chip %X%
3: LSB/MSB, modo 5, contagem binaria

```

C.2 Programa Utilizado nos Ensaios da Seção 3.4

```

#define DOISPI 6.2831853
#define Ffs2 1.5707963
#define Ncurvas 7
#define Npontos 3000
#define ESC 27

#include "c:\users\ernane\progs_c\endereco.h"
#include <stdio.h>
#include <dos.h>
#include <math.h>
#include <process.h>
#include <conio.h>

//Palavras de controle do controlador de DMA2
#define CANALDMA1 5 //Canal primario para acesso ao DMA
#define CANALDMA2 6 //Canal secundario para acesso ao DMA
#define COMMAND 0x00 //0100 0000 %X%
bit 0 bit 1
#define SET_MASCDMA1 0x06 //0000 0110 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 0 canal 4
#define SET_MASCDMA2 0x05 //0000 0101 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 1 canal 5
#define CLR_MASCDMA1 0x02 //0000 0010 %X%
1 0 canal 6
#define CLR_MASCDMA2 0x01 //0000 0001 %X%
1 1 canal 7
#define MODDMA1 0x16 //0001 0110 modo demanda incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 6
#define MODDMA2 0x15 //0001 0101 modo demanda, incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 5

//Palavras de controle da placa PC-30GS16
#define TOTALdeCANALIS 4

#define ADMDE_INIT 0x9e //1001 1110 DMA habilitado, reset bit de erro, channel %X%
list no modo replace
#define ADMDE 0x9d //1001 1101 DMA habilitado, limpa bit de erro, channel %X%
list no modo ignored/trigger bloco/Fifo enable
#define ADMDE_CHL 0x9f //1001 1111 DMA habilitado, limpa bit de erro, modo ADD %X%
no channel list
#define ADCCR_INIT 0x02 //0000 0010 DMA desabilitado, interrupcao desabilitada, %X%
strobe por software
#define ADCCR 0x08 //0000 1000 DMA desabilitado, interrupcao habilitada, %X%

```

```

strobe por clock
#define THRCCTR 0x34 // 0011 0100 modo 2, ambos bytes binario
#define BLKCHT 257-TOTALdeCAHAIS // Palavra de controle que indica quantas conversoes %%3
serao feitas em um bloco

#define DIVIDER 20 //freqclk=2Mhz
#define PRESCALER 20 //fs=5kHz
#define Freq_PWM 10000 //frequencia PWM 10kHz

//Definicoes das mascaras de interrupcoes
#define EQI 0x20 //indica fim da execucao da interrupcao
#define ENB_IRQ_C1 0xfb //Seta a mascara do controlador mestre
#define ENB_IRQ_C2 0xfb //Seta a mascara do controlador mestre
#define DSB_IRQ_C1 0x04 //reset a mascara do controlador mestre
#define DSB_IRQ_C2 0x04 //reset a mascara do controlador mestre

//Ganhos dos sistema de condicionamento de sinais
#define GANH0_Vb 55 0 // sensor de tensao do barramento DC
#define GANH0_V 45.45 // sensor de tensao de saida
#define GANH0_Vax 35 0 // sensor da malha de tensao externa (compensa filtro externo da %%3
referencia)
#define GANH0_I 2 5 // sensor de corrente

//Ganhos dos controladores do calculo de potencia
#define KPM 5.0 //ganho proporcional do controlador para calculo das potencias
#define KIm 500 0 //ganho integral do controlador para calculo das potencias

//Constantes do filtro de para calculo das potencias
#define A 0.0563e-3
#define B 0.1125e-3 //frequencia de corte 1kHz
#define C 0.0563e-3
#define D -1.9789
#define E 0.9791

//Constantes do filtro de medicao
#define Af 0.1736
#define Bf 0.3471
#define Cf 0.1736
#define Df -0.5322
#define Ef 0.2265

//inclinacao das curvas de potencia e valores nominais de freq e tensao
//#define KW 0.005
//#define KQ 0.005
#define Wo 377 0 //frequencia nominal da rede
#define VAD 147 08 //amplitude da tensao nominal da rede (trafo de isolamento)

// malha PLL
#define KP 100 0 //ganho proporcional da malha PLL
#define KI 500 0 //ganho integral da malha PLL
#define WR 377.0 //frequencia central do VCO PLL
#define Ap 0.0563e-3 //ganhos do filtro 2 ordem 12Hz
#define Bp 0.1125e-3
#define Cp 0.0563e-3
#define Dp -1.9789
#define Ep 0.9791

//prototipos das funcoes
void Clear_PC30(void);
void Inicializa_PC30(void);
void interrupt Aquisicao(void);
void Inicializa_Int(void);
void Inicializa_DMA(void);
void Disable_DMA(void);
void Restaura_PC30(void);
void Restaura_Int(void);

//Variaveis globais
volatile unsigned int dado[TOTALdeCAHAIS]={0 0 0 0};
void interrupt (*interrupcao_antiga)();
int i,j;
unsigned int k online liga;

float Vref,Va,Vd,Vq,Vmp;
float Po,Qo;
float Pa,Pak_1,Pak_2,Qa,Qak_1,Qak_2;
float Pax,Paxk_1,Paxk_2,Qax,Qaxk_1,Qaxk_2;
float Vom,Vomk_1,Vomk_2,Vomx,Vomxk_1,Vomxk_2;
float t,w,delta,Ts;
float Vo,Io,Vbar,Il;
float Vok_1,Iok_1=0,Vbark_1=0,ILk_1=0;
float Vok_2,Iok_2=0,Vbark_2=0,ILk_2=0;
float Vor,Iox,Vbarx,ILx;

```

```

float Voxk_1=0, Ioxk_1=0, Vbarxk_1=0, ILxk_1=0;
float Voxk_2=0, Ioxk_2=0, Vbarxk_2=0, ILxk_2=0;
float Vp11,x,xk_1=0,xk_2=0,y,yk_1=0,yk_2=0,int_w=0;
float Kw,Kq,Vio;

float huge tempo[Npontos],VVo[Npontos];
float huge IIo[Npontos],VVv[Npontos];
float huge IIL[Npontos],PPa[Npontos];
float huge QQA[Npontos],VVrf[Npontos];

//----- Subrotinas -----
void Inicializa_DMA(void)
{
    unsigned int pagina;
    long int endereco_fisico, offset;
    unsigned int tamanho;
    // Determina quais sao os parametros da pagina e offset da area de memoria
    // na qual serao inseridos os dados
    endereco_fisico=FP_SEG(dado);
    endereco_fisico= endereco_fisico << 4;
    offset=FP_OFF(dado);
    endereco_fisico=endereco_fisico+offset;
    pagina = (int)(endereco_fisico >> 16);
    offset = (endereco_fisico >> 1); //AO nao interessa, offset contado em palavras
    tamanho=TOTALdeCANALIS-1;
    outportb(END_MASCARA, SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA, SET_MASCDMA2); //coloca a mascara para o canal secundario
    //Programa o controlador de DMA2 - Canal primario
    // outportb(END_COMMAND,COMMAND); //
    outportb(END_PAGDMA1,pagina); //escreve a pagina de memoria
    outportb(END_MODO,MODDDMA1); //Seta o modo de operacao do canal primario
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_MEMDMA1,offset); //escreve o byte lsb no registrador de endereco de memoria
    outportb(END_MEMDMA1,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_SIZEDMA1,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
    outportb(END_SIZEDMA1,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

    //Programa o controlador de DMA2 - Canal secundario
    // outportb(END_COMMAND,COMMAND); //
    outportb(END_PAGDMA2,pagina); //escreve a pagina de memoria
    outportb(END_MODO,MODDDMA2); //Seta o modo de operacao do canal secundario
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_MEMDMA2,offset); //escreve o byte lsb no registrador de endereco de memoria
    outportb(END_MEMDMA2,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_SIZEDMA2,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
    outportb(END_SIZEDMA2,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

    outportb(END_MASCARA,CLR_MASCDMA1); //Retira a mascara do canal primario
    outportb(END_MASCARA,CLR_MASCDMA2); //Retira a mascara do canal secundario
    printf("\nControladores DMA programados! ");
}

//-----
void Disable_DMA(void)
{
    outportb(END_MASCARA, SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA, SET_MASCDMA2); //coloca a mascara para o canal secundario
}

//-----
void Clear_PC30(void) //Limpa o sistema AD
{
    char lsb;
    int i;
    outportb(END_ADHDE,0x92);
    outportb(END_ADCCR,0x03);
    outportb(END_ARCCR,0x02);
    do{
        lsb=inportb(END_ADDSR);
        lsb=lsb&0x40;
    }while ( (!lsb) & (!kbhit()) );
    for (i=0;i<16;i++) inportb(END_ADDATL); //Esvazia FIFO
}

//-----
void Inicializa_PC30(void)
{
    char lsb, msb, comando;
    unsigned int contagem,i;
    char canal[TOTALdeCANALIS]={1,2,6,7}; //lista dos canais a serem usados

    //Prepara o 8254 interno da placa para a frequencia de amostragem

```

```

outportb(END_THRCTR,THRCTR);          //Programa contador 0 (prescaler)
outportb(END_THRCTR,THRCTR | 0x40);    //Programa contador 1 (divider)
contagem = PRESCALER;                  // palavra de contagem do timer 0 (prescaler)
msb = contagem >> 8;
lsb = contagem & 0xff;
outportb(END_PRESCALER,lsb);           //envia contagem do timer 0 (prescaler)
outportb(END_PRESCALER,msb);
contagem = DIVIDER;                    // palavra de contagem do timer 1 (divider)
msb = contagem >> 8;
lsb = contagem & 0xff;
outportb(END_DIVIDER,lsb);             //envia contagem do timer 1 (divider)
outportb(END_DIVIDER,msb);

//Prepara a placa com o channel list
outportb(END_BLKCNT,(char)BLKCNT);     //Indica para a placa quantos canais serao %X%
convertidos em um bloco
outportb(END_ADMDE,ADMDE_INI);         //Prepara para apagar o chanel list
// canal[0] e' o primeiro canal da lista
outportb(END_ADCCR,ADCCR_INI | (canal[0] << 4)); //Palavra de comando contendo o primeiro canal a %X%
ser lido
outportb(END_ADMDE, ADMDE_CHL);        //Prepara para acrescentar canais na lista

for (i=1;i<TOTALdeCANAIS;i++)
{
    comando=ADCCR_INI | ((canal[i]) << 4);
    outportb(END_ADCCR,comando);        //Acrescenta os canais ao channel list
}
outportb(END_ADMDE,ADMDE);             //Fecha o channel list
lsb=inportb(END_ADCCR) >> 4;
printf("\nPlaca programada para aquisicao de dados por DMA (modo bloco)");
printf("\nLista de Canais: ");
for(i=0;i<TOTALdeCANAIS;i++) printf(" %d",canal[i]);

outportb(END_ADCCR,ADCCR);              //Programa a placa para gerar interrupcao
}
//-----

void Restaura_PC30(void)
{
    outportb(END_ADCCR,0x02);            //Strobo por software, DMA desabilitado
    outportb(END_ADMDE,0x90);            //DMA desabilitado
}
//-----

void Inicializa_Int(void)
{
    int mascara;                          // mascara de interrupcao

    interrupcao_antiga = getvect(INT_IRQ10); // Salva vetor antigo
    setvect(INT_IRQ10,Aquisicao);
    //Prepara controlador mestre
    mascara = inportb(END_MASC1); // Le mascara antiga
    mascara = mascara & END_IRQ_C1; //habilita IRQ2 no controlador mestre
    mascara = mascara | 0x01; //desabilita interrupcao de relógio
    outportb(END_MASC1,mascara);

    //Prepara controlador escravo
    mascara = inportb(END_MASC2); // Le mascara antiga
    mascara = mascara & ENB_IRQ_C2; //habilita IRQ10 no controlador escravo
    outportb(END_MASC2,mascara);
    printf("\nVetor de interrupcao carregado - IRQ10 habilitada - IRQ0 Desabilitada");
}
//-----

void Restaura_Int(void)
{
    int mascara;                          /* mascara de interrupcao */

    //Prepara controlador mestre
    mascara = inportb(END_MASC1); // Le mascara antiga
    // mascara = mascara | DSB_IRQ_C1; //desabilita IRQ2 no controlador mestre
    // melhor deixa-la no estado anterior MUDAR ISTO!
    mascara = mascara & 0xfe; //habilita interrupcao de relógio
    outportb(END_MASC1,mascara);

    //Prepara controlador escravo
    mascara = inportb(END_MASC2); // Le mascara antiga
    mascara = mascara | DSB_IRQ_C2; //desabilita IRQ10 no controlador escravo
    outportb(END_MASC2,mascara);

    setvect(INT_IRQ10,interupcao_antiga);
}

```

```

//-----INICIO da rotina de interrupcao-----

void interrupt Aquisicao(void)
{

int Dado_DAO,Dado_DAI;
char byte_C;

//outportb(0x378,0xff); //seta bits da porta paralela (modicao do tempo de duracao da rotina de %%%o
interrupcao)

outportb(END_ADCCR_ADCCR); //reset bit DMA enable (necessario para operar no modo SWOP ON %%%o
TC")

//-----inicio do algoritmo de controle-----
//-----leitura e filtragem dos sinais de entrada-----
//Lista de canais 1 2 6 7
// -Ic Ia Vab Vbar
// dado[0] dado[1] dado[2] dado[3]
Vox=((float)(dado[2]&0x0fff)-2048)*(5/2048)*GANHO_V;
ILx=((float)(dado[1]&0x0fff)-2048)*(5/2048)*GANHO_I*(-1);
Vbarx=((float)(dado[3]&0x0fff)-2048)*(5/2048)*GANHO_Vb;
Iox=((float)(dado[0]&0x0fff)-2048)*(5/2048)*GANHO_I*(-1);

Vo=Af*Vox + Bf*Voxk_1 + Cf*Voxk_2 - Df*Vok_1 - Ef*Vok_2;
IL=Af*ILx + Bf*ILxk_1 + Cf*ILxk_2 - Df*ILk_1 - Ef*ILk_2;
Vbar=Af*Vbarx + Bf*Vbarxk_1 + Cf*Vbarxk_2 - Df*Vbark_1 - Ef*Vbark_2;
Io=Af*Iox + Bf*Ioxk_1 + Cf*Ioxk_2 - Df*Iok_1 - Ef*Iok_2;

Voxk_2=Voxk_1;
Ioxk_2=Ioxk_1;
Vbarxk_2=Vbarxk_1;
ILxk_2=ILxk_1;
Voxk_1=Vox;
Ioxk_1=Iox;
Vbarxk_1=Vbarx;
ILxk_1=ILx;

Vok_2=Vok_1;
Iok_2=Iok_1;
Vbark_2=Vbark_1;
ILk_2=ILk_1;
Vok_1=Vo;
Iok_1=Io;
Vbark_1=Vbar;
ILk_1=IL;

//-----Geracao das referencias-----
delta=delta+w*Ts;
if(delta >= 60ISPI) delta=delta-60ISPI;
Vref=-Va*sin(delta); // calcula senoide de referencia para o inversor - saida do DA inverte 180 XXo
graus
Vd=sin(delta-0.5371); //calcula referencia d-q para calculo de potencia
Vq=-cos(delta-0.5371); //compensa atraso de fase no sinal real do inversor (filtro externo)
Vpll=cos(delta-0.5371); // saida VCO do PLL

//-----Envia saida dos controladores para DA's-----
Dado_DAO=(int)(Vref/GANHO_Vox/(10/2048/0)+0x800);
Dado_DAO=Dado_DAO << 4;
outport(END_DADATLO,Dado_DAO);
Dado_DAI=(int)(Vo/GANHO_V/(10/2048/0)+0x800);
Dado_DAI=Dado_DAI << 4;
outport(END_DADATLI,Dado_DAI);

//-----Detecao de fase e filtro-----
x=Vo/VAO*Vpll;
y=Ap*x + Bp*xk_1 + Cp*xk_2 - Dp*yk_1 - Ep*yk_2;
xk_2=xk_1;
xk_1=x;
yk_2=yk_1;
yk_1=y; // y=saida do filtro

//-----Calculo da frequencia atraves do PLL-----
int_w=int_w+KI*y*Ts;
w=WR+int_w*KP*y; //este valor nao tem efeito se online=1
if(w > (1/2*WR)) w=1/2*WR; //impoe faixa de atracamento
if(w < (0/8*WR)) w=0/8*WR;

//-----Calculo da potencia ativa-----
Pax=Vo*Iox;
Pax=A*Pax + B*Paxk_1 + C*Paxk_2 - D*Pak_1 - E*Pak_2;
Paxk_2=Paxk_1;

```

```

Pak_1=Pax;
Pak_2=Pak_1;
Pak_1=Pa;

//----- Calculo da amplitude da tensao de saida-----
Vomx=Vo*Vd;
Vom=A*Vomx + B*Vomx_1 + C*Vomx_2 - D*Vomx_1 - E*Vomx_2;
Vomx_2=Vomx_1;
Vomx_1=Vomx;
Vomx_2=Vomx_1;
Vomx_1=Vom;

//----- Calculo da potencia reativa-----
Qax=2.0*Vom*Vq*Io;
Qax=A*Qax + B*Qax_1 + C*Qax_2 - D*Qax_1 - E*Qax_2;
Qax_2=Qax_1;
Qax_1=Qax;
Qax_2=Qax_1;
Qax_1=Qa;

//-----Atualiza frequencia e tensao no sistema ON-LINE-----
if(online==1){
    u=Wo-Ku*(Pa-Po);
    Va=Vio-Kq*(Qa-Qo);
}

//----- armazenamento de dados-----
if(j<Npontos) {
    VVv[j]=Va-Vd;
    VVo[j]=Vo;
    IIo[j]=Io;
    VVv[j]=u;
    IIL[j]=IL;
    PPa[j]=Pa;
    QQa[j]=Qa;
    tempo[j]*t;
    t=t+Tu;
    j=j+1;
    if((j==250)&&(liga==1)) {
        liga=0;
        online=1;
        byte_C=inportb(END_PORTA);
        byte_C=byte_C | 0x04;
        outportb(END_PORTA,byte_C);//habilita gate drives
    }
}

//-----fim do algoritmo de controle-----
k=k+1;

outportb(END_EOI1,EOI); //Avisa ao controlador de interrupcao mestre que a interrupcao %%3
//i feita
outportb(END_EOI2,EOI); //Avisa ao controlador de interrupcao escravo que a %%3
interrupcao foi feita

// outportb(0x378,0x00); //reseta bits da porta paralela (medicao do tempo de duracao da rotina %%3
// de interrupcao)
}
//----- FIM da rotina de interrupcao-----

//----- Programa Principal -----

void main()
{
    //variaveis auxiliares
    unsigned char opcao,flag;
    int fim;
    char byte_A,byte_B;

    // Definicao das variaveis para manipulacao do arquivo de saida
    int cabecalho[Npontos*2];
    char nome[80],escape=0;
    FILE *arqsaida;

    _setcursortype(_NOCURSOR); // (turns off the cursor)

    outportb(END_DIOCTRL,0x82); // programa 8255 da placa
    // porta A para Saida e B para entrada
    outportb(END_PORTA,0x00); //inicializa porta A
    outportb(0x378,0x00); //inicia porta paralela

```

```

//inicializacoes
v=WR; // inicia v com frequencia central do VCO
Ts=0.2e-3; // Periodo de amostragem fs=5kHz

Po=20.0; // Potencia na frequencia Wo - 20W garante um minimo positivo
Qo=0.0; // Potencia reativa na tensao Vo

Vmp=0;
fim=0;
k=0;
j=Hpontos;
byte_B=0x00;
flag=0; //dados nao gravados
online=0; //seta para operacao off-line
liga=0; //inversor nao ativo, qdo=1 operacao online se inicia 0.05 segundos depois

do{
printf("\n Inclinação da curva de P --> Kw: ");
scanf("%f",&Kw);
printf("\n Inclinação da curva de Q --> Kq: ");
scanf("%f",&Kq);
printf("\n Tensão para Q=Qo na curva VzQ --> Vio: ");
scanf("%f",&Vio);

printf("\n Kw: %f ",Kw);
printf("\n Kq: %f ",Kq);
printf("\n Vio: %f ",Vio);
printf("\n <C>Confirme dados! <ESC> para sair! ");
opcao=getch();
}while((opcao!='C') && (opcao!=ESC));

if(opcao==ESC) exit(0);

clrscr();
printf(" Inicializando o sistema! ");
Clear_PC30();
Inicializa_DMA();
Inicializa_Int();
Inicializa_PC30();

delay(2000);

clrscr();
printf(" INVERSOR MONOFASICO PWM - Controle do paralelismo com a rede \n");
printf(" Versao 1.0 - 11/05/98\n");
printf("\n\n");
printf("<1> Inicia operacao ON-LINE \n");
printf("<2> Incrementa <2> Decrementa referencia de tensao (5V)\n");
printf("<3> Incrementa <4> Decrementa POTENCIA ATIVA (SW) \n");
printf("<5> Incrementa <6> Decrementa POTENCIA REATIVA (SVAR) \n");
printf("<7> Liga <8> Desliga contator de variacao de carga\n");
printf("<0> Grava Evento \n");
printf(" Qualquer tecla > Operacao OFF-LINE - Desabilita Gate Drives\n");
printf(" <ESC> Desligar inversor e sair do programa\n");

//Imprime status inicial
gotoxy(1,15);
printf("Gate Drives: OFF ");
gotoxy(40,15);
printf("Contator: OFF ");
byte_B=inportb(END_PORTB);
if(byte_B && 0x01) {
gotoxy(1,16);
printf("Placa Ligada! ");
}
else {
gotoxy(1,16);
printf("Placa Desligada! ");
}
gotoxy(1,25);
printf("OFF-LINE ");

do
{
if(kbhit())
{
opcao=getch();
switch (opcao)
{
case '+': {
byte_A=inportb(END_PORTA);
byte_A=byte_A | 0x8;
}
}
}
}

```

```

        outportb(END_PORTA,byte_A); //seta bit 3
        byte_A=byte_A & 0xf7;
        outportb(END_PORTA,byte_A); //envia pulso de reset drives
        gotoxy(1,15);
        printf("Gate Drives: ON   ");
        liga=1; //seta para operacao online 0.05 segundos depois
        j=0;
        flag=1;
        outportb(0x378,0xff); //seta porta paralela para trigger do osciloscopio
        gotoxy(1,25);
        printf("ON-LINE      ");
        break;
    }
    case '1': {
        if(online==0){
            Vmp=Vmp+0.05;
            if(Vmp>1.1) Vmp=1.1;
            Va=Vmp*VA0;
            gotoxy(1,20);
            printf("Vm: %5.1f   ",Va);
        }
        break;
    }
    case '2': {
        if(online==0){
            Vmp=Vmp-0.05;
            if(Vmp<0) Vmp=0;
            Va=Vmp*VA0;
            gotoxy(1,20);
            printf("Vm: %5.1f   ",Va);
        }
        break;
    }
    case '3': {
        Po=Po+5.0;
        if(Po>500.0) Po=500.0;
        gotoxy(1,21);
        printf("Vm: %5.1f   ",Po);
        break;
    }
    case '4': {
        Po=Po-5.0;
        if(Po<20.0) Po=20.0;
        gotoxy(1,21);
        printf("Vm: %5.1f   ",Po);
        break;
    }
    case '5': {
        Qo=Qo+5.0;
        if(Qo>500.0) Qo=500.0;
        gotoxy(1,21);
        printf("Vm: %5.1f   ",Qo);
        break;
    }
    case '6': {
        Qo=Qo-5.0;
        if(Qo<-500.0) Qo=-500.0;
        gotoxy(1,21);
        printf("Vm: %5.1f   ",Qo);
        break;
    }
    case '7': {
        byte_A=inportb(END_PORTA);
        outportb(END_PORTA,byte_A | 0x02); //seta bit 1
        gotoxy(40,15);
        printf("Contator: ON   ");
        break;
    }
    case '8': {
        byte_A=inportb(END_PORTA);
        outportb(END_PORTA,byte_A & 0xfd); //reseta bit 1
        gotoxy(40,15);
        printf("Contator: OFF   ");
        break;
    }
    case '0': {
        flag=1; //grava evento
        j=0;
        t=0;
        break;
    }
    case ESC: fim=1; //seta flag para sair
    default: {

```

```

        outportb(END_PORTA,0x00); //desabilita gate drives
        gotoxy(1,15);
        printf("Gate Drives: OFF  ");
        gotoxy(40,15);
        printf("Contator: OFF  ");
        online=0; //seta para operacao off-line
            liga=0; //inversor nao ativo
            int_w=0; //reseta integrador do PLL
        gotoxy(1,25);
        printf("OFF-LINE  ");
    }
}
if (byte_B!=inportb(END_PORTB))
{
byte_B=inportb(END_PORTB);
if(byte_B && 0x01) {
    gotoxy(1,16);
    printf("Placa Ligada!  ");
}
else {
    gotoxy(1,16);
    printf("Placa Desligada!  ");
}
}
gotoxy(40,16);
printf("%u  ",k);

gotoxy(1,18);
printf("Va: %5.1f V  ",Va);
gotoxy(1,19);
printf("Fs: %5.2f Hz  ",w/200000);
gotoxy(1,20);
printf("P : %5.1f W  ",Pa);
gotoxy(1,21);
printf("Po: %5.1f W  ",Po);
gotoxy(1,22);
printf("Q : %5.1f VAR  ",Qa);
gotoxy(1,23);
printf("Qo: %5.1f VAR  ",Qo);
gotoxy(1,24);
printf("Vbar: %5.1f V  ",Vbar);

if(Vbar>350.0) outportb(END_PORTA,0x00); //desabilita gate drives
}while(fim==0);

Disable_DMA(); //Ativa Mascaras dos canais DMA
Restaura_PC30(); //Desabilita DMA e Requisicao de interrupcao
Restaura_Int(); //Restaura vetor de interrupcao

//
// Grava resultados se flag != 0;
clrscr();
setcursortype(_NORMCURSOR); // (turns on the cursor)

if(flag!=0)
{
do
{
    printf("\n\n Arquivo de saida  ");
    printf("\n Formato: 'path\\nome'.DES");
    printf("\n 'path\\nome': ");
    scanf("%s",name);
    i=0;
}
do
{
    i=i+1;
}while((name[i]!='0')||(i==80));
name[i]=' ';
name[i+1]='D';
name[i+2]='E';
name[i+3]='S';
name[i+4]='0';
printf("\n Arquivo de Saida: %s ",name);
if((arqsaida=fopen(name,"wb"))==NULL)
{
printf("\n Erro na abertura do arquivo");
printf("\n Qualquer tecla para continuar ESC para sair! ");
escape=getch();
if (escape==ESC) exit(1);
}
}while(arqsaida==NULL);

```

```

cabecalho[0]=0;
cabecalho[1]=Hcurvas;
cabecalho[2]=Hpontos;
fwrite(cabecalho,sizeof(cabecalho),1,arqsaida);
fwrite(tempo,sizeof(tempo),1,arqsaida);
fwrite(VVref,sizeof(VVref),1,arqsaida);
fwrite(VVo,sizeof(VVo),1,arqsaida);
fwrite(IIo,sizeof(IIo),1,arqsaida);
fwrite(VVv,sizeof(VVv),1,arqsaida);
fwrite(IIL,sizeof(IIL),1,arqsaida);
fwrite(PPa,sizeof(PPa),1,arqsaida);
fwrite(QQa,sizeof(QQa),1,arqsaida);
fclose(arqsaida);
}
printf("\n\nPrograma Encerrado!");
}

```

C.3 Programas Utilizados nos Ensaios da Seção 4.8

C.3.1 Programa para o Inversor 1

```

//programa do inversor1
// Controle do paralelismo de inversores monofasicos PWM
// PROGRAMA PARA CONTROLE DO INVERSOR1-1
// Inversor1 assume toda a carga antes da entrada do inversor2
// IRQ7 dispara gravacao de evento

#define DOISPI 6 28318530718
#define PIs2 1.570796326795
#define Hcurvas 8
#define Hpontos 3000
#define ESC 27

#include "c:\users\ernane\teste\lab\endereco h"
#include <stdio.h>
#include <dos.h>
#include <math.h>
#include <process.h>
#include <conio.h>

//Palavras de controle do controlador de DMA2
#define CANALDMA1 5 //Canal primario para acesso ao DMA
#define CANALDMA2 6 //Canal secundario para acesso ao DMA
#define COMMAND 0x00 //0100 0000 %X%
bit 0 bit 1
#define SET_MASCDMA1 0x06 //0000 0110 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 0 canal 4
#define SET_MASCDMA2 0x05 //0000 0101 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 1 canal 5
#define CLR_MASCDMA1 0x02 //0000 0010 %X%
1 0 canal 6
#define CLR_MASCDMA2 0x01 //0000 0001 %X%
1 1 canal 7
#define MODDDMA1 0x16 //0001 0110 modo demanda, incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 6
#define MODDDMA2 0x15 //0001 0101 modo demanda, incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 5

//Palavras de controle da placa PC-306S16
#define TOTALdeCANAIS 4

#define ADMDE_INIT 0x9e //1001 1110 DMA habilitado, reset bit de erro channel %X%
list no modo replace
#define ADMDE 0x9d //1001 1101 DMA habilitado, limpa bit de erro, channel %X%
list no modo ignored/trigger bloco/Fifo enable
#define ADMDE_CHL 0x9f //1001 1111 DMA habilitado, limpa bit de erro, modo ADD %X%
no channel list
#define ADCCR_INIT 0x02 //0000 0010 DMA desabilitado, interrupcao desabilitada, %X%
strobe por software
#define ADCCR 0x08 //0000 1000 DMA desabilitado, interrupcao habilitada, %X%
strobe por clock
#define THRCTR 0x34 // 0011 0100 modo 2, ambas bytes, binario
#define BLKCNT 257-TOTALdeCANAIS // Palavra de controle que indica quantas conversoes %X%
serao feitas em um bloco

#define DIVIDER 20 //freqclk=2Mhz
#define PRESCALER 20 //fs=5kHz

```

```

#define Freq_PWM 10000 //frequencia PWM 10kHz

//Definicoes das mascaras de interrupcoes
#define EOI 0x20 //indica fim da execucao da interrupcao
#define ENB_IRQ_C1 0xfb //Seta a mascara do controlador mestre
#define ENB_IRQ_C2 0xfb //Seta a mascara do controlador mestre
#define DSB_IRQ_C1 0x04 //reset a mascara do controlador mestre
#define DSB_IRQ_C2 0x04 //reset a mascara do controlador mestre

//Ganhos dos sistema de condicionamento de sinais
#define GANHQ_Vb 53.5 // sensor de tensao do barramento DC
#define GANHQ_Vda 45.5*0.8825 // ganho conversor D/A
#define GANHQ_V 45.5*1.1530 // sensor de tensao de saida
#define GANHQ_I 2.5 // sensor de corrente

//Ganhos dos controladores do calculo de potencia
#define KpM 5.0 //ganho proporcional do controlador para calculo das potencias
#define KiM 500.0 //ganho integral do controlador para calculo das potencias

//Constantes do filtro de para calculo das potencias
#define A 0.00375575233159 //primeira ordem - corte em 6Hz
#define B 0.00375575233159
#define C -0.99248849533683

//Constantes do filtro de medicao
#define Af 0.17357498598756 //segunda ordem corte em 1kHz - amortecimento 0.7
#define Bf 0.34714997197513
#define Cf 0.17357498598756
#define Df -0.53219117957298
#define Ef 0.22649112352324

//inclinacao das curvas de potencia e valores nominais de freq e tensao
#define KW 0.0005
#define KQ 0.0005
#define Wo 377.0 //frequencia nominal da rede
#define Vao 179.6 //amplitude da tensao nominal da rede (127Vrms)

// malha PLL
#define KP 100.0 //ganho proporcional da malha PLL
#define KI 500.0 //ganho integral da malha PLL
#define WR 377.0 //frequencia central do VCO PLL
#define Ap 0.05625194197749e-3 //ganhos do filtro
#define Bp 0.11250388395498e-3 //segunda ordem corte em 12Hz - amortecimento 0.7
#define Cp 0.05625194197749e-3
#define Dp -1.97888518477554
#define Ep 0.9791019254345

// Limites das saturacoes
#define IMAX 15 //Corrente positiva maxima no indutor
#define IMIN -15 //Corrente negativa maxima no indutor
#define VMAX 190 //Tensao de controle positiva maxima na saida do integrador de corrente
#define VMIN -190 //Tensao de controle negativa maxima na saida do integrador de corrente

//prototipos das funcoes
void Clear_PC30(void);
void Inicializa_PC30(void);
void interrupt Aquisicao(void);
void interrupt Ativa_flag(void);
void Inicializa_Int(void);
void Inicializa_DMA(void);
void Disable_DMA(void);
void Restaura_PC30(void);
void Restaura_Int(void);

//Variaveis globais
volatile unsigned int dado[TOTALdeCANAIS]={0.0,0.0,0.0};
void interrupt (*interrupcao_antiga1)();
void interrupt (*interrupcao_antiga2)();
int i,j,kk,flag;
unsigned int k.online.mascaral.mascara2;

float Vref,Va,Vd,Vq,Vmp;
float Po,Qo;
float Pa,Pak_1,Qa,Qak_1;
float Pax,Paxk_1,Qax,Qaxk_1;
//float Vom,Vomk_1,Vomk_2,Vomx,Vomxk_1,Vomxk_2;
float t,w,delta,Ts;
float Vo=0,Io=0,Vbar=0,IL=0;
float Vok_1=0,Iok_1=0,Vbark_1=0,ILk_1=0;
float Vok_2=0,Iok_2=0,Vbark_2=0,ILk_2=0;
float Vox,Iox,Vbarx,ILx;
float Voxk_1=0,Ioxk_1=0,Vbarxk_1=0,ILxk_1=0;

```

```

float Voxk_2=0,Ioxk_2=0,Vbarxk_2=0,Ilzk_2=0;
float Im,Imx,Imxk_1,Imk_1,Int_Im=0;
//float Vpll,x_zk_1=0,xk_2=0,y_zk_1=0,yk_2=0,int_v=0;

float huge tempo[Npontos],VVo[Npontos];
float huge IIo[Npontos],VVbar[Npontos];
float huge IIL[Npontos],PPa[Npontos];
float huge QQA[Npontos],VVref[Npontos];
float huge WW[Npontos];

//----- Subrotinas -----

void Inicializa_DMA(void)
{
    unsigned int pagina;
    long int endereco_fisico, offset;
    unsigned int tamanho;

    // Determina quais sao os parametros de pagina e offset da area de memoria
    // na qual serao inseridos os dados
    endereco_fisico=FP_SEG(dado);
    endereco_fisico= endereco_fisico << 4;
    offset=FP_OFF(dado);
    endereco_fisico=endereco_fisico+offset;
    pagina = (int)(endereco_fisico >> 16);
    offset = (endereco_fisico >> 1); //AO nao interessa, offset contado em palavras

    tamanho=TOTALdeCANALIS-1;

    outportb(END_MASCARA, SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA, SET_MASCDMA2); //coloca a mascara para o canal secundario

    //Programa o controlador de DMA2 - Canal primario
    // outportb(END_COMMAND,COMMAND); //
    outportb(END_PAGDMA1,pagina); //escreve a pagina de memoria
    outportb(END_MODO,MODODMA1); //Seta o modo de operacao do canal primario
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_MEMDMA1,offset); //escreve o byte lsb no registrador de endereco de memoria
    outportb(END_MEMDMA1,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_SIZEDMA1,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
    outportb(END_SIZEDMA1,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

    //Programa o controlador de DMA2 - Canal secundario
    // outportb(END_COMMAND,COMMAND); //
    outportb(END_PAGDMA2,pagina); //escreve a pagina de memoria
    outportb(END_MODO,MODODMA2); //Seta o modo de operacao do canal secundario
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_MEMDMA2,offset); //escreve o byte lsb no registrador de endereco de memoria
    outportb(END_MEMDMA2,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
    outportb(END_FF,0x00); //Limpa o bit de LSB/MSB
    outportb(END_SIZEDMA2,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
    outportb(END_SIZEDMA2,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

    outportb(END_MASCARA,CLR_MASCDMA1); //Retira a mascara do canal primario
    outportb(END_MASCARA,CLR_MASCDMA2); //Retira a mascara do canal secundario
    printf("\nControladores DMA programados! ");
}

//-----
void Disable_DMA(void)
{
    outportb(END_MASCARA, SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA, SET_MASCDMA2); //coloca a mascara para o canal secundario
}

//-----
void Clear_PC30(void) //Limpa o sistema IN
{
    char lsb;
    int i;
    outportb(END_ADHDE,0x92);
    outportb(END_ADCCR,0x03);
    outportb(END_ADCCR,0x02);
    do{
        lsb=inportb(END_ADDSR);
        lsb=lsb&0x40;
    }while ( (!lsb) & (!kbhit()) );
    for (i=0;i<16;i++) inportb(END_ADDATL); //Esvazia FIFO
}

//-----
void Inicializa_PC30(void)

```

```

{
    char lsb, msb, comando;
    unsigned int contagem, i;
    char canal[TOTALdeCANALIS]={0,1,2,3}; //lista dos canais a serem usados

    //Configura opcoes da placa PC30FAS16(4DAS)
    outportb(END_ADCCFG, 0x08); //single ended, intr on enf of DMA, DAC invertido
    outportb(END_DACCFG, 0xff); //todos os canais em -10 a +10v
    outportb(END_CLKSRC, 0x69); //clk 2MHz, clk e trigger interno, clk habilitado pelo OUT divider, %%Q
    ECLK is out

    //Prepara o 8254 interno da placa para a frequencia de amostragem
    outportb(END_THRCTR, THRCTR); //Programa contador 0 (prescaler)
    outportb(END_THRCTR, THRCTR | 0x40); //Programa contador 1 (divider)
    contagem = PRESCALER; // palavra de contagem do timer 0 (prescaler)
    msb = contagem >> 8;
    lsb = contagem & 0xff;
    outportb(END_PRESCALER, lsb); //envia contagem do timer 0 (prescaler)
    outportb(END_PRESCALER, msb);
    contagem = DIVIDER; // palavra de contagem do timer 1 (divider)
    msb = contagem >> 8;
    lsb = contagem & 0xff;
    outportb(END_DIVIDER, lsb); //envia contagem do timer 1 (divider)
    outportb(END_DIVIDER, msb);

    //Prepara a placa com o channel list
    outportb(END_BLKCNT, (char)BLKCNT); //Indica para a placa quantos canais serao %%Q
    convertidos em um bloco
    outportb(END_ADMDE, ADMDE_INIT); //Prepara para apagar o channel list
    // canal[0] e' o primeiro canal da lista
    outportb(END_ADCCR, ADCCR_INIT | (canal[0] << 4)); //Palavra de comando contendo o primeiro canal a %%Q
    ser lido
    outportb(END_ADMDE, ADMDE_CHL); //Prepara para acrescentar canais na lista

    for (i=1; i<TOTALdeCANALIS; i++)
    {
        comando=ADCCR_INIT | ((canal[i] << 4);
        outportb(END_ADCCR, comando); //Acrescenta os canais ao channel list
    }
    outportb(END_ADMDE, ADMDE); //Fecha o channel list
    lsb=inportb(END_ADCCR) >> 4;
    printf("\nPlaca programada para aquisicao de dados por DMA (modo bloco)");
    printf("\nLista de Canais: ");
    for(i=0; i<TOTALdeCANALIS; i++) printf(" %d", canal[i]);

    outportb(END_ADCCR, ADCCR); //Programa a placa para gerar interrupcao
}

//-----

void Restaura_PC30(void)
{
    outportb(END_ADCCR, 0x02); //Strobe por software, DMA desabilitado
    outportb(END_ADMDE, 0x90); //DMA desabilitado
}

//-----

void Inicializa_Int(void)
{
    interrupcao_antiga1 = getvect(INT_IRQ10); // Salva vetor antigo1
    setvect(INT_IRQ10, Aquisicao);
    interrupcao_antiga2 = getvect(INT_IRQ7); // Salva vetor antigo2
    setvect(INT_IRQ7, Ativa_flag);

    //Prepara controlador mestre
    mascara1 = inportb(END_MASC1); // Le mascara antiga1
    outportb(END_MASC1, 0x79); //habilita somente teclado, IRQ7 e IRQ2
    outportb(0x37a, 0x10); //habilita IRQ7 na linha ACK da porta paralela

    //Prepara controlador escravo
    mascara2 = inportb(END_MASC2); // Le mascara antiga2
    outportb(END_MASC2, 0xfb); //habilita IRQ10
    printf("\nVetores de interrupcao carregados");
    printf("\nIRQ1, IRQ7 e IRQ10 habilitadas - IRQ0 Desabilitada");
}

//-----

void Restaura_Int(void)
{
    //Prepara controlador mestre

    outportb(END_MASC1, mascara1); //restaura mascara 1

```

```

    outportb(0x37a,0x00); //desabilita IRQ7 na linha ACK da porta paralela

//Prepara controlador escravo

    outportb(END_MASC2,mascara2); //restaura mascara2

    setvect(INT_IRQ10,interruptcao_antiga1); //restaura vetor1
    setvect(INT_IRQ7,interruptcao_antiga2); //restaura vetor2
}

//-----INICIO da rotina de interrupcao-----

void interrupt Aquisicao(void)
{

    int Dado_DAO,Dado_DAI;
    int msb;

    outportb(0x378,0xff); //seta bits da porta paralela (medicao do tempo de duracao da rotina de %c
    interruptcao)

    outportb(END_ADCCR,ADCCR); //reset bit DMA enable (necessario para operar no modo "SWOP ON %c
    TC")

    //-----Inicio do algoritmo de controle-----
    //-----Lectura e filtragem dos sinais de entrada-----
    //Lista de canais 0 1 2 3
    // Vbar IL Io Vab
    // dado[0] dado[1] dado[2] dado[3]
    Vox=((float)(dado[3]&0xffff)-2048 )*(5 /2048 )*GANHO_V*(-1);
    ILx=((float)(dado[1]&0xffff)-2048 )*(5./2048.)*GANHO_I;
    Vbarx=((float)(dado[0]&0xffff)-2048 )*(5./2048.)*GANHO_Vb;
    Iox=((float)(dado[2]&0xffff)-2048 )*(5 /2048 )*GANHO_I*(-1);

    Vo=Af*Vox + Bf*Voxk_1 + Cf*Voxk_2 - Df*Vok_1 - Ef*Vok_2;
    IL=Af*ILx + Bf*ILxk_1 + Cf*ILxk_2 - Df*ILk_1 - Ef*ILk_2;
    Vbar=Af*Vbarx + Bf*Vbarxk_1 + Cf*Vbarxk_2 - Df*Vbark_1 - Ef*Vbark_2;
    Io=Af*Iox + Bf*Ioxk_1 + Cf*Ioxk_2 - Df*Iok_1 - Ef*Iok_2;

    Voxk_2=Voxk_1;
    Ioxk_2=Ioxk_1;
    Vbarxk_2=Vbarxk_1;
    ILxk_2=ILxk_1;
    Vok_1=Vox;
    Iok_1=Iox;
    Vbark_1=Vbarx;
    ILk_1=ILx;

    Vok_2=Vok_1;
    Iok_2=Iok_1;
    Vbark_2=Vbark_1;
    ILk_2=ILk_1;
    Vok_1=Vo;
    Iok_1=Io;
    Vbark_1=Vbar;
    ILk_1=IL;

    // ----- Geracao das referencias-----
    delta=delta+Ts;
    if(delta >= DOISPI) delta=delta-DOISPI;
    //Vref=Va*sin(delta); // calcula senoide de referencia para o inversor - PC30FAS16 programada %c
    para no inverter saida do DA
    Vd=sin(delta-0.188495); //calcula referencia d-q para calculo de potencia
    Vq=-cos(delta-0.188495); //compensa atraso de fase no sinal real do inversor (filtro externo) %c
    atraso=750us
    //Vpll=cos(delta-0.282743);// saida VCD do PLL

    //Calculo da corrente media de saida
    Imx=Io;
    Im=A*Imx + B*Imxk_1 - C*Imk_1;
    Imxk_1=Imx;
    Imk_1=Im;
    Int_Im=Int_Im+100.0*Im*Ts;
    if(Int_Im > 15.0) Int_Im =15.0;
    if(Int_Im < -15.0) Int_Im =-15.0;
    Vref=Va*sin(delta)-5.0*Im - Int_Im;

    //----- Envia saida dos controladores para DA's-----
    Dado_DAO=(int)(Vref/GANHO_Vda/(10.0/2048.0)+0x800);
    Dado_DAO=Dado_DAO << 4;
    msb=Dado_DAO >>8;
    outportb(END_DADATH0,msb);

```

```

outportb(END_DADATLO,Dado_DA0);
Dado_DA1=(int)(Vo/GAHHO_Vda/(10 0/2048 0)+0x800);
Dado_DA1=Dado_DA1 << 4;
msb=Dado_DA1 >>8;
outportb(END_DADATH1,msb);
outportb(END_DADATL1,Dado_DA1);

//----- Calculo da potencia ativa-----
Pax=Vo*Ia;
Pa=A*Pax + B*Paxk_1 - C*Pak_1;
Paxk_1=Pax;
Pak_1=Pa;

//----- Calculo da potencia reativa-----
Qax=Va*Vq*Ia; //calculo usando a tensao de referencia e nao a tensao de saida (aproximacao)
Qa=A*Qax + B*Qaxk_1 - C*Qak_1;
Qaxk_1=Qax;
Qak_1=Qa;

// -----Atualiza frequencia e tensao se sistema ON-LINE-----
if(online==1){
    w=Wo-KW*(Pa-Po);
    Va=Vao-KQ*(Qa-Qo);
}

//----- armazenamento de dados-----
if(j<Npontos) {
    VVref[j]=Va*Vd;
    VVo[j]=Vo;
    IIo[j]=Ia;
    VVbar[j]=Vbar;
    IIL[j]=IL;
    PPa[j]=Pa;
    QQa[j]=Qa;
    WW[j]=w;
    tempo[j]=t;
    t=t+Ts;
    kk=kk+1;
    if(kk==2){
        j=j+1;
        kk=0;
    }
}

//-----fim do algoritmo de controle-----
k=k+1;

outportb(END_EOI1,E01); //Avisa ao controlador de interrupcao mestre que a interrupcao foi %%0
feita
outportb(END_EOI2,E01); //Avisa ao controlador de interrupcao escravo que a interrupcao foi %%0
feita

outportb(0x378,0x00); //reseta bits da porta paralela (medicao do tempo de duracao da rotina de %%0
interrupcao)
}
// ----- FIM da rotina de interrupcao-----

// ----- Rotina de ativacao do flag para gravacao dos dados-----
void interrupt Ativa_flag(void)
{
    flag=1; //grava evento
    j=0;
    t=0;
    kk=0;
    outportb(END_EOI1,E01); //Avisa ao controlador de interrupcao mestre que a interrupcao foi %%0
feita
}

//----- Programa Principal -----

void main()
{
    //variaveis auxiliares
    unsigned char opcao;
    int fim;
    char byte_A,byte_B;

    // Definicao das variaveis para manipulacao do arquivo de saida
    int cabecalho[Npontos=2];

```

```

char name[80],escape=0;
FILE *arqsaida;

..setcursortype(_NOCURS); // (turns off the cursor)

outportb(END_DIOCNTRL,0x82); // programa 8255 da placa
// porta A para Saída e B para entrada
outportb(END_PORTA,0x00); //inicializa porta A

//inicializacoes
w=WR; // inicia w com frequencia central do VCO
Ts=0.2e-3; // Período de amostragem fs=5kHz

Po=50.0; // Potencia na frequencia Wo - 50W garante um minimo positivo
Qo=0.0; // Potencia reativa na tensao Vo

Vmp=0;
fim=0;
k=0;
kk=0;
j=Npontos;
byte_B=0x00;
flag=0; //dados nao gravados
online=0; //seta para operacao off-line

clrscr();
printf(" Inicializando o sistema! ");
Clear_PC30();
Inicializa_DMA();
Inicializa_Int();
Inicializa_PC30();

delay(2000);

clrscr();
printf("----- INVERSOR - 1 ----- \n");
printf(" Controle do paralelismo - WxP / VxQ \n");
printf(" Versao 1.0 - 14/03/2000\n");
printf("\n\n");
printf(" <=> Inicia operacao ON-LINE \n");
printf(" <1> Incrementa <2> Decrementa referencia de tensao (5V)\n");
printf(" <3> Incrementa <4> Decrementa POTENCIA ATIVA (5W) Wo=377 rad/s \n");
printf(" <5> Incrementa <6> Decrementa POTENCIA REATIVA (5VAR) Vo=127 Vrms \n");
printf(" <0> Grava Evento \n");
printf(" <qualquer tecla> Operacao OFF-LINE - Desabilita Gate Drivers\n");
printf(" <ESC> Desligar inversor e sair do programa\n");

//Imprime status inicial
byte_B=inportb(END_PORTB);
if(byte_B && 0x01) {
    gotoxy(1,14);
    printf("Placa Ligada! ");
}
else {
    gotoxy(1,14);
    printf("Placa Desligada! ");
}
gotoxy(25,14);
printf("Gate Drivers: OFF ");
gotoxy(25,19);
printf("Po: %5.1f W",Po);
gotoxy(25,20);
printf("Qo: %5.1f VAR",Qo);

do
{
    if(kbhit())
    {
        opcao=getch();
        switch (opcao)
        {
            case '+': {
                if(byte_B && 0x01)
                {
                    byte_A=inportb(END_PORTA);
                    byte_A=byte_A | 0x04;
                    outportb(END_PORTA,byte_A); //habilita gate drivers
                    gotoxy(25,14);
                    printf("Gate Drivers: ON ");
                    online=1; //seta para operacao online
                }
                else {
                    gotoxy(1,25);

```

```

        printf("- \a Placa Desligada!\n");
    }
    break;
}

case '1': {
    if(online==0){
        Vmp=Vmp+0.05;
        if(Vmp>1.1) Vmp=1.1;
        Va=Vmp*Vao;
        gotoxy(1,17);
        printf("Va: %5.1f   ", Va);
    }
    break;
}

case '2': {
    if(online==0){
        Vmp=Vmp-0.05;
        if(Vmp<0) Vmp=0;
        Va=Vmp*Vao;
        gotoxy(1,17);
        printf("Va: %5.1f   ", Va);
    }
    break;
}

case '3': {
    Po=Po+5.0;
    if(Po>500.0) Po=500.0;
    gotoxy(25,19);
    printf("Po: %5.1f   ", Po);
    break;
}

case '4': {
    Po=Po-5.0;
    if(Po<10.0) Po=10.0;
    gotoxy(25,19);
    printf("Po: %5.1f   ", Po);
    break;
}

case '5': {
    Qo=Qo+5.0;
    if(Qo>500.0) Qo=500.0;
    gotoxy(25,20);
    printf("Qo: %5.1f   ", Qo);
    break;
}

case '6': {
    Qo=Qo-5.0;
    if(Qo<-500.0) Qo=-500.0;
    gotoxy(25,20);
    printf("Qo: %5.1f   ", Qo);
    break;
}

case '0': {
    flag=1; //grava evento
    j=0;
    t=0;
    break;
}

case ESC: fim=1; //seta flag para sair
default: {
    outportb(END_PORTA,0x00); //desabilita gate drivers
    gotoxy(25,14);
    printf("Gate Drivers: OFF\n");
    online=0; //seta para operacao off-line
    //int_w=0; //reseta integrador do PLL
}
}
}

if (byte_R==inportb(END_PORTB))
{
    byte_B=inportb(END_PORTB);
    if(byte_B && 0x01) {
        gotoxy(1,14);
        printf("Placa Ligada!\n");
    }
    else {
        gotoxy(1,14);
        printf("Placa Desligada!\n");
    }
}

gotoxy(50,14);
printf("%u\n",k);

```

```

gotoxy(1,16);
printf("Vbar: %5 1f V   Vbar);
gotoxy(1,17);
printf("Va: %5 1f V   Va);
gotoxy(1,18);
printf("Fa: %5 2f Hz   w/DOISPI);
gotoxy(1,19);
printf("P : %5 1f W   Pa);
gotoxy(1,20);
printf("Q : %5 1f VAR   Qa);

if((flag==1)&&(j<Hpontos))
{
    gotoxy(1,25);
    printf(" Evento Gravado!
}

}while(fin==0);

Disable_DMA();           //Ativa Mascaras dos canais DMA
Restaura_PC30();          //Desabilita DMA e Requisicao de interrupcao
Restaura_int();           //Restaura vetor de interrupcao

//
// Grava resultados se flag != 0;
clrscr();
_setcursortype(_NORMALCURSOR); // (turns on the cursor)

if(flag!=0)
{
    do
    {
        printf("\n\n Arquivo de saida ");
        printf("\n Formato: 'path\\nome. DES-');
        printf("\n 'path\\nome': ");
        scanf("%s",name);
        i=0;
        do
        {
            i=i+1;
        }while((name[i]!=0)||i==80);
        name[i]=' ';
        name[i+1]='D-';
        name[i+2]='E-';
        name[i+3]='S-';
        name[i+4]=0;
        printf("\n Arquivo de Saida: %s ",name);
        if((arqsaida=fopen(name,"wb"))==NULL)
        {
            printf("\n Erro na abertura do arquivo-);
            printf("\n Qualquer tecla para continuar ESC para sair!");
            escape=getch();
            if (escape==ESC) exit(1);
        }
    }while(arqsaida==NULL);
    cabecalho[0]=0;
    cabecalho[1]=Hcurvas;
    cabecalho[2]=Hpontos;
    fwrite(cabecalho,sizeof(cabecalho),1,arqsaida);
    fwrite(tempo,sizeof(tempo),1,arqsaida);
    fwrite(VVref,sizeof(VVref),1,arqsaida);
    fwrite(VVo,sizeof(VVo),1,arqsaida);
    fwrite(IIo,sizeof(IIo),1,arqsaida);
    fwrite(VVbar,sizeof(VVbar),1,arqsaida);
    fwrite(IIL,sizeof(IIL),1,arqsaida);
    fwrite(PPa,sizeof(PPa),1,arqsaida);
    fwrite(QQa,sizeof(QQa),1,arqsaida);
    fwrite(WW,sizeof(WW),1,arqsaida);
    fclose(arqsaida);
}
printf("\n\nPrograma Encerrado!");
}

```

C.3.2 Programa para o Inversor 2

```

%programa do inversor2
// PROGRAMA PARA CONTROLE DO INVERSOR 2
// IRQ7 dispara gravacao do evento no programa do inversor 1 - cabo paralelo deve estar conectado

```

```

#define DOISPI 6 28318530718
#define PIs2 1.570796326795
#define Ncurvas 8
#define Npontos 3000
#define ESC 27

#include "c:\users\ernane\teste\lab\endereco.h"
#include <stdio.h>
#include <dos.h>
#include <math.h>
#include <process.h>
#include <conio.h>

//Palavras de controle do controlador de DMA2
#define CANALDMA1 5 //Canal primario para acesso ao DMA
#define CANALDMA2 6 //Canal secundario para acesso ao DMA
#define COMMAND 0x00 //0100 0000 %X%
bit 0 bit 1
#define SET_MASCDMA1 0x06 //0000 0110 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 0 canal 4
#define SET_MASCDMA2 0x05 //0000 0101 bit 2 seta a mascara, bit 0 e 1 indica o canal %X%
0 1 canal 5
#define CLR_MASCDMA1 0x02 //0000 0010 %X%
1 0 canal 6
#define CLR_MASCDMA2 0x01 //0000 0001 %X%
1 1 canal 7
#define MODDDMA1 0x16 //0001 0110 modo demanda, incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 6
#define MODDDMA2 0x15 //0001 0101 modo demanda, incremento de endereco, auto-%X%
inicializacao, operacao de escrita, canal 5

//Palavras de controle da placa PC-30GS16
#define TOTALdeCANALIS 4

#define ADMDE_INI 0x9e //1001 1110 DMA habilitado, reset bit de erro, channel %X%
list no modo replace
#define ADMDE 0x9d //1001 1101 DMA habilitado, limpa bit de erro, channel %X%
list no modo ignored/trigger bloco/Fifo enable
#define ADMDE_CHL 0x9f //1001 1111 DMA habilitado, limpa bit de erro, modo ADD %X%
no channel list
#define ADCCR_INI 0x02 //0000 0010 DMA desabilitado, interrupcao desabilitada, %X%
strobe por software
#define ADCCR 0x08 //0000 1000 DMA desabilitado, interrupcao habilitada, %X%
strobe por clock
#define THRCCTR 0x34 // 0011 0100 modo 2, ambos bytes, binario
#define BLKCNT 257-TOTALdeCANALIS // Palavra de controle que indica quantas conversoes %X%
serao feitas em um bloco

#define DIVIDER 20 //freqclk=2Mhz
#define PRESCALER 20 //fs=5kHz
#define Freq_PWM 10000 //frequencia PWM 10kHz

//Definicoes das mascaras de interrupcoes
#define EOI 0x20 //indica fim da execucao da interrupcao
#define EMB_IRQ_C1 0xfb //Seta a mascara do controlador mestre
#define EMB_IRQ_C2 0xfb //Seta a mascara do controlador mestre
#define DSB_IRQ_C1 0x04 //reset a mascara do controlador mestre
#define DSB_IRQ_C2 0x04 //reset a mascara do controlador mestre

//Ganhos dos sistema de condicionamento de sinais
#define GANH0_Vb 53 5 // sensor de tensao do barramento DC
#define GANH0_V 45.5*1.1494 // sensor de tensao de saida
#define GANH0_Vda 45 5*0.8657 // ganho do conversor D/A + malha de tensao
#define GANH0_I 2 5 // sensor de corrente

//Ganhos dos controladores do calculo de potencia
#define Kp 5.0 //ganho proporcional do controlador para calculo das potencias
#define Ki 500 0 //ganho integral do controlador para calculo das potencias

//Constantes do filtro de para calculo das potencias
#define A 0.00375575233159 //primeira ordem - corte em 6Hz
#define B 0.00375575233159
#define C -0.99248849533683

//Constantes do filtro de medicao
#define Af 0.17357498598756 //segunda ordem corte em 1kHz - amortecimento 0.7
#define Bf 0.34714997197513
#define Cf 0.17357498598756
#define Df -0.53219117957298
#define Ef 0.22649112352324

//inclinacao das curvas de potencia e valores nominais de freq e tensao
#define KW 0.0005

```

```

#define KQ 0.0005
#define Wo 377 0 //frequencia nominal da rede
#define Vao 184 3 //amplitude da tensao nominal da rede (130 3Vrms)

// malha PLL
#define KP 100 0 //ganho proporcional da malha PLL
#define KI 500 0 //ganho integral da malha PLL
#define WR 377.0 //frequencia central do VCO PLL
#define Ap 0 05625194197749e-3 //ganhos do filtro
#define Bp 0 11250388395498e-3 //segunda ordem corte em 12Hz - amortecimento 0.7
#define Cp 0.05625194197749e-3
#define Dp -1.97888518477554
#define Ep 0 97911019254345

// Limites das saturacoes
#define IMAX 15 //Corrente positiva maxima no indutor
#define IMIN -15 //Corrente negativa maxima no indutor
#define VMAX 190 //Tensao de controle positiva maxima na saida do integrador de corrente
#define VMIN -190 //Tensao de controle negativa maxima na saida do integrador de corrente

//prototipos das funcoes
void Clear_PC30(void);
void Inicializa_PC30(void);
void interrupt Aquisicao(void);
void Inicializa_Int(void);
void Inicializa_DMA(void);
void Disable_DMA(void);
void Restaura_PC30(void);
void Restaura_Int(void);

//Variaveis globais
volatile unsigned int dado[TOTALdeCANAIS]={0,0,0,0};
void interrupt (*interrupcao_antiga)();
int i,j,kk;
unsigned int k.online_liga;

float Vref,Va,Vd,Vq,Vmp;
float Po,Qo;
float Pa,Pak_1,Qa,Qak_1;
float Pax,Paxk_1,Qax,Qaxk_1;
//float Vom,Vomk_1,Vomk_2,Vomx,Vomxk_1,Vomxk_2;
float t,v,delta,Ts;
float Vo=0,Io=0,Vbar=0,Il=0;
float Vok_1=0,Iok_1=0,Vbark_1=0,Ilk_1=0;
float Vok_2=0,Iok_2=0,Vbark_2=0,Ilk_2=0;
float Vox,Iox,Vbarx,Ilx;
float Voxk_1=0,Ioxk_1=0,Vbarxk_1=0,Ilxk_1=0;
float Voxk_2=0,Ioxk_2=0,Vbarxk_2=0,Ilxk_2=0;
float Vpll,x,xk_1=0,xk_2=0,y,yk_1=0,yk_2=0,int_u=0;
float Im,Iax,Imxk_1,Imk_1,int_Im=0;

float huge tempo[Npontos],VVo[Npontos];
float huge IIo[Npontos],VVbar[Npontos];
float huge IIL[Npontos],PPa[Npontos];
float huge QQa[Npontos],VVref[Npontos];
float huge WW[Npontos];

//----- Subrotinas -----

void Inicializa_DMA(void)
{
    unsigned int pagina;
    long int endereco_fisico_offset;
    unsigned int tamanho;

    // Determina quais sao os parametros de pagina e offset da area de memoria
    // na qual serao inseridos os dados
    endereco_fisico=FP_SEG(dado);
    endereco_fisico= endereco_fisico << 4;
    offset=FP_OFF(dado);
    endereco_fisico=endereco_fisico+offset;
    pagina = (int)(endereco_fisico >> 16);
    offset = (endereco_fisico >> 1); //AO nao interessa, offset contado em palavras

    tamanho=TOTALdeCANAIS-1;

    outportb(END_MASCARA, SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA, SET_MASCDMA2); //coloca a mascara para o canal secundario

    //Programa o controlador de DMA2 - Canal primario
    // outportb(END_COMMAND,COMMAND); //
    outportb(END_PAGDMA1,pagina); //escreve a pagina de memoria
    outportb(END_MODO,MODODMA1); //Seta o modo de operacao do canal primario

```

```

    outportb(END_FF,0x00); //limpa o bit de LSB/MSB
    outportb(END_MEMDMA1,offset); //escreve o byte lsb no registrador de endereco de memoria
    outportb(END_MEMDMA1,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
    outportb(END_FF,0x00); //limpa o bit de LSB/MSB
    outportb(END_SIZEDMA1,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
    outportb(END_SIZEDMA1,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

//Programa o controlador de DMA2 - Canal secundario
// outportb(END_COMMAND,COMMAND); //
outportb(END_PAGDMA2,pagina); //escreve a pagina de memoria
outportb(END_MOD0,MOD0DMA2); //Seta o modo de operacao do canal secundario
outportb(END_FF,0x00); //limpa o bit de LSB/MSB
outportb(END_MEMDMA2,offset); //escreve o byte lsb no registrador de endereco de memoria
outportb(END_MEMDMA2,offset >> 8); //escreve o byte msb no registrador de endereco de memoria
outportb(END_FF,0x00); //limpa o bit de LSB/MSB
outportb(END_SIZEDMA2,tamanho); //escreve o byte lsb do tamanho de memoria a ser alocado
outportb(END_SIZEDMA2,tamanho >> 8); //escreve o byte msb do tamanho de memoria a ser alocado

outportb(END_MASCARA_CLR_MASCDMA1); //Retira a mascara do canal primario
outportb(END_MASCARA_CLR_MASCDMA2); //Retira a mascara do canal secundario
printf("\nControladores DMA programados! ");
}
//-----
void Disable_DMA(void)
{
    outportb(END_MASCARA_SET_MASCDMA1); //coloca a mascara para o canal primario
    outportb(END_MASCARA_SET_MASCDMA2); //coloca a mascara para o canal secundario
}

//-----
void Clear_PC30(void) //Limpa o sistema AD
{
    char lsb;
    int i;
    outportb(END_ADMDE,0x92);
    outportb(END_ADCCR,0x03);
    outportb(END_ADCCR,0x02);
    do{
        lsb=inportb(END_ADDSR);
        lsb=lsb&0x40;
    }while ( (!lsb) & (!kbhit()) );
    for (i=0;i<16;i++) inportb(END_ADDATL); //Esvazia FIFO
}
//-----
void Inicializa_PC30(void)
{
    char lsb, msb, comando;
    unsigned int contagem,i;
    char canal[TOTALdeCANALIS]={0,1,2,3}; //lista dos canais a serem usados

    //Prepara o 8254 interno da placa para a frequencia de amostragem
    outportb(END_THRCTR,THRCTR); //Programa contador 0 (prescaler)
    outportb(END_THRCTR,THRCTR | 0x40); //Programa contador 1 (divider)
    contagem = PRESCALER; // palavra de contagem do timer 0 (prescaler)
    msb = contagem >> 8;
    lsb = contagem & 0xff;
    outportb(END_PRESCALER,lsb); //envia contagem do timer 0 (prescaler)
    outportb(END_PRESCALER,msb);
    contagem = DIVIDER; // palavra de contagem do timer 1 (divider)
    msb = contagem >> 8;
    lsb = contagem & 0xff;
    outportb(END_DIVIDER,lsb); //envia contagem do timer 1 (divider)
    outportb(END_DIVIDER,msb);

    //Prepara a placa com o channel list
    outportb(END_BLKCHT,(char)BLKCHT); //Indica para a placa quantos canais serao %X%
    convertidos em um bloco
    outportb(END_ADMDE,ADMDE_INI); //Prepara para apagar o channel list
    // canal[0] e' o primeiro canal da lista
    outportb(END_ADCCR,ADCCR_INI | (canal[0] << 4)); //Palavra de comando contendo o primeiro canal a %X%
    ser lido
    outportb(END_ADMDE,ADMDE_CHL); //Prepara para acrescentar canais na lista

    for (i=1;i<TOTALdeCANALIS;i++)
    {
        comando=ADCCR_INI | ((canal[i]) << 4);
        outportb(END_ADCCR,comando); //Acrescenta os canais ao channel list
    }
    outportb(END_ADMDE,ADMDE); //Fecha o channel list
    lsb=inportb(END_ADCCR) >> 4;
    printf("\nPlaca programada para aquisicao de dados por DMA (modo bloco)-");
    printf("\nLista de Canais: ");
    for(i=0;i<TOTALdeCANALIS;i++) printf(" %d ",canal[i]);
}

```

```

outportb(END_ADCCR,ADCCR);          //Programa a placa para gerar interrupcao
}
//-----

void Restaura_PC30(void)
{
    outportb(END_ADCCR,0x02);          //Strobe por software, DMA desabilitado
    outportb(END_ADMDE,0x90);          //DMA desabilitado
}
//-----

void Inicializa_Int(void)
{
    int mascara;          // mascara de interrupcao

    interrupcao_antiga = getvect(INT_IRQ10);          // Salva vetor antigo
    setvect(INT_IRQ10,Aquisicao);
    //Prepara controlador mestre
    mascara = inportb(END_MASC1); // Le mascara antiga
    mascara = mascara & ENB_IRQ_C1; //habilita IRQ2 no controlador mestre
    mascara = mascara | 0x01; //desabilita interrupcao de relógio
    outportb(END_MASC1,mascara);

    //Prepara controlador escravo
    mascara = inportb(END_MASC2); // Le mascara antiga
    mascara = mascara & ENB_IRQ_C2; //habilita IRQ10 no controlador escravo
    outportb(END_MASC2,mascara);
    printf("\nVetor de interrupcao carregado - IRQ10 habilitada - IRQ0 Desabilitada");
}
//-----

void Restaura_Int(void)
{
    int mascara;          /* mascara de interrupcao */

    //Prepara controlador mestre
    mascara = inportb(END_MASC1); // Le mascara antiga
    // mascara = mascara | DSB_IRQ_C1; //desabilita IRQ2 no controlador mestre
    // melhor deixa-la no estado anterior MUDAR ISTO!
    mascara = mascara & 0xfe; //habilita interrupcao de relógio
    outportb(END_MASC1,mascara);

    //Prepara controlador escravo
    mascara = inportb(END_MASC2); // Le mascara antiga
    mascara = mascara | DSB_IRQ_C2; //desabilita IRQ10 no controlador escravo
    outportb(END_MASC2,mascara);

    setvect(INT_IRQ10,interrupcao_antiga);
}

//-----INICIO da rotina de interrupcao-----

void interrupt Aquisicao(void)
{
    int Dado_DAO,Dado_DAI;
    char byte_C;

    outportb(END_ADCCR,ADCCR);          //reset bit DMA enable (necessario para operar no modo "SWOP ON %X%
    TC")

    //-----inicio do algoritmo de controle-----
    //-----Lectura e filtragem dos sinais de entrada-----
    //Lista de canais 0 1 2 3
    // Vbar IL Io Vab
    // dado[0] dado[1] dado[2] dado[3]
    Vox=((float)(dado[3]&0xffff)-2048)*(5/2048)*GAINHO_V*(-1);
    ILx=((float)(dado[1]&0xffff)-2048)*(5/2048)*GAINHO_I;
    Vbarx=((float)(dado[0]&0xffff)-2048)*(5/2048)*GAINHO_Vb;
    Iox=((float)(dado[2]&0xffff)-2048)*(5/2048)*GAINHO_I*(-1);

    Vo=Af*Vox + Bf*Voxk_1 + Cf*Voxk_2 - Df*Voxk_1 - Ef*Voxk_2;
    IL=Af*ILx + Bf*ILxk_1 + Cf*ILxk_2 - Df*ILxk_1 - Ef*ILxk_2;
    Vbar=Af*Vbarx + Bf*Vbarxk_1 + Cf*Vbarxk_2 - Df*Vbarxk_1 - Ef*Vbarxk_2;
    Io=Af*Iox + Bf*Ioxk_1 + Cf*Ioxk_2 - Df*Ioxk_1 - Ef*Ioxk_2;

    Voxk_2=Voxk_1;
    Ioxk_2=Ioxk_1;
    Vbarxk_2=Vbarxk_1;
    ILxk_2=ILxk_1;
    Voxk_1=Vox;

```

```

Ioxk_1=Iox;
Vbarrk_1=Vbarx;
Ilxk_1=Ilx;

Vok_2=Vok_1;
Iok_2=Iok_1;
Vbark_2=Vbark_1;
Ilk_2=Ilk_1;
Vok_1=Vo;
Iok_1=Io;
Vbark_1=Vbar;
Ilk_1=Il;

// ----- Geracao das referencias -----
delta=delta+Ts;
if(delta >= DOISPI) delta=delta-DOISPI;
//Vref=-Va*sin(delta); // calcula senoida de referencia para o inversor - saida do DA inverte 180
180 graus
Vd=sin(delta-0.2638938); //calcula referencia d-q para calculo de potencia
Vq=-cos(delta-0.2638938); //compensa atraso de fase no sinal real do inversor (filtro externo) 180
atraso=1.1ms
Vp1l=cos(delta-0.2638938); // saida VCO do PLL

//Calculo da corrente media de saida
Imx=Io;
Im=A*Imx + B*Imxk_1 - C*Imk_1;
Imxk_1=Imx;
Imk_1=Im;
if(!online){
    Int_Im=Int_Im+100.0*Im*Ts;
    if(Int_Im > 15.0) Int_Im =15.0;
    if(Int_Im < -15.0) Int_Im =-15.0;
}
Vref=-(Va*sin(delta)-5.0*Im - Int_Im); //saida do DA inverte o sinal

//----- Envia saida dos controladores para DA's -----
Dado_DAO=(int)(Vref/GANH0_Vda/(10.0/2048.0)+0x800);
Dado_DAO=Dado_DAO << 4;
outport(END_DADATLO,Dado_DAO);
Dado_DAI=(int)(Vo/GANH0_Vda/(10.0/2048.0)+0x800);
Dado_DAI=Dado_DAI << 4;
outport(END_DADATLI,Dado_DAI);

//----- Detecao de fase e filtro -----
z=Vo/Vao*Vp1l;
y=Ap*x + Bp*xk_1 + Cp*xk_2 - Dp*yk_1 - Ep*yk_2;
xk_2=xk_1;
xk_1=x;
yk_2=yk_1;
yk_1=y; // y=saida do filtro

//----- Calculo da frequencia atraves do PLL -----
int_u=int_u+1; if(u%Ts)
v=WR+int_u*XP*y; //este valor nao tem efeito se online=1
if(v > (1.2*WR)) v=1.2*WR; //impoe faixa de atracamento
if(v < (0.8*WR)) v=0.8*WR;

//----- Calculo da potencia ativa -----
Pax=Vo*Io;
Pa=A*Pax + B*Paxk_1 - C*Pak_1;
Paxk_1=Pax;
Pak_1=Pa;

//----- Calculo da potencia reativa -----
Qax=Va*Vq*Io; //calcula usando a tensao de referencia e nao a tensao de saida (aproximacao)
Qa=A*Qax + B*Qaxk_1 - C*Qak_1;
Qaxk_1=Qax;
Qak_1=Qa;

// ----- Atualiza frequencia e tensao se sistema ON-LINE -----
if(online==1){
    u=Vo-KW*(Pa-Po);
    Va=Vao-KQ*(Qa-Qo);
}

//----- armazenamento de dados -----
if(j<Npontos){
    VVref[j]=Va*Vd;
    VVo[j]=Vo;
    IIo[j]=Io;
    VVbar[j]=Vbar;
}

```

```

IIL[j]=IL;
PPa[j]=Pa;
QQA[j]=Qa;
WW[j]=w;
tempo[j]=t;
t=t+Ts;
    kk=kk+1;
    if(kk==2){
        j=j+1;
        kk=0;
    }

    if((j==250)&&(liga==1)) {
        liga=0;
        online=1;
        byte_C=inportb(END_PORTA);
        byte_C=byte_C | 0x04;
        outportb(END_PORTA,byte_C);//habilita gate drives
    }

}

//-----fim do algoritmo de controle-----
k=k+1;

outportb(END_EOI1,EOI);          //Avisa ao controlador de interrupcao mestre que a interrupcao %%Q
foi feita
outportb(END_EOI2,EOI);          //Avisa ao controlador de interrupcao escravo que a %%Q
interrupcao foi feita

}
//----- FIM da rotina da interrupcao-----

//----- Programa Principal -----

void main()
{
//variaveis auxiliares
unsigned char opcao_flag;
int fim;
char byte_A,byte_B;

// Definicao das variaveis para manipulacao do arquivo de saida
int cabecalho[Npontos*2];
char name[80],escape=0;
FILE *arqsaida;

setcursortype(_NOCURSQR); // (turns off the cursor)

outportb(END_DIOCTRL,0x82); // programa 8255 da placa
// porta A para saida e B para entrada
outportb(END_PORTA,0x00); //inicializa porta A

//inicializacoes
w=WR;          // inicia w com frequencia central do VCO
Ts=0.2e-3;      // Período de amostragem fs=5kHz

Po=50.0;        // Potencia na frequencia Wo - 50W garante um minimo positivo
Qa=0.0;         // Potencia reativa na tensao Vo

Vmp=0;
fim=0;
k=0;
kk=0;
j=Npontos;
byte_B=0x00;
outportb(0x378,0xff);//seta bit d3, usado p/ enviar pulso para IRQ7 em outro computador
flag=0; //dados nao gravados
online=0; //seta para operacao off-line

clrscr();
printf(" Inicializando o sistema! ");
Clear_PC30();
Inicializa_DMA();
Inicializa_Int();
Inicializa_PC30();

delay(2000);

clrscr();

```

```

printf("----- INVERSOR - 2 ----- \n");
printf(" Controle do paralelismo - WxP / VxQ \n");
printf(" Versao 1.0 - 14/03/2000");
printf("\n\n");
printf(" <=> Inicia operacao ON-LINE \n");
printf(" <1> Incrementa <2> Decrementa referencia de tensao (5%)\n");
printf(" <3> Incrementa <4> Decrementa POTENCIA ATIVA (5W) Ww=377 rd/s \n");
printf(" <5> Incrementa <6> Decrementa POTENCIA REATIVA (5VAR) Vv=127 Vrms \n");
printf(" <0> Grava Evento \n");
printf(" <qualquer tecla> Operacao OFF-LINE - Desabilita Gate Drivers\n");
printf(" <ESC> Desligar inversor e sair do programa\n");

//Imprime status inicial
byte_B=inportb(END_PORTB);
if(byte_B && 0x01) {
    gotoxy(1,14);
    printf("Placa Ligada! ");
}
else {
    gotoxy(1,14);
    printf("Placa Desligada!");
}
gotoxy(25,14);
printf("Gate Drivers: OFF ");
gotoxy(25,19);
printf("Po: %5.1f ",Po);
gotoxy(25,20);
printf("Qo: %5.1f ",Qo);

do
{
    if(kbhit())
    {
        opcao=getch();
        switch (opcao)
        {
            case '+': {
                if(byte_B && 0x01)
                {
                    outportb(0x378,0x00);//envia pulso baixo para IRQ7 em outro computador
                    gotoxy(25,14);
                    printf("Gate Drivers: ON ");
                    liga =1; //ativa operacao online 50ms
                    j=0; //dispara armazenamento de dados
                    t=0;
                    flag=1;
                    outportb(0x378,0xff);//envia pulso para IRQ7 em outro computador
                }
                else {
                    gotoxy(1,25);
                    printf(" \n Placa Desligada!");
                }
            }
            break;
        }
        case '1': {
            if(online==0){
                Vmp=Vmp+0.05;
                if(Vmp>1.1) Vmp=1.1;
                Va=Vmp*Vao;
                gotoxy(1,17);
                printf("Va: %5.1f ",Va);
            }
            break;
        }
        case '2': {
            if(online==0){
                Vmp=Vmp-0.05;
                if(Vmp<0) Vmp=0;
                Va=Vmp*Vao;
                gotoxy(1,17);
                printf("Va: %5.1f ",Va);
            }
            break;
        }
        case '3': {
            Po=Po+5.0;
            if(Po>500.0) Po=500.0;
            gotoxy(25,19);
            printf("Po: %5.1f ",Po);
            break;
        }
    }
}

```

```

    case '4': {
        Po=Po-5.0;
        if(Po<10.0) Po=10.0;
        gotoxy(25,19);
        printf("Po: %5.1f", Po);
        break;
    }
    case '5': {
        Qo=Qo+5.0;
        if(Qo>500.0) Qo=500.0;
        gotoxy(25,20);
        printf("Qo: %5.1f", Qo);
        break;
    }
    case '6': {
        Qo=Qo-5.0;
        if(Qo<-500.0) Qo=-500.0;
        gotoxy(25,20);
        printf("Qo: %5.1f", Qo);
        break;
    }
    case '0': {
        flag=1; //grava evento
        j=0;
        t=0;
        break;
    }
    case ESC: fim=1; //seta flag para sair
    default: {
        outportb(END_PORTA,0x00); //desabilita gate drivers
        gotoxy(25,14);
        printf("Gate Drivers: OFF");
        online=0; //seta para operacao off-line
        int_v=0; //reseta integrador do PLL
    }
}
}
if (byte_B!=inportb(END_PORTB))
{
    byte_B=inportb(END_PORTB);
    if(byte_B && 0x01) {
        gotoxy(1,14);
        printf("Placa Ligada");
    }
    else {
        gotoxy(1,14);
        printf("Placa Desligada");
    }
}
gotoxy(50,14);
printf("%a", k);

gotoxy(1,16);
printf("%5.1f V", Vbar);
gotoxy(1,17);
printf("Va: %5.1f V", Va);
gotoxy(1,18);
printf("Fa: %5.2f Hz", w/DOIPI);
gotoxy(1,19);
printf("P : %5.1f W", Pa);
gotoxy(1,20);
printf("Q : %5.1f VAR", Qa);

if((flag==1)&&(j<Npontos))
{
    gotoxy(1,25);
    printf("Evento Gravado:");
}

if(j>Npontos){
    outportb(END_PORTA,0x00); //desabilita gate drivers
    gotoxy(25,14);
    printf("Gate Drivers: OFF");
    online=0; //seta para operacao off-line
    int_v=0; //reseta integrador do PLL
}

}while(fim==0);

Disable_DMA(); //Ativa Mascaras dos canais DMA
Restaura_PC30(); //Desabilita DMA e Requisicao de interrupcao

```

```

Restaura_Int(); //Restaura vetor de interrupcao

// .
// Grava resultados se flag != 0;
clrscr();
_setcursortype(_NORMALCURSOR); // (turns on the cursor)

if(flag!=0)
{
    do
    {
        printf("\n\n Arquivo de saida ");
        printf("\n Formato: 'path\\nome' DES");
        printf("\n 'path\\nome': ");
        scanf("%s", name);
        i=0;
    }
    do
    {
        i=i+1;
    }while((name[i]!=0)||i==80);
    name[i]=' ';
    name[i+1]='D';
    name[i+2]='E';
    name[i+3]='S';
    name[i+4]=0;
    printf("\n Arquivo de Saida: %s ",name);
    if((arqsaida=fopen(name,"wb"))==NULL)
    {
        printf("\n Erro na abertura do arquivo");
        printf("\n Qualquer tecla para continuar ESC para sair! ");
        escape=getch();
        if (escape==ESC) exit(1);
    }
}while(arqsaida==NULL);
cabecalho[0]=0;
cabecalho[1]=Ncurvas;
cabecalho[2]=Npontos;
fwrite(cabecalho,sizeof(cabecalho),1,arqsaida);
fwrite(tempo,sizeof(tempo),1,arqsaida);
fwrite(VVref,sizeof(VVref),1,arqsaida);
fwrite(VVo,sizeof(VVo),1,arqsaida);
fwrite(IIo,sizeof(IIo),1,arqsaida);
fwrite(VVbar,sizeof(VVbar),1,arqsaida);
fwrite(IIL,sizeof(IIL),1,arqsaida);
fwrite(PPa,sizeof(PPa),1,arqsaida);
fwrite(QQa,sizeof(QQa),1,arqsaida);
fwrite(WW,sizeof(WW),1,arqsaida);
fclose(arqsaida);
}
printf("\n\nPrograma Encerrado!");
}

```

Índice

- barra infinita, 31
- brownout protection, 3
- características $P - \omega^*$ e $Q - E^*$, 20
- Central-Limit Control, 8
- controle do paralelismo, 5
- curvas $P - \omega$ e $Q - V$, 41
- interconexão no controle, 6
 - sem interconexão no controle, 14
- máquina síncrona, 31
- master-slave, 7
- MCLC, 10
- modos deslizantes, 11
- PCDC, 9
- PLL, 51, 90
- protótipo, 51, 90
- rede
 - de segurança, 4
 - principal, 4
- resultados
 - de simulação, 44, 72
 - experimentais, 49, 89
- SEP, 23, 28
 - AGC, 23, 28, 34, 36, 37
 - AVR, 23, 28, 37
 - estabilidade, 28
 - LFC, 28, 34, 36
 - PSS, 23, 28, 38
- tempo de transferência, 2
- tri port, 3
- UPS, 1
 - double conversion, 2
 - Line-interactive, 3
 - On-line, 2
 - sistemas distribuídos, 4
 - Stand by, 2