DISSERTAÇÃO DE MESTRADO Nº 1026

ESTUDO DE UM CONVERSOR BIDIRECIONAL C.C.-C.A. MONOFÁSICO DE DOIS ESTÁGIOS BASEADOS NA TOPOLOGIA NPC PARA INTERFACE ENTRE UMA NANORREDE C.C.E A REDE ELÉTRICA

Hans Hoffmann Sathler

DATA DA DEFESA: 18/12/2017

Universidade Federal de Minas Gerais

Escola de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

ESTUDO DE UM CONVERSOR BIDIRECIONAL C.C.-C.A. MONOFÁSICO DE DOIS ESTÁGIOS BASEADOS NA TOPOLOGIA NPC PARA INTERFACE ENTRE UMA NANORREDE C.C. E A REDE ELÉTRICA

Hans Hoffmann Sathler

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Pedro Francisco Donoso Garcia

Coorientador: Prof. Thiago Ribeiro de Oliveira

Belo Horizonte – MG

Dezembro de 2017

Sathler, Hans Hoffmann.
S253e Estudo de um conversor bidirecional C.C.-C.A. monofásico de dois estágios baseados na topologia NPC para interface entre uma nanorrede C.C. e a rede elétrica [manuscrito] /Hans Hoffmann Sathler. – 2017.
xv, 202 f., enc.: il.

Orientador: Pedro Francisco Donoso Garcia.
Coorientador: Thiago Ribeiro de Oliveira.

Dissertação (mestrado) Universidade Federal de Minas Gerais, Escola de Engenharia.

Anexos: f. 169.

Bibliografia: f. 161-168.

1. Engenharia elétrica - Teses. 2. Conversores de corrente elétrica - Teses. I. Donoso-Garcia, Pedro Francisco. II. Universidade Federal de Minas Gerais. Escola de Engenharia. III. Título.

CDU: 621.3(043)

"Estudo de um Conversor Bidirecional c.c.-c.a. Monofásico de Dois Estágios Baseados na Topologia NPC para Interface Entre uma Nanorrede c.c.e a Rede Elétrica"

Hans Hoffmann Sathler

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 18 de dezembro de 2017.

Por:

Prof. Dr. Pedro Francisco Donoso Garcia
DELT (UFMG) - Orientador

Prof. Dr. Thiago Ribeiro de Oliveira
(UFMG) - Coorientador

Prof. Dr. Porfírio Cabaleiro Cortizo
DELT (UFMG)

Prof. Dr. Rubens Marcos dos Santos Filho
DEEB Depto. de Eletrônica e Biomedica (CEFET/MG - Campus II

Dedico este trabalho à minha família.

“L'intelligence cela ne s'apprend pas, cela s'exerce.”

Christian Bobin

Agradecimentos

Agradeço primeiramente aos meus pais, por me colocarem nesse mundo e que através do exemplo, me ensinaram que com dedicação, respeito ao próximo e amor ao trabalho, todos objetivos podem ser alcançados. Desde a minha saída de casa, em 2006, acreditaram e apoiaram minhas decisões permitindo que me tornasse o profissional que sou hoje.

À minha querida irmã, cujo destino também foi designado a engenharia elétrica, pelas conversas, conselhos e apoio, que por conhecer minha dedicação e saber das dificuldades de entender essa ciência magnífica da eletricidade, me ajudou a construir a confiança em mim mesmo para vencer os desafios que surgiram durante esse período.

Ao meu orientador e mestre Prof. Pedro Donoso que, ao longo desses dois anos, se tornou um valioso amigo. Seus conselhos, ensinamentos e compreensão permitiram que eu vencesse vários desafios nos ambientes profissional e pessoal. Exímio orientador e professor, obrigado pela confiança em mim depositada.

Ao Professor Thiago R. de Oliveira, também orientador e amigo, que desde a época da graduação é uma das minhas principais referências em Eletrônica de Potência. Ao longo desses anos me auxiliou com paciência e sabedoria, acreditou no meu trabalho e me apoiou nos desafios que surgiram durante o mestrado. -

Agradeço ao meu amigo e referência acadêmica, Prof. Rubens Santos Filho do CEFET-MG por todos os ensinamentos e direcionamentos na minha vida acadêmica e profissional.

Agradeço aos professores e amigos do GEP que me receberam de braços abertos ao grupo. Em especial aos professores Lenin, Paulo, Porfirio e Seleme, e aos demais amigos do laboratório, pelos ensinamentos e auxílio durante o mestrado. Aos meus companheiros da EMC da FCA, pela amizade, compreensão, ajuda e introdução ao Campo Barreano.

Por fim, agradeço ao Eng. Bernardo, pela oportunidade, ensinamentos e apoio durante meu período no IRT Saint- Exupéry em Toulouse na França.

Resumo

Microrredes c.c. se apresentam como uma solução promissora para aprimorar a inserção de fontes de energias renováveis à rede de distribuição e aumentar a eficiência de todo o sistema. Uma estrutura simples de uma microrrede é formada por um conversor de interface com a rede de distribuição, um conversor para conexão de uma fonte renovável de energia ao barramento principal da nanorrede, um conversor responsável pelo sistema de armazenamento de energia e pela carga da microrrede. Nesse cenário, um conversor bidirecional de interface (BGIC) é necessário para gerenciar o fluxo de potência entre a microrrede e a rede de distribuição, podendo regular a tensão do barramento principal e garantir as exigências para o acoplamento entre os dois sistemas no ponto de conexão. Essa dissertação de mestrado descreve o estudo, projeto, modelagem sistemática em pequenos sinais e controle de um conversor de interface de dois estágios. Esse conversor é composto por uma meia ponte da topologia *Neutral Point Clamped* (NPC) em seu primeiro estágio e uma topologia baseada na simplificação de uma ponte completa NPC no segundo estágio, o que garante uma tensão de modo comum constante, capacidade de limitação de correntes de falta em ambos os estágios e o chaveamento em três níveis. Também foi realizado nesta dissertação um estudo a respeito da eficiência de diferentes conversores BGICs para aplicação em micorredes c.c.. Para essa análise foram consideradas as perdas nos semicondutores e nos indutores com base em informações fornecidas pelos fabricantes, bem como um paralelo na utilização de Si MOSFETs para verificar o aumento da eficiência em relação ao uso de IGBTs. Por fim, o comportamento do conversor estudado foi avaliado, via simulação, através da interface entre a rede elétrica e uma nanorrede c.c. de 2kW, composta por um sistema de armazenamento e uma fonte de energia renovável, conectados em seu barramento principal.

Palavras chave: Microrredes c.c., Conversor bidirecional, NPC, Modelagem em pequenos sinais.

Abstract

DC microgrids are becoming a promising solution to improve renewable energy integration with electrical grid and increase the entire system efficiency. A simple structure of a microgrid is composed by an interface converter with the utility grid, one converter that connects a renewable energy resource to the main bus, one converter for energy storage system and the main laod. In this scenario, a bidirectional grid interface converter (BGIC) is necessary to manage the power flow between the utility grid and the DC microgrid with the intent to regulate main DC bus voltage and simultaneously ensure grid code compliance at the point of common coupling. This project report describes the design, systematic small-signal modeling and control of a two-stage grid interface converter consisting in the association of a single-phase Neutral-point clamped (NPC) front end (1st Stage) and a simplified NPC converter (2nd Stage), which provides almost constant common- mode voltage, fault current limiting capability in both sides and three- level switching. It was also developed a comparative efficiency study of different topologies for BGICs considering applications on DC microgrids. For efficiency analysis, semiconductors and inductors losses were calculated based on datasheets information. MOSFETs usage was also considered to verify the efficiency increasing against IGBTs for the application. Lastly, the described converter behavior was verified, via simulation, through the electrical grid and a 2kW DC nanogrid composed by a storage system and a fotovoltaic energy source, connected in the main bus.

Keywords: DC Microgrids, Bidirectional converter, NPC, Small- signal modeling.

Sumário

Agradecimentos iii
Resumo iv
Abstract v
Lista de Figuras ix
Lista de Tabelas xiv
Nomeclatura xv
1 Introdução 17
1.1 Contextualização e Motivação 17
1.2 Objetivos 22
1.3 Estrutura do Texto 23
2 Estado da arte sobre conversores aplicados a microrredes 24
2.1 Critérios para o projeto do conversor 24
2.2 Topologia do conversor BGIC 26
2.2.1 Topologias para o primeiro estágio (Conversor c.c. – c.a.) 27
2.2.2 Topologias para o segundo estágio (Conversor c.c. – c.c.) 29
2.3 Conclusões do capítulo 34
3 Modelagem, controle e operação do conversor BGIC 36
3.1 Dimensionamento dos capacitores do barramento intermediário 37
3.2 Projeto do conversor BGIC 39
3.2.1 Primeiro estágio - conversor c.c-c.a. 39
3.2.1.1 Filtro LCL 39
3.2.1.2 Método de modulação empregada no primeiro estágio do BGIC 49
3.2.1.3 Projeto do controle do primeiro estágio 51
3.2.2 Segundo Estágio - Conversor c.c.-c.c. 67
3.2.2.1 Filtro LC 67
3.2.2.2 Método de modulação empregada no segundo estágio do BGIC 73
3.2.2.3 Projeto do controle do segundo estágio 76

3.2.3 Diagrama Geral de Controle BGIC 87
3.2.4 Sistema de sincronização com a rede elétrica 88
3.2.5 Monitoramento do ponto de acoplamento e anti-ilhamento 92
3.2.6 Monitoramento da tensão do barramento intermediário 95
3.3 Análise da tensão de modo comum do conversor BGIC 97
3.4 Conclusões do capítulo 104
4 Estudo de eficiência do conversor BGIC 107
4.1 Perdas em Transistores 107
4.1.1 Perdas por Condução 108
4.1.2 Perdas por Chaveamento 109
4.1.2.1 Método Infineon 110
4.1.2.2 Método proposto por Lirio, Luiz Eduardo, [61] 114
4.1.3 Efeitos da temperatura 120
4.1.3.1 Perdas por Condução 121
4.1.3.2 Transcondutância - g_m 123
4.1.3.3 Tensão de Limiar V_{th} 124
4.1.3.4 Simulações das perdas com o efeito da temperatura 125
4.2 Perdas nos Diodos de Potência 127
4.3 Eficiência do conversor BGIC 129
4.3.1 Perdas nos semicondutores do primeiro estágio 129
4.3.2 Perdas nos semicondutores do segundo estágio 132
4.4 Perdas nos Indutores do conversor BGIC 133
4.4.1 Perdas nos indutores do primeiro estágio 135
4.4.2 Perdas nos indutores do segundo estágio 136
4.5 Eficiência global do conversor BGIC 137
4.6 Conclusões do capítulo 138
5 Arquitetura da Nanorede c.c. e Estudos de Caso 140
5.1 Controle da nanorrede 141

5.2 Estudos de Casos 145
5.2.1 Salto de Frequência 146
5.2.2 Afundamento de Tensão 147
5.2.3 Reconexão com a rede elétrica 149
5.2.4 Variação de carga 150
5.2.5 Variação de geração 153
5.3 Conclusões do capítulo 155
6 Conclusões Gerais e Propostas de Continuidade 156
6.1 Propostas de continudade 159
Referências bibliográficas 161
Anexos 169

Lista de Figuras

Figura 1.1 Estrutura simplificada de uma microrrede. 19
Figura 1.2 Estrutura simplificada de uma nanorrede c.c. residencial. 20
Figura 2.1 Conversor BGIC de dois estágios. 27
Figura 2.2 Topologias de conversores c.c.-c.a. bidirecionais que podem ser utilizados no primeiro estágio do conversor BGIC. 28
Figura 2.3 Conversor Dual Active Bridge (DAB). 30
Figura 2.4 Topologia Full Bridge como um conversor c.c.- c.c. 30
Figura 2.5 Topologia retificador síncrona proposta em [40]. 31
Figura 2.6 Topologia NPC ponte completa conectada ao barramento principal da nanorrede através de um filtro LC. 32
Figura 2.7 Modulação unipolar para controle do conversor NPC ponte completa no modo inversor. 32
Figura 2.8 Modulação unipolar para comando das chaves da topologia NPC ponte completa para sintetizar uma corrente contínua na saída do conversor. 33
Figura 2.9 Simplificação do conversor NPC ponte completa para o SNPC. 33
Figura 3.1 Conversor BGIC de dois estágios 36
Figura 3.2 Ripple de tensão do barramento intermediário V_{cc} em função do banco capacitivo para diferentes valores de tensãoV_B. P_{nom} = 2kW. 38
Figura 3.3 Filtro LCL. 40
Figura 3.4 Ondulação Δy. 42
Figura 3.5 Diagrama de Blocos do filtro LCL. 43
Figura 3.6 Taxa de distorção harmônica do filtro LCL em função da indutância L_{ca2}. 45
Figura 3.7 Frequência de ressonância do filtro LCL em função da indutância L_{ca2}. 45
Figura 3.8 Corrente na saída do indutor i_{Lca1} em $\omega_o t = 90^o$. 46
Figura 3.9 Diagrama do filtro LCL com resistência de amortecimento r_{ca}. 47
Figura 3.10 Resposta em frequência da função de transferência entre i_1 / v_g. 48
Figura 3.11 Resposta em frequência da função de transferência entre i_1 / i_2. 48
Figura 3.12 Modulador PWM utilizado no primeiro estágio. 49
Figura 3.13 Etapas de comutação das chaves do conversor NPC. 50
Figura 3.14 Estado das chaves e tensão de saída do conversor SNPC para as etapas de comutação da Figura 3.13. 51
Figura 3.15 Circuito equivalente do inversor NPC no modo retificador. 52

Figura 3.16 Corrente de entrada no conversor NPC durante um semiperíodo..... 55
Figura 3.17 Diagrama de controle do inversor NPC. 56
Figura 3.18 Diagrama de controle da malha de tensão do inversor NPC. 57
Figura 3.19 Margem de Fase da malha de tensão do inversor NPC em função de $k_{pv\text{-}NPC}$. 58
Figura 3.20 Margem de Ganho de (3.47) em função de $k_{pv\text{-}NPC}$. 59
Figura 3.21 Lugar das raízes malha de controle da tensão do inversor NPC representado por (3.47). 59
Figura 3.22 Erro percentual para um degrau de 100V na malha de controle de tensão do conversor SNPC para $k_{pv\text{-}NPC}$ =1, $k_{pv\text{-}NPC}$ =3, $k_{pv\text{-}NPC}$ =5 e $k_{pv\text{-}NPC}$ =7..... 60
Figura 3.23 Resposta em frequência do sistema em malha aberta sem controle (vermelho) e com controle (preto) para $k_{pv\text{-}NPC}$ = 7 e T_v = 0.01. 60
Figura 3.24 Malha de controle de corrente de saída do inversor NPC. 61
Figura 3.25 Margem de fase da malha de corrente do inversor NPC em função de $k_{pi\text{-}NPC}$..... 62
Figura 3.26 Lugar das raízes malha de controle da corrente do inversor NPC representado por (3.49) para $0 < k_{pi\text{-}NPC} < 1$. 62
Figura 3.27 Erro percentual para um degrau de 3A na malha de corrente do inversor NPC para diferentes valores de k_{pr}. 63
Figura 3.28 Erro percentual para um degrau de 3A na amplitude da senoide na malha de corrente do inversor NPC para uma entrada senoidal para diferentes valores de $k_{pi\text{-}NPC}$. 63
Figura 3.29 Resposta em frequência da malha aberta de corrente com e sem controlador..... 64
Figura 3.30 Resposta em frequência de malha aberta da tensão e corrente do inversor NPC com seus respectivos controladores. 64
Figura 3.31 V_{cc} para um degrau de potência de 1kW para 2kW. 66
Figura 3.32 I_{Lca1} para um degrau de potência de 1kW para 2kW. 66
Figura 3.33 Corrente I_{Lca1} sem o filtro de atenuação de 120Hz da malha de tensão. 67
Figura 3.34 Filtro LC utilizado na saída do segundo estágio do conversor BGIC. 68
Figura 3.35 Corrente no Indutor do filtro LC. 69
Figura 3.36 Corrente no Indutor e no Capacitor do filtro LC. 70
Figura 3.37 Modulador PWM utilizado no segundo estágio. 73
Figura 3.38 Etapas de comutação das chaves do conversor SNPC. 74
Figura 3.39 Estado das chaves e tensão de saída do conversor SNPC para as etapas de comutação da Figura 3.38 75
Figura 3.40 Simplificação do circuito do conversor SNPC. 77
Figura 3.41 Diagrama de controle do conversor SNPC. 78

Figura 3.42 Margem de Fase para o controlador de tensão do conversor SNPC em função de $k_{pv\text{-}SNPC}$. 80
Figura 3.43 Lugar das raízes malha de controle da tensão do conversor SNPC representado por (3.74). 80
Figura 3.44 Erro percentual para um degrau de 100V na malha de controle de tensão do conversor SNPC para $k_{pv\text{-}SNPC}$ = 0,2, $k_{pv\text{-}SNPC}$ = 0,5, $k_{pv\text{-}SNPC}$ = 0,9, $k_{pv\text{-}SNPC}$ = 1,5 e $k_{pv\text{-}SNPC}$ = 2. 81
Figura 3.45 Resposta em frequência do sistema em malha aberta de tensão do conversor SNPC sem controle (vermelho) e com controle (preto) para $k_{pv\text{-}SNPC}$ =0,9 e Tv = 0,001. 81
Figura 3.46 Margem de Fase para o controlador de corrente do conversor SNPC em função de $k_{pi\text{-}SNPC}$. 82
Figura 3.47 Lugar das raízes malha de controle da corrente do conversor SNPC representado por (3.77). 83
Figura 3.48 Erro percentual para um degrau de 10A na malha de corrente do conversor SNPC para $k_{pi\text{-}SNPC}$ = 0,1, $k_{pi\text{-}SNPC}$ = 0,5, $k_{pi\text{-}SNPC}$ = 1 e $k_{pi\text{-}SNPC}$ = 2. 83
Figura 3.49 Resposta em frequência do sistema em malha aberta de corrente do conversor SNPC sem controle (vermelho) e com controle (preto) para $k_{pi\text{-}SNPC}$ = 1 e T_i = 0.0005. 84
Figura 3.50 Resposta em frequência de malha aberta da tensão e corrente do conversor SNPC com seus respectivos controladores. 85
Figura 3.51 Corrente i_{Lcc} para uma variação de 1kW para 2kW em t = 50ms. 86
Figura 3.52 Tensão V_B para uma variação de 1kW para 2kW em t = 50ms. 86
Figura 3.53 Diagrama geral do controle do conversor BGIC. 88
Figura 3.54 Diagrama da Park PLL baseada em SRF 89
Figura 3.55 Resposta da Park PLL para um afundamento para 80% em t=0,4s do sinal de entrada. 91
Figura 3.56 Resposta da Park PLL para um salto de fase de 30° em t=0,4s no sinal de entrada. 91
Figura 3.57 Resposta da Park PLL inserção de 15 % de terceiro harmônico sobre a fundamental em t=0,4s. 92
Figura 3.58 Rotina de monitoramento no ponto de conexão entre o conversor BGIC e a rede elétrica. 94
Figura 3.59 Dinâmica do conversor BGIC para um afundamento de tensão da rede elétrica para 50% do valor nominal sem o monitoramento da tensão do barramento intermediário. 96

Figura 3.60 Dinâmica do conversor BGIC para um afundamento de tensão da rede elétrica para 50% do valor nominal com o monitoramento da tensão do barramento intermediário. 97
Figura 3.61 Tensão de modo comum do conversor BGIC em relação ao barramento negativo da nanorrede. 99
Figura 3.62 Conversor BGIC com filtro simétrico no segundo estágio. 100
Figura 3.63 Tensão de modo comum do conversor BGIC em relação ao barramento negativo da nanorrede, com filtro simétrico no segundo estágio. 101
Figura 3.64 Etapas de comutação das chaves do conversor SNPC com duas portadoras triangulares defasadas em 180º. 102
Figura 3.65 Tensão de modo comum do conversor BGIC modificado em relação ao barramento negativo da nanorrede, com filtro simétrico no segundo estágio. 103
Figura 4.1 Caracteristica típica de saída do IGBT SK25GH12T4. 108
Figura 4.2 Energias associadas ao chaveamento do IGBT SK25GH12T4. 109
Figura 4.3 Formas de onda de corrente e tesão no MOSFET que descrevem as dinâmicas de ligamento e desligamento para o cálculo das respectivas energias. 112
Figura 4.4 Formas de onda durante o ligamento do MOSFET. 115
Figura 4.5 Formas de onda durante o desligamento do MOSFET. 117
Figura 4.6 a) Perdas totais b) Perdas por condução c) Perdas por chaveamento com e d) sem dados do Método da Infineon. 120
Figura 4.7 $R_{DS(on)}$ para I_{DS} = 40A em função da temperatura – MOSFET IPW60R045CP. .. 122
Figura 4.8 I_{DS} x V_{DS} para 25°C, 50°C e 150°C – MOSFET IPW60R045CP. 123
Figura 4.9 Representação de gm a partir da inclinação da curva I_{DS} x V_{GS} do IPW60R045CP. 123
Figura 4.10 Perdas (a) Totais (b) Chaveamento e (c) Condução a 25°C, 75°C e 150°C. 126
Figura 4.11 Dinâmica que representa a carga associada às perdas devido a recuperação reversa do diodo de potência. 127
Figura 4.12 Perdas totais para os conversores (a) Full Bridge e NPC e (b) NPC com IGBT e MOSFET. 130
Figura 4.13 Perdas por chaveamento para os conversores a) Full Bridge e NPC e b) NPC com IGBT e MOSFET. 131
Figura 4.14 Perdas por condução para os conversores a) Full Bridge e NPC e b) NPC com IGBT e MOSFET. 131
Figura 4.15 (a) Perdas totais, (b) Perdas percentuais, (c) Perdas por condução e (d) Perdas por chaveamento para o segundo estágio em função da carga da nanorrede. 132

Figura 4.16 Perdas nos indutores do primeiro estágio – (a) Perdas totais (b) Perdas relativas (%) (c) perdas nos núcleos e (d) aumento de temperatura. 136
Figura 5.1 Topologia de nanorrede composta pelo conversor BGIC, pela carga da nanorrede, por um sistema de armazenamento e um arranjo fotovoltaico. 140
Figura 5.2 Curvas estaticas DBS dos conversores conectados a nanorrede. 143
Figura 5.3 Salto de frequência de 60 Hz para 58.8 Hz em t=0,3 s. 146
Figura 5.4 Afundamento de tensão para 0,8pu em t=0,3s. 147
Figura 5.5 Afundamento de tensão de 50% em t=0,3s. 148
Figura 5.6 Conexão da nanorede com a rede elétrica em t=0,3s. 149
Figura 5.7 Variação de carga de 100% para 20% t=0.3s. 150
Figura 5.8 Variação de carga de 100% para 50% t=0.3s. 151
Figura 5.9 Variação de carga de 100% para 120% t=0.3s. 152
Figura 5.10 Variação de carga de 100% para 150% t=0.3s. 153
Figura 5.11 Variação da radiação incidente no sistema fotovoltaico de 800 W/m^2 para 1000 W/m^2 em t=0.4s e de 1000 W/m^2 para 400 W/m^2 em t=0.6s. 154

Lista de Tabelas

Tabela 3.1 Valores utilizados para cálculo de C_{ca} e L_{ca} 45
Tabela 3.2 Valores utilizados para dimensionamento do sistema de controle do conversor NPC. 57
Tabela 3.3 Dados das malhas de controle de corrente e tensão para o primário do conversor BGIC. 65
Tabela 3.4 Condições para cálculo da Indutância e Capacitância do filtro LC..... 73
Tabela 3.5 Valores utilizados para dimensionamento do sistema de controle do secundario do conversor BGIC..... 79
Tabela 3.6 Dados das malhas de controle de corrente e tensão para o secundario do conversor BGIC. 85
Tabela 3.7 Limite de tempo para desconexão com a rede elétrica frente a sub/sobretensão. .. 93
Tabela 3.8 Limite de tempo para desconexão com a rede elétrica frente a variação de frequência no ponto de conexão..... 93
Tabela 3.9 Atenuação das componentes da tensão de modo comum gerada pelo conversor BGIC em relação ao conversor sem alterações 104
Tabela 4.1 Equações para cálculo dos intervalos de tempo requeridos pela Equação 4.9. 116
Tabela 4.2 Equações para cálculo dos intervalos de tempo requeridos pela Equação 4.10. .. 118
Tabela 4.3 Parâmetros do conversor Buck utilizado para avaliação das técnicas descritas em nas seções 3.1.2.1 e 3.1.2.2. 119
Tabela 4.4 Semicondutores utilizados para cada conversor. 130
Tabela 4.5 Parâmetros construtivos dos indutores dos filtros do primeiro e segundo estágio. 134
Tabela 4.6 Perdas para o indutor do segundo estágio em função da carga da nanorrede. 137
Tabela 4.7 Eficiência global do conversor BGIC para as diferentes topologias nos dois estágios. 137
Tabela 5.1 Características do arranjo fotovoltaico. 141
Tabela 5.2 Parâmetros para cálculo de Rdroop. 144

Nomeclatura

ANEEL	Agência Nacional de Energia Elétrica
aNPC	*Active Neutral Point Clamped*
BGIC	*Bidirectional Grid Interface Converter*
c.a.	Corrente alternada
c.c.	Corrente continua
C.I.	Conversor de Interface
cNPC	*Conergy Neutral Point Clamped*
DAB	*Dual Active Bridge*
DBS	*Dc Bus Signaling*
ESS	*Energy Storage System*
FB	*Full Bridge*
FC	*Flying Capacitor*
GEP	Grupo de Eletrônica de Potência
HB	*Half Bridge*
IEEE	*Institute of Electrical and Electronics Engineers*
IGBT	*Transistor bipolar de porta isolada*
MOSFET	*Metal Oxide Semiconductor Field Effect Transistor*
MPPT	*Maximum Power Point Tracking*
NPC	*Neutral Point Clamped*
PCC	Ponto comum de conexão
PCH	Pequenas Centrais Hidrelétricas
PI	Controlador Proporcional Integral
PIR	Controlador Proporcional Integral Ressonante
PLL	*Phase Locked Loop*
PRODIST	Procedimentos de Distruibuição
PWM	*Pulse Width Modulation*
RRC	*Renewable Resource Converter*
SNPC	*Simplified Neutral Point Clamped*
TDD	*Total Demand Distortion*
THDi	Taxa de distorção harmônica de corrente
VSC	*Voltage Soure Converter*

Capítulo 1

Introdução

1.1 Contextualização e Motivação

A expansão do consumo de energia caminha conforme o desenvolvimento econômico e o nível da qualidade de vida da sociedade, que se reflete nos setores industrial, comercial e de serviços. Estima-se que o consumo de eletricidade mundial crescerá 93% entre os anos de 2010 e 2040 [1]. Esse aumento é acompanhado pelas discussões sobre o esgotamento dos recursos utilizados para produção da energia, os impactos ambientais e os elevados investimentos para aumento da geração e das infraestruturas de transmissão e distribuição.

Com 67% da oferta de energia mundial baseada em fontes não renováveis [1], sendo o carvão o principal insumo, há uma orientação para o aumento da participação de fontes de energias renováveis na matriz global para acompanhar a agenda do desenvolvimento sustentável e ambientalmente responsável. A matriz energética do Brasil em 2014 era essencialmente firmada em hidroeletricidade com 65% e apenas 15% era atribuída às fontes renováveis [2]. A dependência sobre a energia proveniente das usinas hidrelétricas caracteriza uma vulnerabilidade energética do país e impacta na operação do sistema elétrico e nos custos das tarifas que estão associados à disponibilidade dos recursos hídricos. A insuficiência desses recursos no triênio 2013-2015 acarretou no aumento do preço médio do megawatt-hora (MWh) de R$ 147,00 em 2012 para R$ 182,00 em 2014 (aumento de 23,8%), valor superior à inflação de 11% no período [3]. A necessidade de diversificação da matriz energética brasileira já é verificada através das previsões de expansão da capacidade de fontes renováveis, como usinas solares, eólicas e Pequenas Centrais Hidrelétricas (PCH) a uma taxa média anual de 10%. Estima-se que as usinas eólicas alcançarão 24 GW, enquanto as usinas solares 7GW, ambos no final de 2024[2].

O arquétipo atual do sistema elétrico é baseado no fluxo unidirecional de potência através de longas linhas de transmissão que conectam grandes geradores às redes de distribuição, que por sua vez entregam a energia aos consumidores. Esse modelo além de apresentar muitas perdas associadas à transmissão e distribuição, é altamente vulnerável a desequilíbrios devido às falhas causadas pela queda de um gerador ou de uma linha de

transmissão [4]. Somado a isso, problemas como flutuação de tensão e congestionamento das linhas podem ocorrer devido à incompatibilidade entre as dinâmicas do sistema com fontes renováveis de energia [5,6], como eólica e solar. Nesse contexto, discute-se um novo modelo que permita a adequação e utilização de novas tecnologias que aumentem a eficiência, melhorem os mecanismos de controle e permitam a participação ativa do consumidor na operação do sistema. Esse novo modelo é chamado de redes inteligentes de energia ou *Smart Grids* [7], e se caracteriza pela bidirecionalidade do fluxo de energia através da descentralização dos sistemas de geração e controle. Dentre as vantagens dessa nova filosofia destacam-se o aumento na eficiência dos sistemas elétricos, maior qualidade da energia nos diversos níveis de tensão, viabilização de mercados competitivos de energia, e o aumento da penetração das energias renováveis através da geração distribuída [8, 9].

A inserção massiva de fontes de geração distribuída no sistema elétrico pode causar problemas como mencionado acima, e mesmo com a utilização de medidores inteligentes e técnicas robustas de controle, as intermitências dos sistemas de geração podem ser percebidas na rede elétrica [10], já que esses possuem uma dinâmica mais rápida que a tomada de decisão dos sistemas de controle responsáveis pela interface das fontes de geração com a rede elétrica. Nessa conjuntura, o conceito de microrredes (*microgrids*) [4, 10] surge como solução a esse obstáculo e compreende pequenos sistemas elétricos independentes compostos pelas fontes de geração distribuída instalada na faixa de 10 a 100 kW [10, 11], cargas locais e sistemas de armazenamento. Em casos em que a potência instalada das fontes de geração é inferior a 25kW, pode-se também utilizar o termo nanorrede, ou nanogrid [12, 13]. No Brasil, a microgeração distribuída (potência instalada igual ou inferior a 75kW) e a minigeração distribuída (potência entre 75kW e 5MW) são regulamentadas pela Agência Nacional de Energia Elétrica (ANEEL) através da Resolução Normativa nº 482 de 2012, atualizada pela Resolução Normativa nº 697 de 2015.

As microrredes podem ser conectadas à rede elétrica, através do ponto comum de conexão (PCC) por meio de dispositivos controlados por rotinas capazes de detectarem falhas tanto na microrrede como na rede elétrica, e gerenciar o fluxo de energia excedente desenvolvida pela geração local. A Figura 1.1 apresenta uma estrutura simplificada de uma microrrede e seus elementos, como o sistema de armazenamento, as cargas locais, a rede elétrica e os elementos de geração locais.

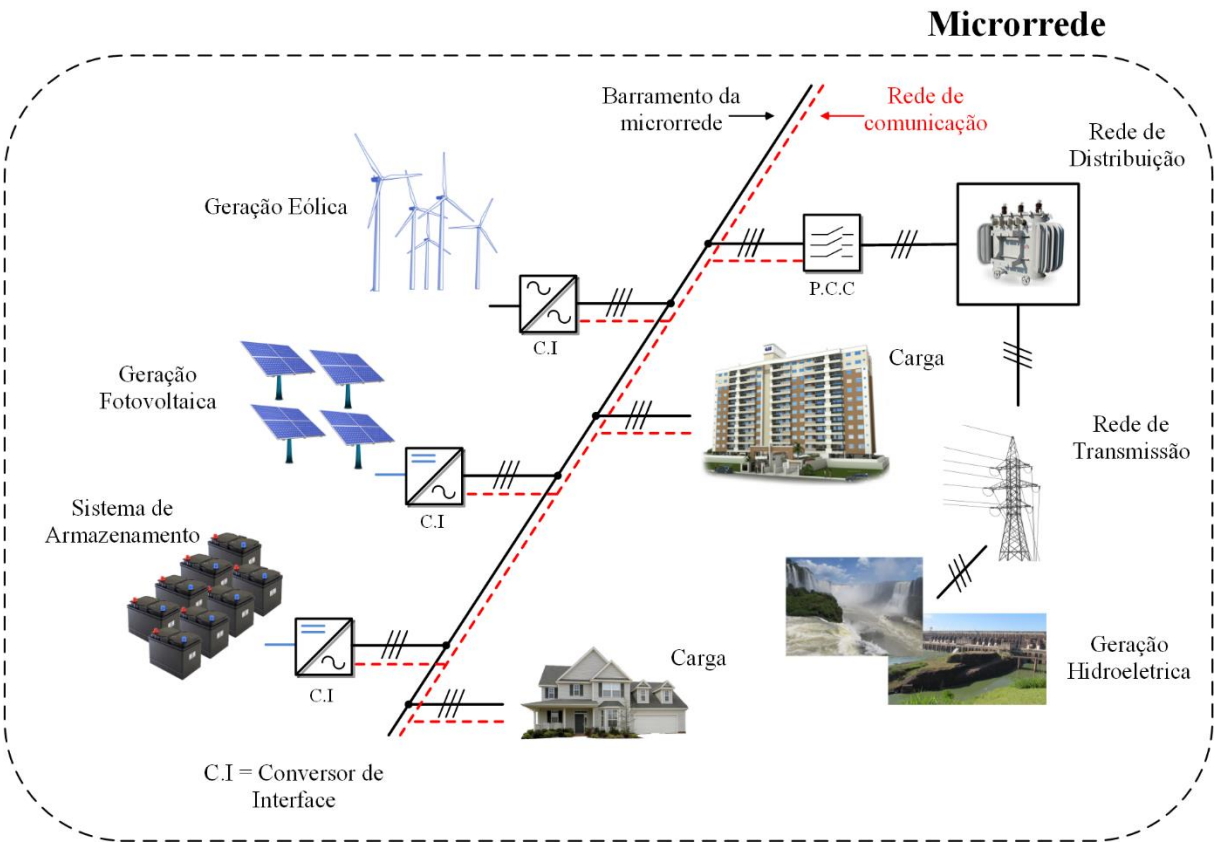


Figura 1.1 Estrutura simplificada de uma microrrede.

O foco principal das políticas de implementação de geração distribuída são os setores comercial e residencial, que representam em torno de 40% a 50% do consumo de energia no mundo [1 ,2], e os ganhos relacionados à eficiência e qualidade de energia teriam impacto direto em todo sistema elétrico. Dessa forma, o desenvolvimento de microrredes nesses ambientes se torna uma alternativa promissora para a diversificação da matriz energética com a inserção de fontes de energia renováveis. Nesse cenário, a interligação entre o sistema elétrico e a microrrede/nanorrede pode ser realizada através de conversores estáticos, que possuem a capacidade de desconexão entre ambos os sistemas permitindo que a microrrede opere de forma ilhada, sem que haja um compromisso, para que os níveis de tensões entre ambos os sistemas sejam iguais. A partir da utilização de conversores estáticos para conexão entre o sistema elétrico e a microrrede, já se estuda a possiblidade de emprego da distribuição em corrente contínua (c.c) no lado da microrrede com a expectativa de aumento da eficiência em relação a um sistema em corrente alternada (c.a.), e também devido à simplificação da estrutura de distribuição em corrente contínua [14, 15, 16].

O esquemático apresentado na Figura 1.2 apresenta um exemplo simplificado de uma nanorrede residencial em corrente contínua em que a interface com a rede de distribuição é feita através de um conversor c.c.-c.a. bidirecional.

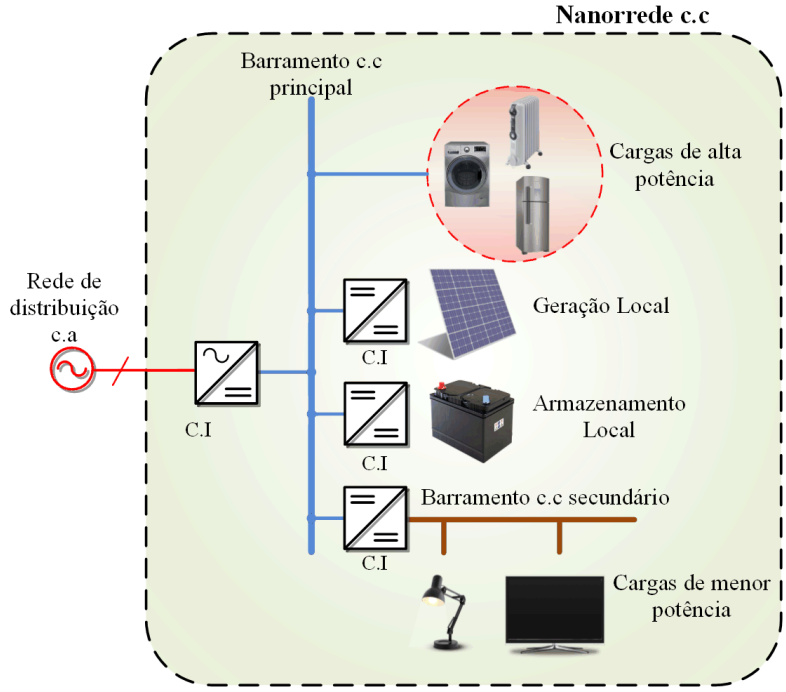


Figura 1.2 Estrutura simplificada de uma nanorrede c.c. residencial.

Em um sistema c.c. há a possiblidade de eliminar o estágio retificador e os estágios de correção do fator de potência de dispositivos eletrônicos (rádios, televisores, micro-ondas, computadores, câmeras e etc), que correspondem a cerca de 40% do consumo residencial [17]. Além disso, não é necessário o estágio inversor nos conversores utilizados para conectar os sistemas de geração fotovoltaica e de armazenado de energia ao barramento da nanorrede. A redução de estágios redundantes de conversão de energia cria uma expectativa de aumento da eficiência energética de instalações residenciais e comerciais. Não existe, entretanto, um consenso na literatura atual acerca da dimensão destes ganhos, de modo que estudos relatam reduções de perdas entre 2% e 15% para ambientes residenciais [16, 18] chegando até 38%, no caso de datacenters [19]. No entanto, mais estudos experimentais são necessários para que o ganho energético de uma instalação c.c. seja quantificado. Em [20], mostra-se experimentalmente que a compatibilização de equipamentos domésticos (retorfit) para o padrão c.c. tem a capacidade de reduzir o consumo destes entre 20% e 50%, dependendo do tipo de equipamento, o que também advoga em favor da adoção de sistemas de distribuição em corrente contínua em instalações residenciais e comerciais.

No que se refere aos níveis de tensão contínua utilizados em microrredes, existe uma tendência entre os institutos e consórcios ao redor do mundo na utilização de dois barramentos distintos em ambientes comerciais. Um barramento secundário com 24V ou 48V em ambientes ocupados, para conexão de cargas leves como luminárias e telefones, sendo este derivado de um barramento principal de 380V localizado nos *datacenters* [19, 21]. Entretanto, são encontrados trabalhos com implementação de barramentos principais com tensões que vão de 120V a 400V, sendo que estruturas com tensão entre 300V-400V tem apresentado melhores resultados referentes à eficiência das instalações [18 ,22].

No que se refere à segurança nas instalações elétricas, o barramento secundário de 24V/48V é considerado, conforme NBR5410, como um sistema de extra baixa tensão (tensão do barramento inferior a 60V). Nesse caso, estabelece-se que a distribuição de energia pode ser feita através de condutores ou barramentos nus, deve-se operar no modo não aterrado, e os dispositivos de proteção contra faltas e correntes diferenciais podem ser incorporados no próprio conversor de interface. Conforme a mesma norma, os condutores desse barramento podem estar localizados em ambientes secos ou húmidos (limite de tensão restringido a 30V). Essas considerações se baseiam no fato de que esses níveis de tensão não são capazes de desenvolver uma corrente suficiente para induzir efeitos fisiológicos danosos no corpo humano. Por outro lado, a norma não exprime nenhuma exigência quanto ao aterramento do sistema para níveis de tensão acima de 300V, como pode ser o caso do barramento principal da microrrede, e também não torna obrigatório a utilização de um transformador isolador para sistemas com potências inferiores a 100kW, conforme a ANEEL [23]. Para sistemas não isolados, apesar da redução dos custos do sistema, deve-se atentar para a circulação de correntes de modo comum entre a instalação c.c. e c.a. através dos caminhos produzidos pela falta de isolamento. Isso sugere que o aterramento do lado c.c., se realizado, deve ser feito por impedância e jamais diretamente ao solo. Ao que tange aos dispositivos de proteção do barramento principal, disjuntores magnéticos podem ser utilizados tanto no lado c.c. quanto no lado c.a. da instalação para promover a proteção contra sobrecarga ou falta, apesar de os algoritmos de controle do conversor de interface realizarem essas funções mais rapidamente [24]. Já as proteções residuais e diferenciais podem ser aplicadas apenas no lado c.a. da instalação, uma vez que não existem dispositivos específicos para exercer essas funções em corrente contínua.

Essa dissertação de mestrado se limita ao estudo e ao projeto de um conversor c.c.-c.a. bidirecional em potência para conexão de uma nanorrede c.c. (2kW) com a rede de distribuição c.a. da concessionária de energia, conforme apresentado na Figura 1.2. Esse conversor é capaz de isolar a nanorrede frente a distúrbios na rede elétrica e reconectar-se após o restabelecimento

da rede, além de trabalhar em qualquer demanda do fator de potência da rede elétrica e ajustar-se conforme solicitação da concessionária para comercialização de energia. O projeto se ocupa da regulação da tensão c.c. do barramento principal da nanorrede e da injeção/absorção de potência da rede c.a., respeitando os limites estabelecidos por norma quanto à taxa de distorção harmônica e fator de potência. As camadas de comunicação e controle da concessionária não são abordadas nesse trabalho.

1.2 Objetivos

O Grupo de Eletrônica de Potência da UFMG (GEP) desenvolve, em uma das suas linhas de pesquisa, estudos acerca do tema de nanorrede. Trabalhos sobre estrutura da nanorrede e conversores aplicados ao tema são as principais linhas de investigação investigadas e resultaram em uma tese de doutorado e em três dissertações de metrado nos últimos anos. Nesse contexto, o trabalho de dissertação aqui apresentado buscou continuar os estudos sobre uma topologia de conversor bidirecional c.c.-c.a. para conexão da rede elétrica ao barramento principal da nanorrede, já apresentada por um dos integrantes do GEP. Assim sendo, o objetivo geral dessa dissertação foi considerado como: modelagem, projeto e estudo da eficiência de um conversor bidirecional c.c.-c.a.

Os objetivos específicos do trabalho são os listados abaixo:

- Realizar estudos de topologias de conversores bidirecionais c.c.-c.a.;
- Propor um sistema de controle simplificado para o conversor já proposto pelo grupo, que produza uma forma de corrente senoidal na rede elétrica com baixa distorção harmônica e elevado fator de potência, e também regule a tensão no barramento c.c. da nanorrede com pequena ondulação;
- Realizar o estudo e a implementação de um algoriítmo para proteção do conversor frente a distúrbios da rede elétrica e da nanorrede em si;
- Verificar a eficiência de diferentes topologias de conversores c.c.-c.a. aplicadas e nanorredes c.c. pelo GEP, incluindo a possiblidade de utilização de diferentes estágios de conversão e tecnologias de semicondutores;
- Avaliar o desempenho do conversor projetado e do sistema de controle através de simulações do conversor inserido em um ambiente de uma nanorrede completa,

composta por uma carga de 2kW, um sistema de armazenamento e um sistema de geração fotovoltaica, e a conexão com a rede c.a.

1.3 Estrutura do Texto

Além da introdução apresentada no presente capítulo, contendo a contextualização sobre microrredes e topologias de conversores aplicados na conexão da rede elétrica c.a. e o barramento da micrrorrede, o trabalho é composto por mais cinco capítulos.

O Capítulo 2 apresenta uma revisão bibliográfica sobre de topologias de conversores c.c.-c.a. que podem ser utilizadas para a conexão do barramento principal de uma nanorrede c.c. com a rede c.a. da concessionária de energia. Em seguida, o Capítulo 3 discute os critérios para conexão da nanorrede c.c. à rede elétrica c.a. e apresenta o projeto do conversor BGIC. Nesse capítulo é feita a modelagem do conversor e a especificação do sistema de controle, além de discutir a estrutura de sincronização com a rede elétrica e métodos para monitoramento do ponto de conexão e proteção contra distúrbios na rede elétrica. Para avaliar o desempenho do conversor e a modelagem considerada, foram utilizadas simulações nos softwares PSIM e Matlab.

No Capítulo 4 é feito um estudo da eficiência de diferentes topologias empregadas em conversores de interface entre a rede elétrica e o barramento da nanorrede, em que são consideradas as perdas nos semicondutores e nos filtros. Com o intuito de avaliar a possiblidade de implementação do conversor com MOSFETs Si, disponíveis no laboratório, é realizado um estudo sobre métodos para levantamento de perdas por chaveamento nesses componentes através dos parâmetros fornecidos na folha de dados dos dispositivos. Os resultados foram avaliados conforme simulações nos softwares Matlab, PSIM e PSpice.

O Capítulo 5 avalia o desempenho do conversor BGIC dimensionado no Capítulo 2 inserido numa nanorrede com carga de 2kW, um sistema de armazenamento de energia e uma fonte de geração fotovoltaica. A dinâmica do conversor estudado é verificada para diferentes situações como: variação de carga, variação da radiação incidente no arranjo fotovoltaico, e distúrbios na rede elétrica.

Por fim, no Capítulo 6 são apresentadas as conclusões finais e as propostas para continuidade de pesquisas sobre o tema abordado.

Capítulo 2

Estado da arte sobre conversores aplicados a microrredes

Este capítulo apresenta uma revisão acerca das topologias de conversores c.c.-c.a. monofásicos bidirecionais para realizar a interface do barramento c.c. de uma nanorrede (2kW) à rede elétrica monofásica da distribuidora de energia. Esse conversor será referenciado ao longo do trabalho como conversor BGIC (*Bidirecional Grid Interface Converter*), nomenclatura normalmente utilizada em trabalhos sobre o tema. Os critérios considerados para a seleção dos conversores foram levantados a partir dos Procedimentos de Distribuição elaborados pela ANEEL, do padrão IEEE1547 e do estado da arte de conexão de centrais de geração distribuída à rede elétrica, e serão apresentados na primeira seção desse capítulo.

2.1 Critérios para o projeto do conversor

A nanorrede de 2kW considerada para o projeto do conversor se classifica como microgeração distribuída conforme Resolução Normativa n° 482 de 2012 da ANEEL. Os Procedimentos de Distribuição (PRODIST) elaborados por essa agência apresentam os requisitos técnicos e burocráticos para o acesso dessa nova topologia de geração ao sistema de distribuição da concessionária de energia. Nessa classificação, a central geradora de energia elétrica deve possuir potência instalada menor ou igual a 75kW, e utilizar fontes com base em energia hidráulica, solar; eólica; biomassa ou cogeração qualificada conectada na rede de distribuição por meio de instalações de unidades consumidoras.

Conforme o PRODIST, a conexão entre o sistema de geração e a rede elétrica deve ocorrer em um ponto de conexão único. Mas a interface entre ambos os sistemas, bem como os critérios de operação e proteção, devem ser definidos pelo responsável do sistema de geração e pela concessionária de energia, devendo ser descritos em um acordo operativo. Comumente os critérios do padrão IEEE 1547 são utilizados para complementar o PRODIST, principalmente por se tratar de critérios quantitativos a serem atendidos.

Para uma potência instalada menor que 10kW, o acesso ao sistema de distribuição pode ser feito de forma monofásica, bifásica ou trifásica com níveis de tensão de 127V / 220V de acordo com o PRODIST. Para o nível de potência em questão também não se faz necessário o uso de transformador de isolamento no ponto de conexão comum como apresentado em [23], o

que pode acarretar em uma maior eficiência e rendimento para conversores até 10kW [25]. No que tange à proteção do ponto de conexão contra anomalias tanto do lado c.a. quanto c.c., os documentos analisados permitem que o próprio conversor de conexão desempenhe essa função sem a necessidade de elementos externos. Com base no padrão IEEE 1547, no PRODIST e no estado da arte sobre microrredes apresentado no Capítulo 1, listam-se os critérios para o projeto do BGIC:

1) Conexão monofásica em 127 V_{rms} em consonância com os trabalhos realizados no Grupo de Eletrônica de Potência da UFMG. Tensão do barramento principal de 380V_{cc}, devido à tendência de padronização em consórcios empresariais e companhias de telecomunicações, como a Emerge Alliance [20], com o desenvolvimento de produtos para esse nível de tensão;

2) A distribuição do lado do barramento c.c. da nanorrede deve ser feito em esquema unipolar (a dois fios) por questões de simplificação da operação do conversor e por eliminar a necessidade de monitoramento do equilíbrio de tensão dos capacitores do barramento, e do balanceamento da corrente de carga, que devem ser feitos para o modo bipolar;

3) A corrente injetada pelo conversor BGIC à rede de distribuição é limitada a um valor superior a 20% do seu valor nominal para a potência de 2kW, a fim de não elevar o nível de curto circuito do ponto de conexão;

4) O conversor não deve controlar ativamente a tensão do ponto de conexão e dessa forma atuar apenas como fonte de potência ativa;

5) O conversor deve promover fator de potência superior a 0,92 no ponto de conexão com a rede;

6) A conexão com o sistema de distribuição pode ser realizada apenas após o sincronismo com a frequência da rede e quando o sistema estiver completamente restaurado, em caso de anomalias;

7) A corrente injetada pelo conversor no ponto de conexão com a rede deve atender aos critérios de distorção harmônica e corrente contínua descritos no IEEE 1547;

8) A partir dos critérios descritos pela IEEE 1547, o conversor deve ser munido de proteções contra faltas na rede elétrica, anomalias de tensão e frequência, falhas de sincronismo e ilhamento do sistema de distribuição, seguindo os critérios de detecção e desconexão;

9) O conversor deve isolar o barramento c.c. da nanorrede frente a distúrbios ocorridos no ponto de conexão com a rede;

10) O conversor deve impedir que falhas no lado c.c. se propaguem para o lado c.a. e vice-versa;

11) O conversor faz uso da técnica de *DC bus signaling* (DBS), utilizada em outros trabalhos relacionados ao tema [13, 26, 27], no qual a variação de tensão do barramento principal da nanorrede determina o ponto de operação do sistema. Dessa forma o barramento principal é utilizado como um elo de comunicação entre os conversores conectados neste.

2.2 Topologia do conversor BGIC

Existe uma tendência nos trabalhos sobre microrredes/nanorredes c.c. em geral na utilização de conversores com dois estágios, ao invés de com um único [28, 29, 30]. A realização desse tipo de conversor com um único estágio é possível com topologias multiníveis e garante uma maior eficiência do conversor [29, 31]. Por outro lado, para atender aos critérios de *ripple* de tensão, deve-se empregar grandes bancos capacitivos.

A inserção do segundo estágio permite o aumento da densidade de potência do conversor com a diminuição do banco capacitivo, apresenta melhor resposta para atender às dinâmicas impostas pela rede elétrica e poder ser utilizado como proteção contra curto circuito no lado c.c. Dessa forma, será considerado um conversor c.c.-c.a. de dois estágios como apresentado na Figura 2.1, o primeiro composto por um conversor c.c-c.a. e o segundo por uma topologia c.c.-c.c., e a conexão entre os conversores é feita a partir de um barramento c.c. intermediário. Para as figuras ao longo desse capítulo deve-se considerar V_+ e V_- como os pólos do barramento intermediário, ao passo que V'_+ e V'_- representam os pólos do barramento principal da nanorrede com tensão V_B.

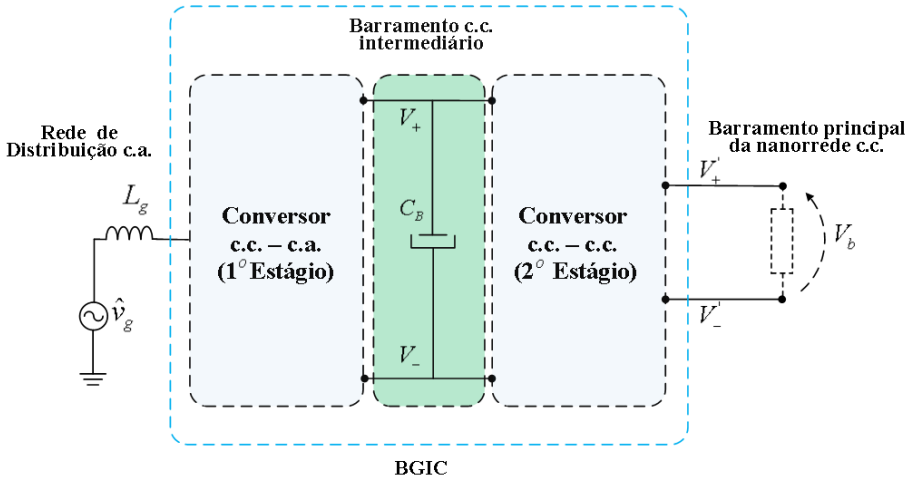


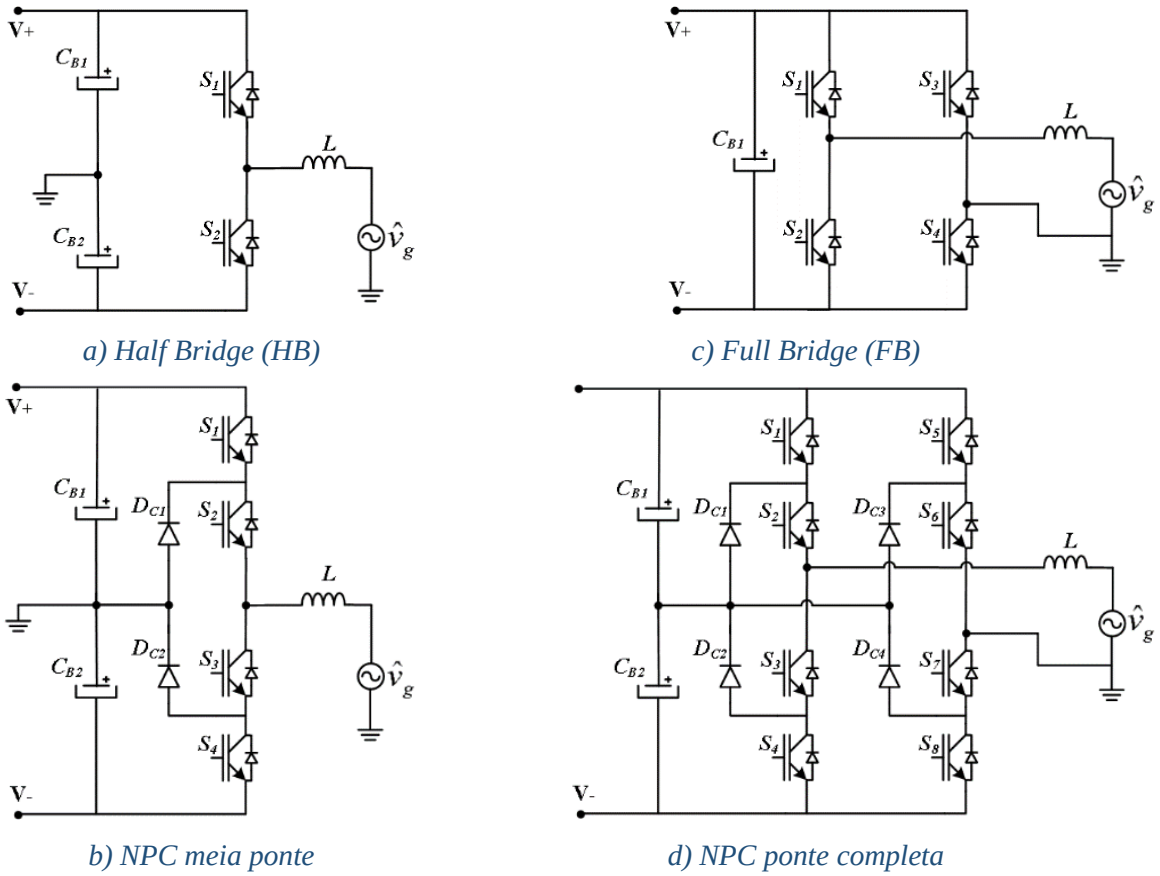
Figura 2.1 Conversor BGIC de dois estágios.

A utilização de um barramento intermediário entre a rede elétrica e o barramento principal da nanorrede permite desacoplar as malhas de controle de cada estágio do conversor BGIC. Assim, o primeiro estágio se ocupa apenas com a conexão com a rede elétrica enquanto o segundo estágio gerencia a tensão do barramento principal da nanorrede e limita a corrente máxima de saída do conversor.

2.2.1 Topologias para o primeiro estágio (Conversor c.c. – c.a.)

O primeiro estágio do conversor é responsável por gerenciar o fluxo de potência entre o barramento principal da nanorrede e a rede de distribuição c.a. Esse estágio afeta diretamente a tensão de modo comum entre a rede elétrica e o barramento c.c. da nanorrede, que pode surgir devido à carga das capacitâncias parasitas do barramento intermediário por correntes de fuga, e também oferece o risco de choques elétricos. Essa tensão deve ser controlada e mantida constante nos pólos desse barramento para evitar os problemas descritos. As topologias meia ponte - *Half Bridge* (HB) ou *Neutral Point Clamped* (NPC) que estão ilustradas na Figura 2.2 a) e Figura 2.2 b) respetivamente, anulam a existência da tensão de modo comum, ou ao menos garantem que essa tensão seja constante (HB), pois o eletrodo de aterramento é conectado diretamente no ponto central do barramento intermediário. Por outro lado, o conversor *Half Bridge* pode sintetizar apenas metade da tensão do barramento, e mesmo que seu uso seja possível em um conversor de dois estágios, os filtros do lado da rede elétrica são mais volumosos que uma topologia de ponte completa como o *Full Bridge* (FB) apresentado na Figura 2.2 c). Outro problema associado a topologia HB é a necessidade de equilibrar as tensões

nos capacitores do barramento, pois o valor médio da tensão do divisor capacitivo não é balanceado [32].



a) Half Bridge (HB)

c) Full Bridge (FB)

b) NPC meia ponte

d) NPC ponte completa

Figura 2.2 Topologias de conversores c.c.-c.a. bidirecionais que podem ser utilizados no primeiro estágio do conversor BGIC.

A topologia NPC meia ponte por sua vez, pode sintetizar uma tensão em três níveis na saída do conversor, o que garante menores oscilações no barramento c.c., e suas chaves estão sujeitas à metade do estresse de tensão que as presentes em topologias diferentes FB [33] e HB. Em contrapartida, as perdas por condução para essa topologia se elevam [29], e para sua utilização em sistemas monofásicos é necessário um barramento intermediário com um nível de tensão duas vezes maior em comparação ao HB e ao FB. Existem algumas derivações da topologia NPC meia ponte, como *Flying Capacitor* (FC), *Conergy Neutral Point Clamped* (cNPC) e *Active Neutral Point Clamped* (aNPC), que podem até apresentar melhor rendimento ou maior distribuição das perdas nas chaves, se comparada à topologia tradicional [33, 34], mas não serão consideradas nessa revisão por apresentarem um controle mais complexo ou mais componentes que a topologia tradicional.

Topologias em ponte completa, como FB e NPC apresentadas nas Figuras 2.2 c) e Figura 2.2 d) permitem uma melhor utilização da tensão do barramento c.c., sendo capazes de sintetizar $127V_{rms}$ da rede monofásica em um único estágio de conversão. A topologia NPC em ponte completa pode sintetizar cinco níveis de tensão, o que reduz consideravelmente o *ripple* de corrente do lado c.a. e com isso permite a diminuição significativa dos indutores do filtro. Já o desempenho do conversor FB, e suas variações [35, 36], está diretamente atrelado à técnica de modulação empregada no controle das chaves. As duas técnicas de modulação mais utilizadas são a unipolar e bipolar [37], sendo a primeira capaz de produzir três níveis de tensão na saída de um conversor FB, que permite menores ondulações na corrente do lado c.a., se comparado à segunda que permite ao conversor sintetizar apenas dois níveis. A utilização de topologias em ponte completa com modulação acima de três níveis acaba por desenvolver uma tensão de modo comum [38] que afeta a segurança da instalação, sendo necessário o uso de técnicas de controle para estabilizar essa tensão.

Para o conversor BGIC a ser projetado nessa dissertação será considerada a topologia NPC meia ponte para o primeiro estágio. Essa topologia permite extinguir ou atenuar a tensão de modo comum do barramento da nanorrede e apresenta menor estresse de tensão se comparada às topologias FB e HB, o que possibilita a utilização de um barramento intermediário com tensão maior e acaba por elevar a densidade de potência do conversor, já que é possível a diminuição do banco capacitivo. Em relação ao conversor NPC ponte completa, o conversor meia ponte apresenta metade do número de chaves e consequentemente um controle menos complexo.

2.2.2 Topologias para o segundo estágio (Conversor c.c. – c.c.)

As topologias de conversores c.c.-c.c. para a composição do segundo estágio do BGIC disponíveis na literatura se dividem basicamente em conversores isolados e não isolados. A topologia *Dual Active Bridge* (DAB), apresentada na Figura 2.3, é utilizada em [39] e permite o isolamento entre a rede elétrica e o barramento principal da nanorrede, sendo possível inclusive a associação de vários conversores em série-paralelo conectados nesse barramento.

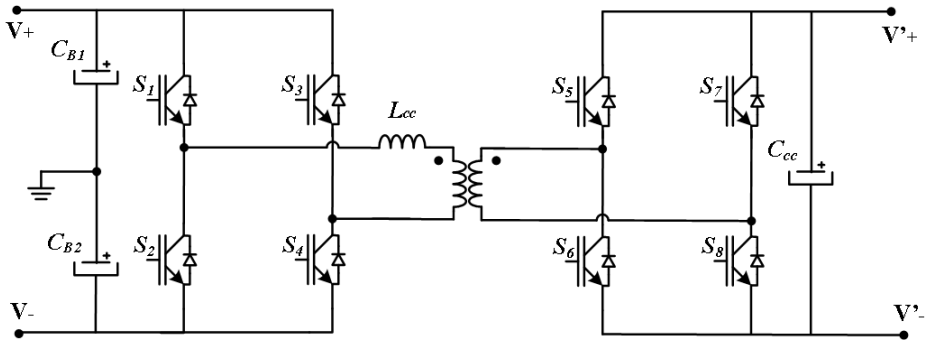


Figura 2.3 Conversor Dual Active Bridge (DAB).

Entretanto, o número de chaves e a utilização do transformador agrega complexidade, custo e volume ao conversor. Por se tratar de uma nanorrede de 2kW, não há obrigatoriedade na utilização de isolamento com a rede elétrica, dessa forma não será considerada uma topologia com isolamento para a composição do segundo estágio do conversor BGIC.

Dentre as topologias de conversores c.c.-c.c. não isolados encontrados na literatura, a maioria dos trabalhos [28, 29, 30] utilizam o conversor *Full Bridge* também no segundo estágio, conectado ao barramento principal da nanorrede através de um filtro LC como apresentado na Figura 2.4. Essa topologia apresenta uma simplicidade maior no controle do fluxo de potência do que a topologia DAB por possuir metade do número de chaves, e uma densidade de potência maior devido à inexistência do transformador. Por outro lado, caso o primeiro estágio também seja composto por uma topologia *Full Bridge*, uma tensão de modo comum irá aparecer no barramento principal da nanorrede e deve-se atentar para equalizar o seu valor para mitigar os riscos da instalação.

O problema relacionado à tensão de modo comum pode ser sanado com a utilização da topologia NPC meia ponte no primeiro estágio, entretanto, as chaves utilizadas no FB deverão suportar grandes tensões devido ao alto valor da tensão do barramento intermediário.

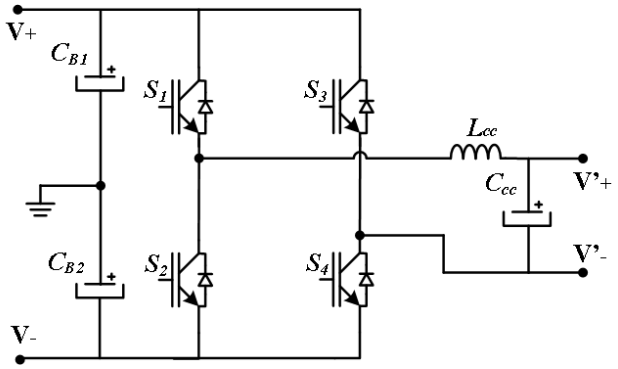


Figura 2.4 Topologia Full Bridge como um conversor c.c.- c.c.

Uma outra topologia para o segundo estágio foi apresentada em [40] e é mostrada na Figura 2.5. Este conversor utiliza um retificador síncrono, que é formado através de dois conversores *buck* bidirecionais, sendo o conversor responsável por controlar a tensão do pólo negativo do barramento principal e outro, a tensão do pólo positivo. A associação desse conversor a um primeiro estágio NPC se torna uma solução interessante pois torna nula a tensão de modo comum entre a rede c.a. e o barramento principal da nanorrede. Essa topologia também apresenta metade da tensão V_+ sobre as chaves, se comparada ao *Full Bridge*. O principal problema desse conversor é a necessidade de equalizar as tensões dos capacitores do barramento intermediário. No presente trabalho é apresentada uma solução para o desequilíbrio das tensões nos capacitores, através da injeção de uma componente de segundo harmônico na corrente de entrada do conversor.

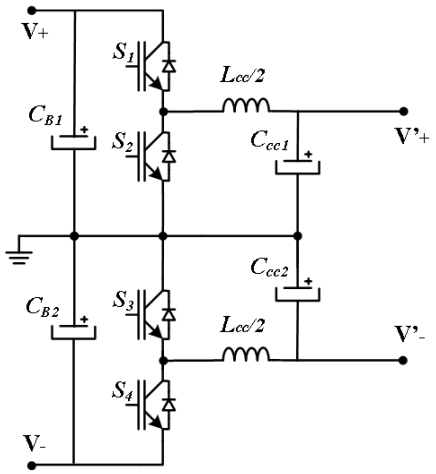


Figura 2.5 Topologia retificador síncrona proposta em [40].

Essa dissertação propõe a análise da utilização de uma topologia derivada de um NPC em ponte completa como um conversor c.c.-c.c. no segundo estágio. Para esta análise é utilizada uma topologia NPC ponte completa conectada ao barramento principal da nanorrede com filtro LC, conforme mostrada na Figura 2.6.

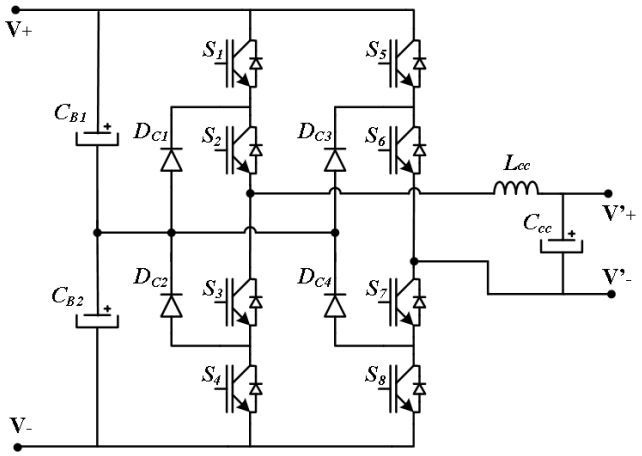
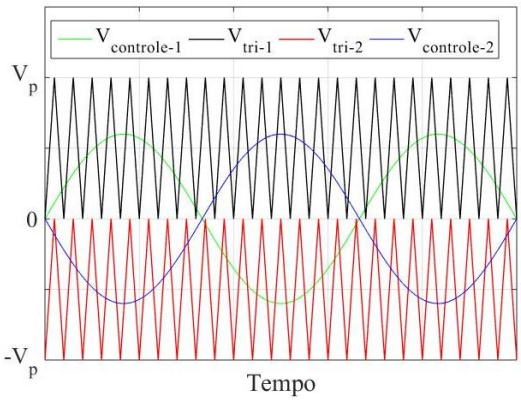
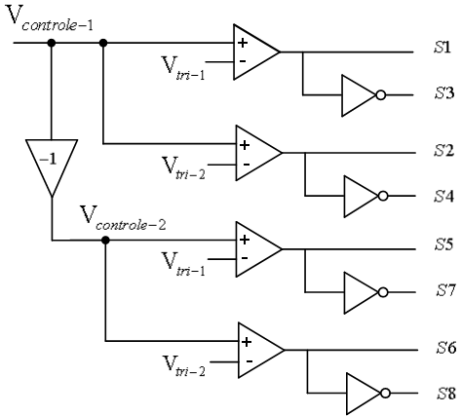


Figura 2.6 Topologia NPC ponte completa conectada ao barramento principal da nanorrede através de um filtro LC.

O controle das chaves desse conversor no modo inversor pode ser feito através da modulação unipolar [35], em que duas referências senoidais defasadas de 180º ($V_{controle\ -1}$ e $V_{controle\ -2}$) são comparadas com duas portadoras triangulares com amplitude V_p ($V_{tri\ -1}$ e $V_{tri\ -2}$) de acordo com a representação da Figura 2.7-a), que determinam a frequência de chaveamento. A partir desses sinais pode-se implementar o circuito de comando apresentado na Figura 2.7-b) para acionar as chaves.



a) Sinais de controle e das portadoras para modulação unipolar



b) Circuito lógico para comando das chaves

Figura 2.7 Modulação unipolar para controle do conversor NPC ponte completa no modo inversor.

Como o segundo estágio gera apenas tensão c.c. na saída do conversor, os sinais de controle apresentados na Figura 2.7-a) devem ser substituídos por sinais c.c., tal que $V_{controle\ -1} = - V_{controle\ -2}$, como apresentado na Figura 2.8.

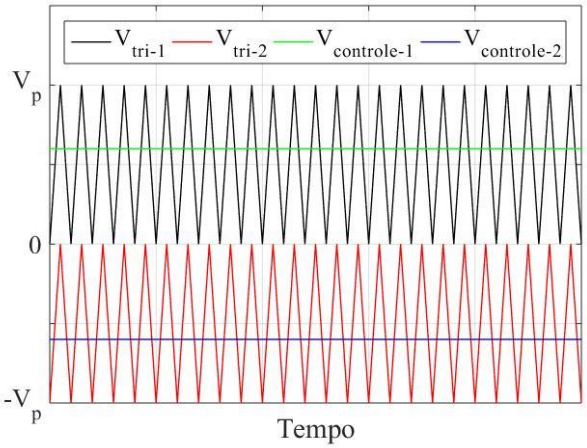


Figura 2.8 Modulação unipolar para comando das chaves da topologia NPC ponte completa para sintetizar uma corrente contínua na saída do conversor.

Como os sinais de controle são contínuos, para desenvolver uma tensão positiva nos terminais do barramento, o sinal de controle $V_{controle-1}$ deve ser positivo e sempre maior que a portadora V_{tri-2}, assim, as chaves S_2 e S_4 não comutam, bem como D_{c1} e D_{c2} também não. Já $V_{controle-2}$ deve ser sempre menor que a portadora V_{tri-1}, e com isso as chaves S_5, S_7, D_{c3} e D_{c4} também não são chaveadas. A partir dos sinais de controle e do circuito de comando das chaves apresentado na Figura 2.7-b) verifica-se que S_7, S_2, D_{c2} e D_{c3} permanecem fechadas, enquanto S_4, S_5, D_{c1} e D_{c4} não conduzem em nenhum instante. Para essa condição o conversor NPC ponte completa pode ser simplificado conforme mostra a Figura 2.9. Esse novo conversor será abordado como SNPC (*Simplified Neutral Point Clamped*).

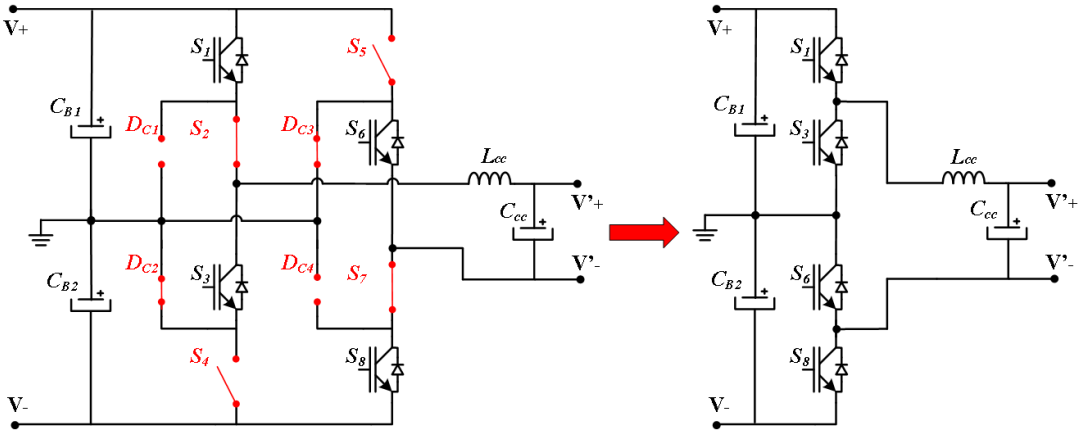


Figura 2.9 Simplificação do conversor NPC ponte completa para o SNPC.

O conversor apresentado na Figura 2.9 se assemelha ao retificador síncrono proposto em [40], verifica-se, no entanto, que o controle das chaves foi simplificado. O retificador

síncrono possui duas malhas de controle para a tensão do barramento intermediário, sendo uma para equalizar as tensões dos capacitores do barramento, enquanto o conversor SNPC pode ser controlado por uma única malha sem a necessidade de equalização das tensões dos capacitores. Para o SNPC também não é exigido o controle adicional para equalizar as tensões nos capacitores do barramento intermediário para uma distribuição a dois fios, pois a técnica de comando garante que a energia drenada de cada capacitor seja igual. Outra vantagem do conversor SNPC é a possibilidade de trabalhar com tensões de saída entre a tensão do barramento intermediário e metade do seu valor, o que se obtém pela modulação utilizada. Esta técnica será apresentada no Capítulo 3. Esse conversor reduz pela metade a tensão entre os terminais do indutor e permite a mesma redução no valor da indutância do filtro LC se comparado as topologias FB e Retificador Síncrono. Se comparada à topologia *Full Bridge,* a topologia SNPC proposta apresenta as mesmas vantagens que as observadas na comparação com o retificador síncrono, como estresse reduzido pela metade nas chaves e menores filtros para conexão com o barramento principal da nanorrede. A topologia NPC meia ponte, apesar de não ter sido considerada para o segundo estágio, pode ser uma alternativa interessante por possuir um dos pólos do barramento aterrado, e com isso não há a presença da tensão de modo comum.

A partir das análises realizadas nessa seção, a topologia SNPC foi escolhida para integrar o segundo estágio do conversor BGIC com o intuito de explorar as limitações e vantagens dessa topologia, uma vez que não foram encontrados trabalhos sobre esse conversor. Detalhes relacionados às etapas de comutação, modulação e análise de tensão de modo comum são apresentados no Capítulo 3 dessa dissertação.

2.3 Conclusões do capítulo

Nesse Capítulo foram apresentados os requisitos para projeto do conversor BGIC e as topologias de conversores que podem ser empregadas, baseadas na literatura. A potência da nanorrede (2kW) permite uma conexão monofásica com a rede de distribuição sem a necessidade de um transformador de isolamento. Conforme o estado da arte sobre conversores de interface monofásicos, nota-se um direcionamento ao uso de topologias com dois estágios de conversão, o que permite uma diminuição do banco capacitivo do conversor, uma melhor resposta frente a demandas da rede elétrica e proteção intrínseca contra curto circuito do barramento principal da nanorrede e a rede elétrica. Outra vantagem da utilização do duplo

estágio é a possibilidade de dissociação das malhas de controle, o primeiro estágio é composto por um conversor c.c.-c.a. que é responsável pela transferência de potência entre a nanorrede e a rede de distribuição. Já o conversor c.c.-c.c. do segundo estágio é incumbido de regular a tensão do barramento principal da nanorrede. A conexão entre os estágios é feita através de um barramento intermediário, cuja tensão será definida no Capítulo 3. Também nesse Capítulo foram descritos os critérios a serem utilizados no controle do conversor BGIC.

A topologia NPC meia ponte será considerada para o primeiro estágio do BGIC por se tratar de um conversor de três níveis, o que permite uma redução nos valores dos filtros se comparada à topologia FB bipolar ou HB, possui estresse de tensão menor nas chaves em relação a essas topologias, o que permite a utilização de um barramento intermediário com tensão mais elevada e com isso a redução dos capacitores utilizados nesse barramento. Por fim, essa topologia possui metade dos componentes necessários em uma topologia NPC ponte completa.

O segundo estágio será composto pelo conversor SNPC proposto nesse Capítulo. Conversores c.c.-c.c. normalmente apresentam filtros indutivos volumosos para atender aos requisitos de *ripple* de corrente, o comando das chaves do conversor SNPC associado a técnica unipolar [35] permite a redução dos indutores. Esse conversor pode sintetizar na sua saída a tensão do barramento intermediário V_{cc} e metade do seu valor, dessa forma diminui-se a tensão entre os terminais do indutor pela metade se comparado ás topologias FB e Retificador Síncrono, sendo observada a mesma diminuição nos valores dos indutores necessários em cada conversor. Com isso, permite-se aumentar a densidade de potência do conversor.

Capítulo 3

Modelagem, controle e operação do conversor BGIC

Nesse capítulo será apresentada a modelagem e o sistema de controle empregado ao conversor BGIC formado pelas duas topologias apresentadas no Capítulo 2, NPC e SNPC como mostrado na Figura 3.1. A conexão entre o BGIC e a rede elétrica é feita através do conversor NPC por meio de um filtro LCL para atender os requisitos de conteúdo harmônico injetado na rede elétrica determinados por projeto. O segundo estágio, conectado ao primeiro através de um barramento intermediário composto pelos capacitores C_{B1} e C_{B2}, considera a topologia SNPC. Sua conexão com o barramento principal da nanorrede, representada pela carga Z, é realizada a partir de um filtro LC capaz de garantir o *ripple* de corrente e tensão entregues ao barramento principal a partir dos valores determinados por projeto deste filtro.

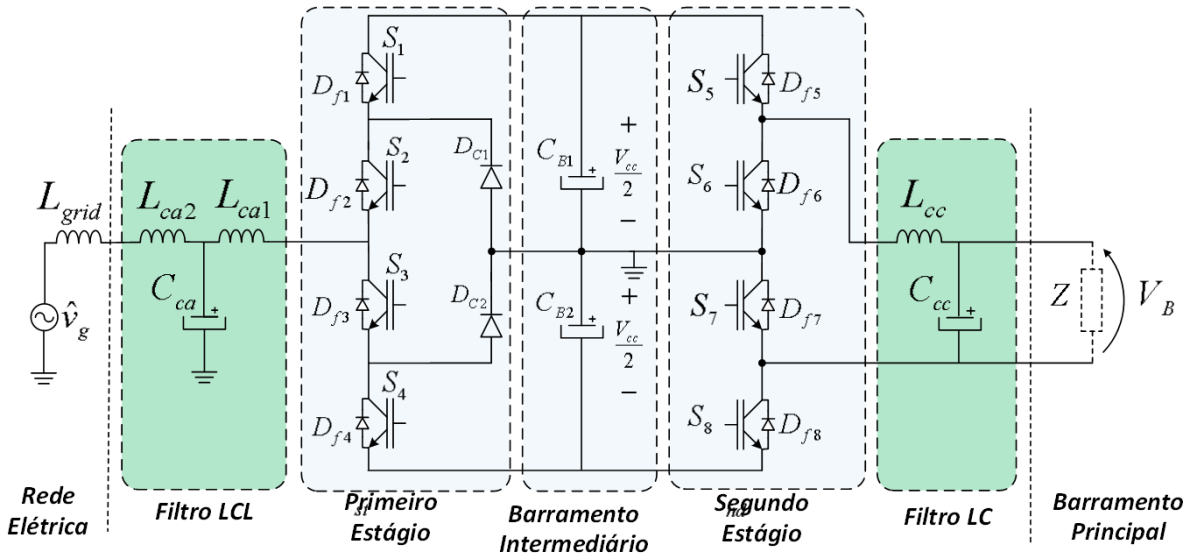


Figura 3.1 Conversor BGIC de dois estágios

Em relação ao mecanismo de controle, uma estrutura de dois estágios se torna mais vantajosa por permitir que o primeiro estágio atenda às exigências da conexão com a rede elétrica e o segundo estágio ao controle da interface entre o barramento intermediário e o barramento principal da nanorrede. Por outro lado, a eficiência global do conversor diminui, o que pode reduzir os ganhos relacionados à eficiência que são oferecidos por um sistema de distribuição em corrente contínua.

3.1 Dimensionamento dos capacitores do barramento intermediário

O barramento intermediário é composto pelos capacitores C_{B1} e C_{B2}, e pode ser dimensionado a partir da potência ativa instantânea entregue pela rede elétrica quando o conversor opera no modo retificador, sendo representada pela Equação 3.1.

$$p_e(t) = V_P sen(\omega_o t) \times I_P sen(\omega_o t - \phi),$$

$$p_e(t) = \underbrace{\frac{V_P I_P}{2}\left[\cos(\phi) - \cos(2\omega_o t - \phi)\right]}_{\text{Potência ativa instantânea}} - \underbrace{\frac{V_P I_P}{2} sen(\phi) sen(2\omega_o t)}_{\text{Potência reativa instantânea}}, \quad (3.1)$$

onde V_P e I_P são os valores de pico da tensão e da corrente, respectivamente, no ponto de conexão com a rede c.a., ω_o é a frequência angular da tensão da rede elétrica e ϕ é o deslocamento angular entre a tensão e a corrente. É possível observar que a potência de entrada possui uma parcela média, dada pela Equação 3.2, que corresponde à potência entregue à nanorrede.

$$P_{av} = \frac{V_P I_P}{2}\cos(\phi) \quad (3.2)$$

Sobre esse valor médio existe uma parcela alternada que irá produzir uma oscilação com a frequência de $2\omega_o$ na tensão do barramento c.c..

Para a avaliação de transferência de potência e dimensionamento do banco capacitivo, será considerado um rendimento de 100% e um fator de potência igual a 0,92. As quedas de tensão nos filtros de entrada foram desprezadas, assim toda a potência de entrada da rede elétrica é entregue ao barramento c.c., composto por um banco capacitivo C_B e um carga R_L. Essa relação pode ser expressa conforme a Equação 3.3.

$$P_o \approx P_e = C_B v_B \frac{dv_B}{dt} + \frac{v_B^2}{R_L}, \quad (3.3)$$

onde v_B é a tensão do barramento c.c.. A solução para a Equação 3.3 é dada pela Equação 3.4 [41].

$$v_B(t) = \sqrt{V_B^2 - \frac{V_P I_P \left[\cos\left(2\omega_o t - \phi\right) + R_L^2 C_B \omega_o sen\left(2\omega_o t - \phi\right)\right]}{2\left[1 + \left(R_L C_B \omega_o\right)^2\right]}}, \tag{3.4}$$

onde V_B é o valor médio da tensão do barramento c.c. intermediário. Observa-se que a tensão do barramento também apresenta uma parcela ondulatória de frequência igual a $2\omega_o$, que depende diretamente do valor da capacitância do barramento.

A Figura 3.2 apresenta o efeito da tensão do barramento e da capacitância sobre a ondulação da tensão do barramento, onde a frequência ω_o é 377 rad/s, a potência média é igual a 2kW e a tensão V_m é igual a 179,6V. Nota-se que, para uma tensão de 311V e um banco capacitivo de 1mF, a ondulação de tensão apresentada é de aproximadamente 9%. Também é visto que, com o aumento da tensão do barramento, para um mesmo valor do banco capacitivo, a ondulação de tensão percentual decresce.

Conforme [41], as topologias de estágio único não possuem capacidade de limitar correntes de curto circuito no lado c.c.. A inserção de um segundo estágio de conversão permite o controle da corrente de saída do conversor e também que a tensão do barramento intermediário (tensão entre os dois conversores) possa trabalhar com uma ondulação de tensão maior, o que reduz o valor do banco capacitivo.

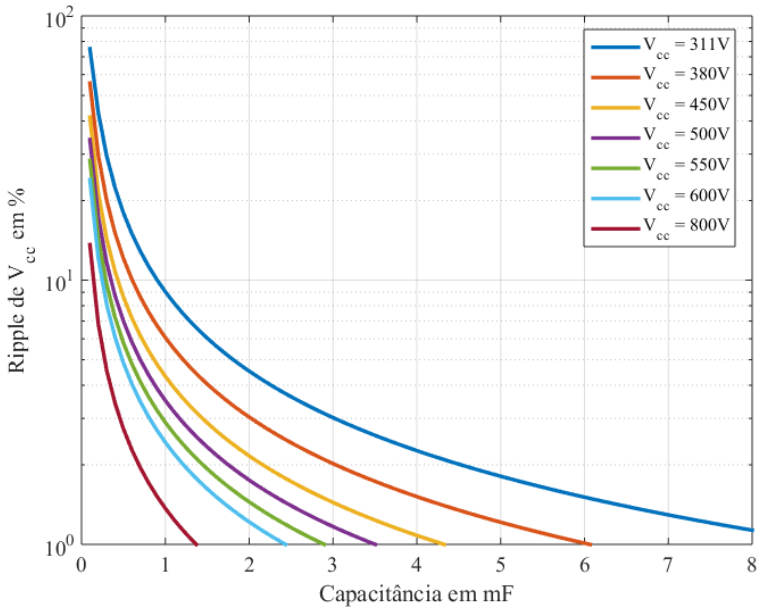


Figura 3.2 Ripple de tensão do barramento intermediário V_{cc} em função do banco capacitivo para diferentes valores de tensão V_B. P_{nom} = 2kW.

Para a aplicação do presente trabalho será considerado um barramento c.c. de 600V e um banco capacitivo de 1mF, que implica em um *ripple* de tensão de aproximadamente 2,4%, e assim $C_{B1} = C_{B2}$ são iguais a 2 mF. Apesar da possibilidade de se trabalhar com um *ripple* de tensão mais elevado (banco capacitivo menor) sem que haja um impacto significativo na dinâmica do conversor, esse banco deve ser capaz de fornecer a corrente RMS do primeiro estágio do conversor. Para se evitar o sobre aquecimento do banco capacitivo é comum se associar capacitores em paralelo para reduzir a resistência série equivalente do banco e assim permitir que ele conduza um valor RMS de corrente maior, sem sobre aquecimento. Apoiado nessa consideração, foi utilizado o banco capacitivo de 1mF.

3.2 Projeto do conversor BGIC

3.2.1 Primeiro estágio - conversor c.c-c.a.

3.2.1.1 Filtro LCL

O primeiro estágio, que corresponde ao conversor NPC, é conectado na rede elétrica por meio de um filtro. A tensão de saída deste conversor, que representa um conversor do tipo fonte de tensão (*Voltage Source Converter* – VSC), tem natureza não senoidal e, afim de limitar a injeção de harmônicas de corrente, utiliza-se um filtro na saída do conversor [42].

As principais topologias de filtro utilizadas para conexão dos conversores à rede elétrica são o filtro LC e o filtro LCL. A topologia LC, conhecida como filtro de segunda ordem, é comumente utilizada em conversores com elevada frequência de comutação. O *trade–off* entre os valores de capacitância e indutância deve ser levado em conta, uma vez que o valor da capacitância guarda relação com o inverso do volume do indutor. Por outro lado, deve-se atentar para a corrente de *inrush* e a diminuição do fator de potência devido ao elevado valor da capacitância [43].

A topologia LCL apresenta maior atenuação das componentes harmônicas que o filtro LC para um mesmo volume dos filtros. A presença de um indutor L após o filtro LC permite uma limitação da corrente de *inrush*, se comparado ao filtro LC puro, e também uma redução do *ripple* de corrente, o que faz com que a impedância do lado da rede elétrica sofra menor estresse se comparado à topologia LC.

No presente trabalho será abordado o projeto de um filtro LCL, representado na Figura 3.3, que está em consonância com os trabalhos referentes à geração distribuída e conexão de micro/nano redes com o sistema elétrico [40, 41, 44].

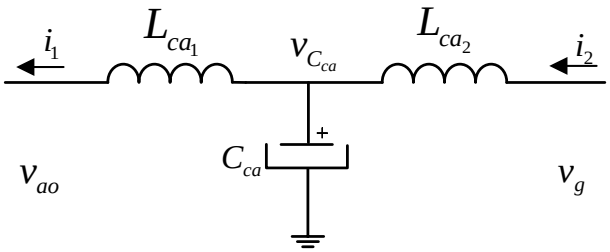


Figura 3.3 Filtro LCL.

O projeto do filtro é realizado conforme os critérios definidos em [45]:

a) A injeção de correntes harmônicas na rede elétrica deve ser conforme a recomendação da referência IEEE 1547 [46];
b) Deve-se obter uma boa atenuação para frequência de chaveamento e harmônicas de maior frequência;
c) A frequência de corte deve ser maior que a largura de banda do controle;
d) O filtro deve ser compacto e com baixas perdas de potência.

Em [46] também é definido o termo TDD (*Total Demand Distortion*), que corresponde à razão entre a distorção harmônica da corrente e a corrente nominal do conversor representado pela Equação 3.5 e deve ser menor que 5%.

$$TDD = \frac{THD_i}{I_n} < 5\% \tag{3.5}$$

Segundo [47], é importante a consideração da ondulação de corrente, já que esta é o ponto de equilíbrio entre o tamanho do indutor conectado no terminal do conversor, as perdas por condução e comutação nas chaves semicondutoras e perdas no enrolamento e núcleo do indutor. O valor de ondulação de corrente normalmente é escolhido entre 15% e 25% da corrente nominal.

A Equação 3.6 relaciona a corrente e a tensão no indutor L_{ca_1} considerando meio ciclo de chaveamento equanto as demais equações de (3.7) a (3.9) relacionam o ciclo de trabalho e o índice de modulação do conversor NPC.

$$L_{ca_1}\frac{di_1}{dt} = L_{ca_1}\frac{\Delta i_1}{\Delta T} = V_{L_{ca_1}} = \frac{V_{cc}}{2} - V_{C_{ca}}(t) \tag{3.6}$$

$$V_{C_{ca}}(t) = V_{C_{ca}-pk}\cos(\omega_o t) \tag{3.7}$$

$$\Delta T = D_{NPC}(\omega_o t)\frac{T_s}{2} \tag{3.8}$$

$$D_{NPC}(\omega_o t) = M_{NPC}\cos(\omega_o t) \tag{3.9a}$$

$$M_{NPC} = 2\frac{V_{C_{ca}-pk}}{V_{cc}} \tag{3.9b}$$

Onde: D_{NPC} é o ciclo de trabalho do conversor

M_{NPC} é o índice de modulação ($0 \leq M_{NPC} \leq 1$)

i_1 é a corrente no indutor de entrada no conversor

T_s é o período de chaveamento do conversor

V_{cc} é a tensão do barramento intermediário (Figura 3.1)

V_{Cca} é a tensão do capacitor do filtro LCL

V_{Lca1} é a tensão nos terminais do indutor L_{ca1}

Substituindo as Equações (3.7), (3.8) e (3.9) em (3.6) obtém-se (3.10):

$$\frac{2L_{ca_1}\Delta i_1}{T_s V_{cc}} = M_{NPC}\cos(\omega_o t) - \left[M_{NPC}\cos(\omega_o t)\right]^2 \tag{3.10}$$

O termo da direita da Equação 3.10 é entendido como uma parcela ondulatória adimensional nomeada de Δy. E assim pode-se determinar a indutância L_{ca1}, como na Equação (3.11), onde Δy_{max} representa o maior valor da ondulação Δy e f_s a frequência de chaveamento do conversor.

$$L_{ca_1} = \frac{V_{cc}\Delta i_{\max}}{4 f_s \Delta i_1} \tag{3.11}$$

A Figura 3.4 apresenta a ondulação Δy para alguns valores de índice de modulação M_{NPC}. Dessa forma é possível determinar Δy_{max} como 0,25.

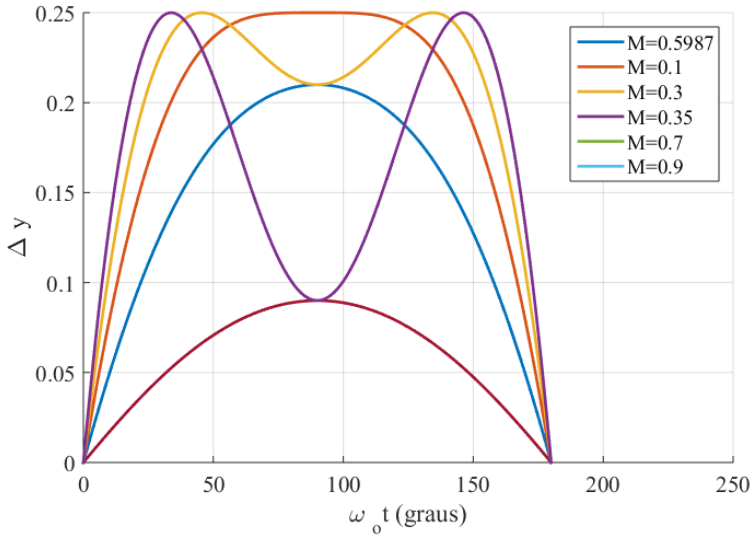


Figura 3.4 Ondulação Δy.

Assim sendo, pode-se calcular o indutor L_{ca1} conforme a Equação 3.12.

$$L_{ca_1} = 0,0625 \frac{V_{cc}}{f_s \Delta i_1} \tag{3.12}$$

O dimensionamento do capacitor C_{ca} é realizado de forma a manter um alto fator de potência, por isso baseia-se na máxima potência reativa armazenada no capacitor. Conforme [48], esse valor deve ser menor que 5% da potência nominal do conversor, assim, C_{ca} é calculada pela Equação 3.13, onde V_{ao} é a tensão eficaz da rede de distribuição.

$$C_{ca} < 5\% \frac{P}{\omega_o V_{ao}^{\ 2}} \tag{2.13}$$

Conforme [49], no projeto do filtro LCL deve-se considerar que a presença dos capacitores pode levar a ressonâncias indesejáveis. Para se obter um melhor desempenho do filtro projetado, segundo [50], a frequência de ressonância do filtro deve estar dentro de uma faixa que não crie problemas de ressonância nas mais baixas e mais altas frequências. Sugere-se a escolha do filtro de forma que a frequência de ressonância seja maior que dez vezes a frequência da rede e menor que a metade da frequência de chaveamento do conversor.

O diagrama de blocos representado na Figura 3.5 representa o funcionamento do filtro da Figura 3.3, onde foram desprezadas as resistências série dos indutores.

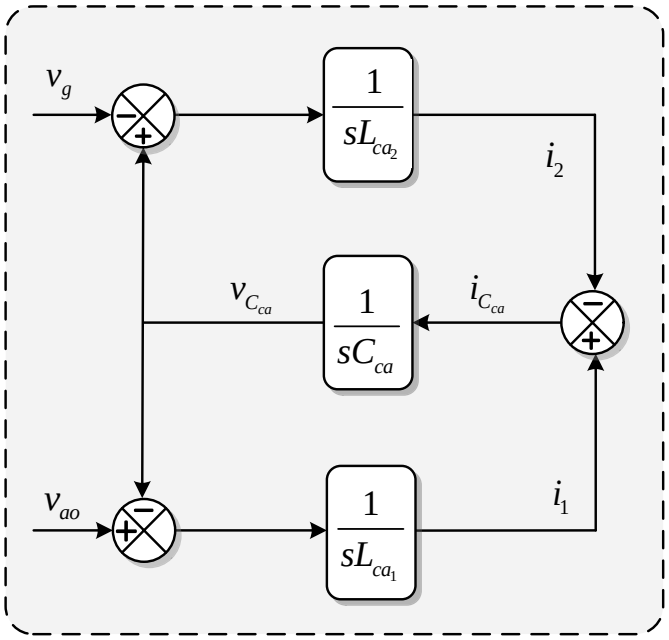


Figura 3.5 Diagrama de Blocos do filtro LCL.

A partir da Figura 3.5, é possível determinar a função de transferência entre a corrente injetada na rede elétrica e a tensão de saída do conversor, conforme a Equação 3.14.

$$\frac{i_1(s)}{v_g(s)} = \frac{1}{Z(s)} = \frac{1}{L_{ca_1}L_{ca_2}C_{ca}s^3 + s(L_{ca_1} + L_{ca_2})} \tag{3.14}$$

A Equação 3.14 representa a admitância do filtro, de forma que a impedância do filtro LCL pode ser determinada como o inverso da admitância, dada pela Equação 3.15, e a frequência de ressonância do filtro LCL é dada pela Equação 3.16.

$$Z(n) = j\omega_o\left(-L_{ca_1}L_{ca_2}C_{ca}\omega_o{}^2 + L_{ca_1} + L_{ca_2}\right) \tag{3.15}$$

$$f_{res} = \frac{1}{2\pi}\sqrt{\frac{L_{ca_1} + L_{ca_2}}{L_{ca_1}L_{ca_1}C_{ca}}} \tag{3.16}$$

A indutância L_{ca2} é calculada de forma a respeitar o limite apresentado pela Equação 3.17 [46], no que diz respeito a taxa de distorção máxima de corrente admitida que é representada pela curva em vermelho na Figura 3.6.

$$\begin{aligned} &THD_i < 5\% \\ &THD_i = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^{\,2}}}{I_1} = \frac{\sqrt{\sum_{n=2}^{\infty}\left(\frac{V_n}{Z_n}\right)^2}}{I_1} \\ &\sqrt{\sum_{n=2}^{\infty}\left(\frac{V_n}{Z_n}\right)^2} < 5\% I_1 \end{aligned} \tag{3.17}$$

Para o cálculo da taxa de distorção harmônica da corrente, desenvolvida a partir da Equação 3.17, consideram-se as componentes harmônicas da tensão de saída do conversor NPC com modulação PD [37], conforme a Equação 3.18, e a impedância em função da frequência representada pela Equação 3.15.

$$V_{mn} = \frac{V_{dc}}{m\pi}\{1-\cos([n+m]\pi)\}.\left[J_n(m\pi M)\sin n\frac{\pi}{2} + \frac{4}{\pi}\sum_{k=1}^{\infty} J_{2k-1}(m\pi M)\frac{[2k-1]\cos n\frac{\pi}{2}}{[2k-1+n][2k-1-n]} \right], \tag{3.18}$$

onde,

$V_{dc} = V_{cc}/2$ e J_n é a função de Bessel do tipo 1, $|n| \neq 2k-1$ e m assume apenas números ímpares.

As Figuras 3.6 e 3.7 representam a taxa de distorção harmônica da corrente e a frequência de ressonância do filtro LCL para diversos valores de L_{ca2} e os limites sugeridos em [46].

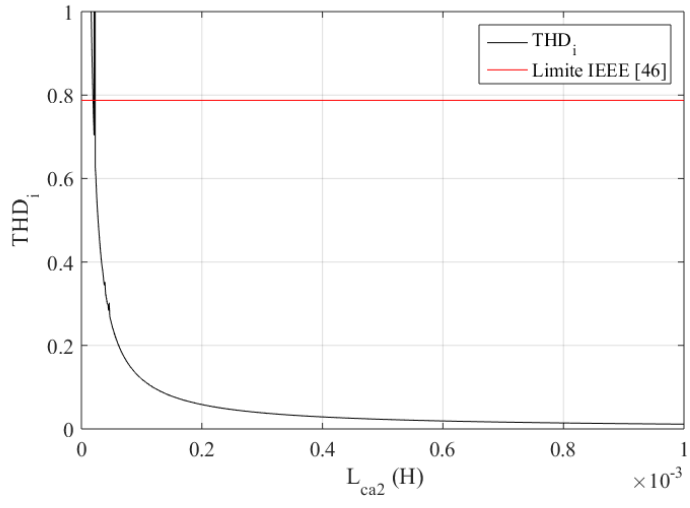


Figura 3.6 Taxa de distorção harmônica do filtro LCL em função da indutância L_{ca2}.

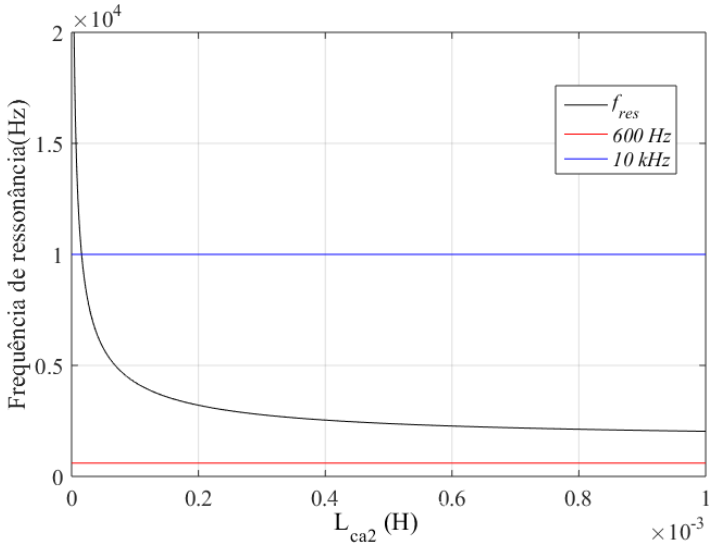


Figura 3.7 Frequência de ressonância do filtro LCL em função da indutância L_{ca2}.

Os valores de L_{ca1} e C_{ca} utilizados foram 600µH e 16.84µF respectivamente, sendo esses calculados a partir dos dados da Tabela 3.1.

Tabela 3.1 Valores utilizados para cálculo de C_{ca} e L_{ca}

V_{cc}	600V
f_s	20000Hz
V_{a0}	127V
P	2000W

I_{o-rms}	15,74A
Δi_1	$0.2I_{o-rms}$ = 3,14A

Conforme as curvas apresentadas nas Figuras 3.6 e 3.7, e os limites considerados para o projeto, o valor de L_{ca2} considerado para implementação do filtro LCL será de 200µH (por garantir uma taxa de distorção harmônica de corrente inferior a 1%, e a frequência de ressonância do filtro situar em 3208Hz), o de C_{ca} de 16 µF e o de L_{ca1} de 600µH. A Figura 3.8 apresenta a validação do cálculo de L_{ca1} baseado no *ripple* de corrente desenvolvido no indutor, que é de aproximadamente 25%.

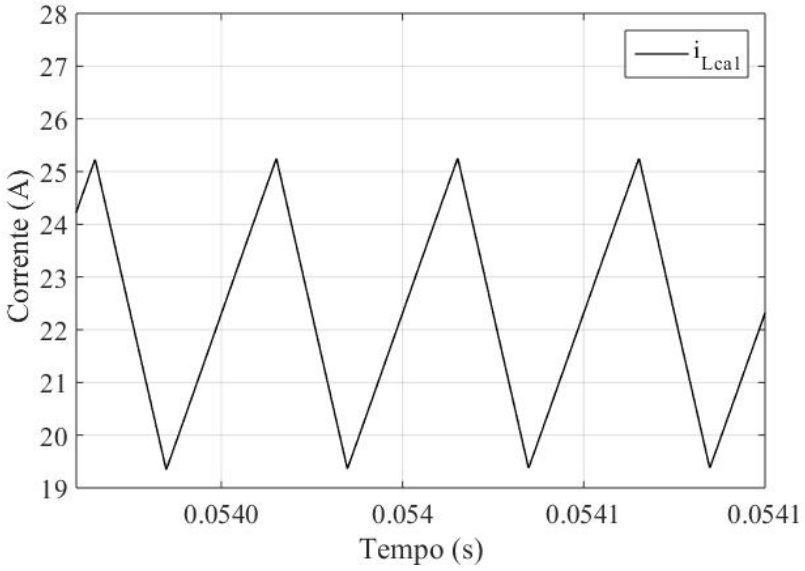


Figura 3.8 Corrente na saída do indutor i_{Lca1} em $\omega_o t = 90^o$.

Comumente é utilizada uma resistência em série com o capacitor do filtro LCL para atenuar a corrente na frequência de ressonância do filtro. A seguir é apresentada a metodologia para cálculo do valor dessa resistência e a atenuação de corrente correspondente.

As funções de transferência do filtro LCL para a corrente injetada na rede e a tensão do conversor e para a corrente injetada na rede e a corrente de saída do conversor são representadas pelas Equações (3.19) e (3.20) respectivamente. As equações foram obtidas a partir do diagrama de blocos do filtro contendo uma resistência de amortecimento (r_{ca}) em série com o capacitor, conforme apresentado na Figura 3.9.

$$\frac{i_1(s)}{v_g(s)} = \frac{sr_{ca}C_{ca}+1}{L_{ca_1}L_{ca_2}C_{ca}s^3 + r_{ca}C_{ca}(L_{ca_2}+L_{ca_1})s^2 + (L_{ca_2}+L_{ca_1})s} \tag{3.19}$$

$$\frac{i_1(s)}{i_2(s)} = \frac{r_{ca}C_{ca}s+1}{C_{ca}(L_{ca_2}+L_{ca_1})s^2 + r_{ca}C_{ca}s+1} \tag{3.20}$$

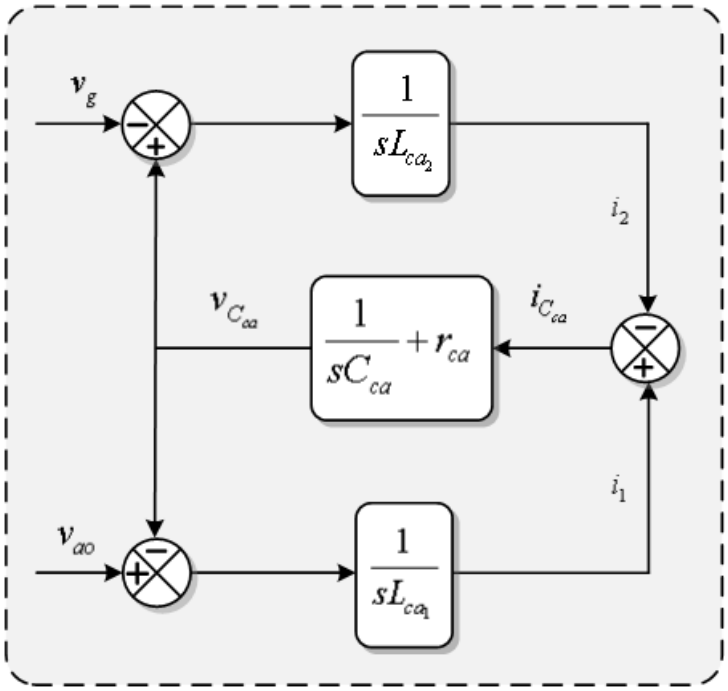


Figura 3.9 Diagrama do filtro LCL com resistência de amortecimento r_{ca}.

As Figuras 3.10 e 3.11 representam as respostas em frequência das funções de transferência apresentas pelas Equações (3.19) e (3.20), para os valores dos componentes do filtro LCL dimensionado e para diferentes valores da resistência r_{ca}.

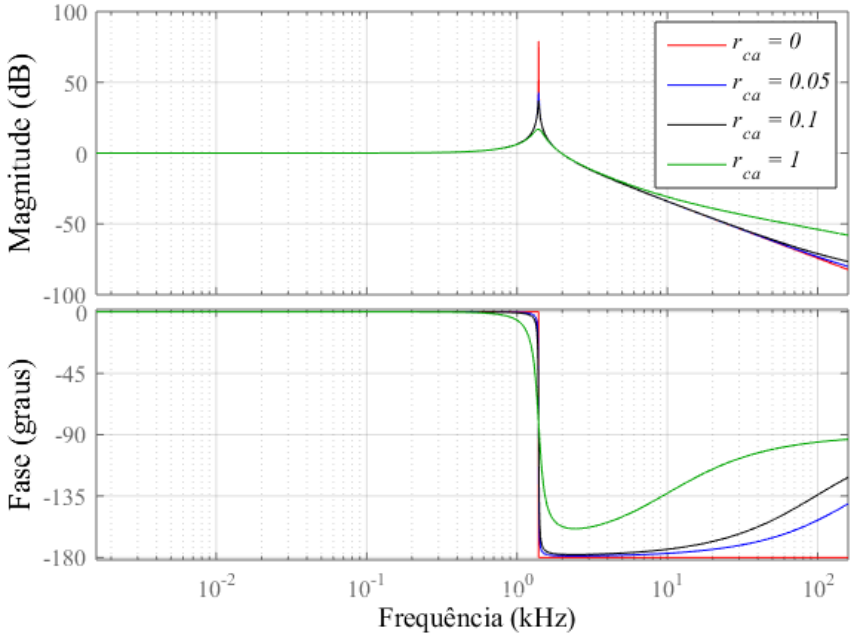


Figura 3.10 Resposta em frequência da função de transferência entre i_1 / v_g.

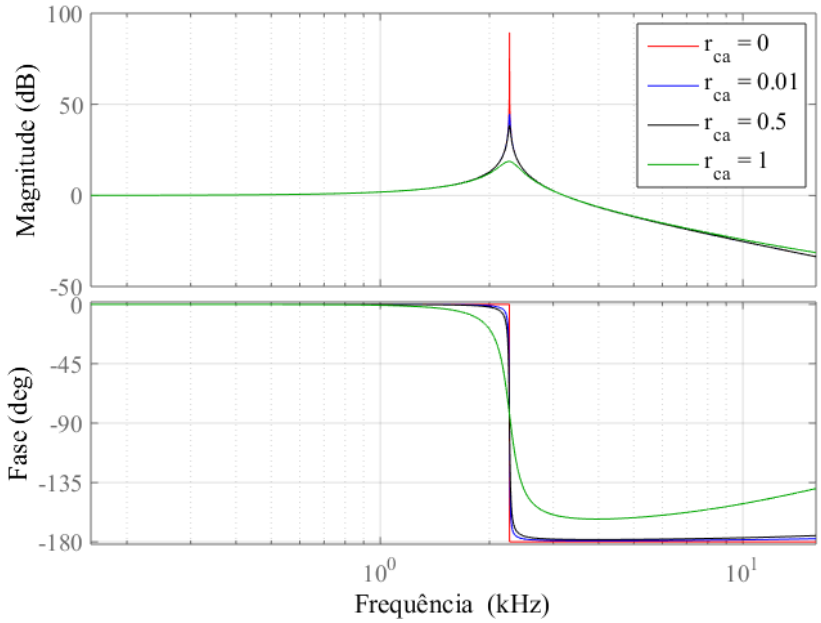


Figura 3.11 Resposta em frequência da função de transferência entre i_1 / i_2.

Entende-se que a inserção de um elemento resistivo no filtro LCL diminuiria a eficiência global do conversor BGIC, mas como mostrado nas Figuras 3.10 e 3.11, sem esse componente a corrente no primário do conversor em estudo atingiria altos valores de ganho, cerca de 80dB.

Assim, faz-se necessária a atenuação dessa componente, uma resistência de 0,1Ω diminui o valor da amplitude da componente da corrente para 5,5dB. Na modelagem do filtro LCL foram desconsideradas as resistências dos indutores e do capacitor, que atenuariam os ganhos das funções de transferência para a frequência de ressonância, por isso será considerado uma resistência de 0,1Ω em série com o capacitor C_{ca} para atenuar os ganhos de corrente do filtro L_{ca1}. Para a potência nominal de 2kW estima-se que esse resistor apresente aproximadamente 0,27W de perdas. Um outro método para atenuar a componente na frequência de ressonância do filtro LCL é utilizar o amortecimento ativo que pode ser implementado via software. Esse método elimina a necessidade do resistor de amortecimento, entretanto, nesse trabalho de dissertação será considerado o resistor de amortecimento por ser uma solução simples e com perdas praticamente desprezíveis se comparadas a potência do conversor BGIC.

3.2.1.2 Método de modulação empregada no primeiro estágio do BGIC

O método de modulação utilizado no primeiro estágio do conversor BGIC é baseado na modulação por largura de pulsos, ou PWM (*Pulse Width Modulation*). A modulação PWM para o conversor NPC é feita a partir da forma unipolar [40], capaz de sintetizar três níveis de tensão, e pode ser implementado a partir do diagrama mostrado na Figura 3.12.

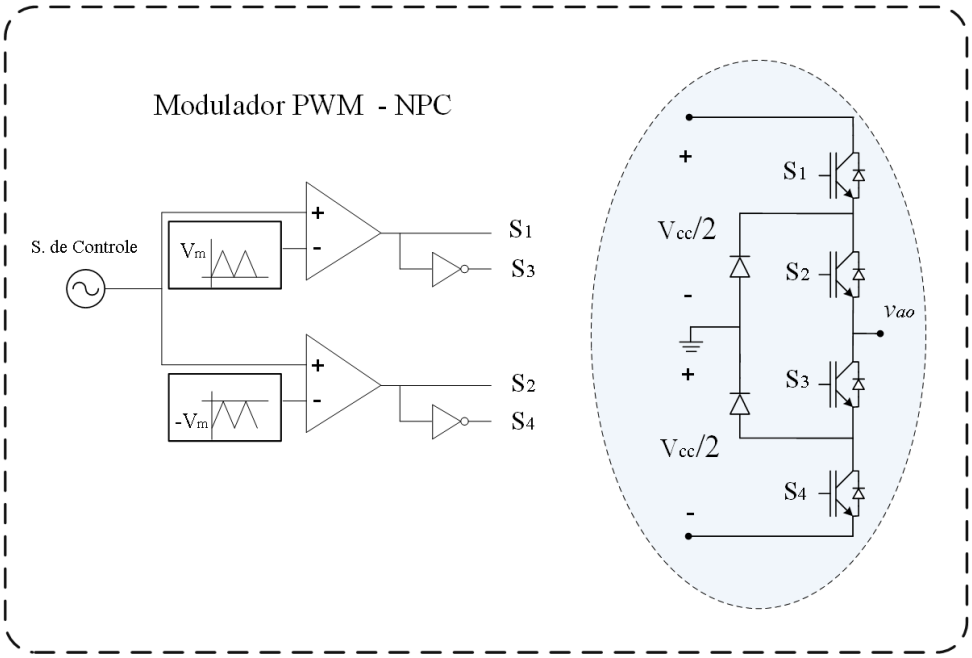


Figura 3.12 Modulador PWM utilizado no primeiro estágio.

O sinal de referência é produzido pelas malhas de controle do conversor e tende a produzir uma componente de 60Hz na saída do conversor com amplitude similar à da rede elétrica. Esse sinal é então comparado a duas portadoras triangulares idênticas e defasadas de 180°, com valores de pico de V_m e $-V_m$. Essa técnica é conhecida como modulação por disposição de fase (PD), e apresenta melhor desempenho harmônico que a modulação por disposição de fase oposta e alternada (APOD) e que a modulação por disposição de fase oposta (POD), que também podem ser utilizadas para controlar o conversor NPC [40]. A partir dessa lógica são gerados os sinais de comando para as chaves do conversor NPC, cujos estados são apresentados na Figura 3.13.

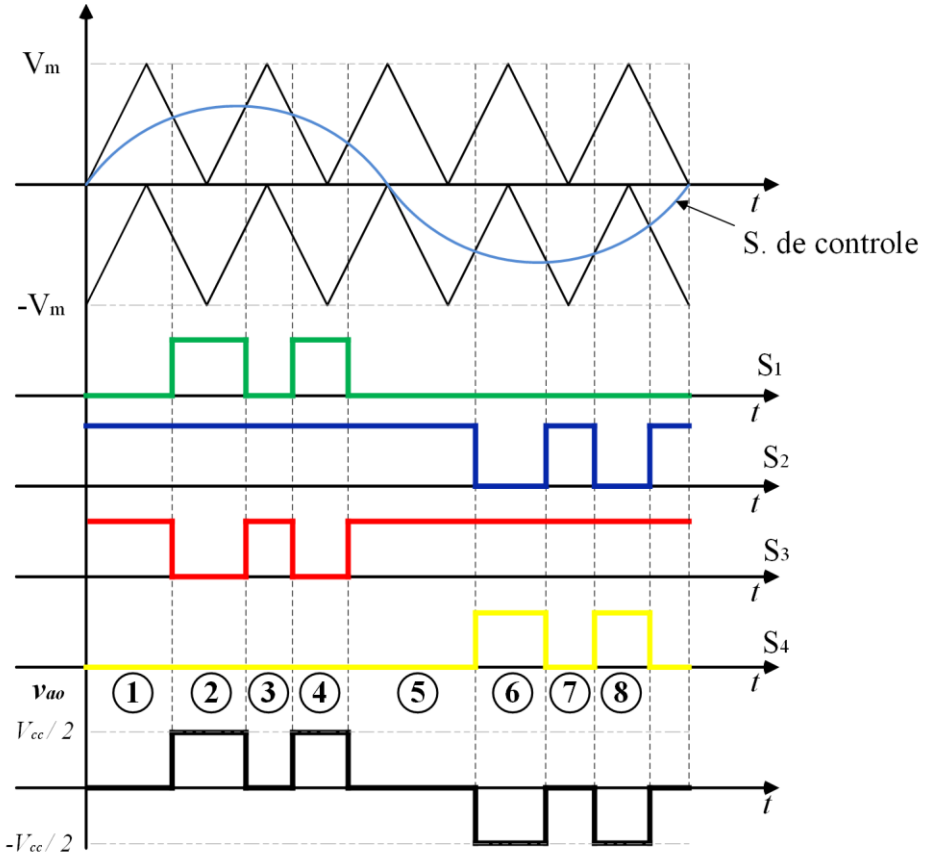


Figura 3.13 Etapas de comutação das chaves do conversor NPC.

A partir dessa modulação, o conversor se torna capaz de sintetizar na saída do conversor as tensões 0V e $V_{cc}/2$ durante o semiciclo positivo, 0V e $-V_{cc}/2$ durante o semiciclo negativo do sinal de controle conforme apresentado no diagrama da Figura 3.14. O sentido da corrente de saída do conversor irá determinar o diodo que irá conduzir nos intervalos 1,3,5 e 7. O diodo superior conduzirá durante o semiciclo positivo do sinal de controle e acorrente de saída do conversor for positiva, ou durante o semiciclo negativo do sinal de controle e a corrente

positiva, enquanto o diodo inferior conduzirá para o semiciclo negativo do sinal de controle e corrente negativa, ou quando ambos forem negativos.

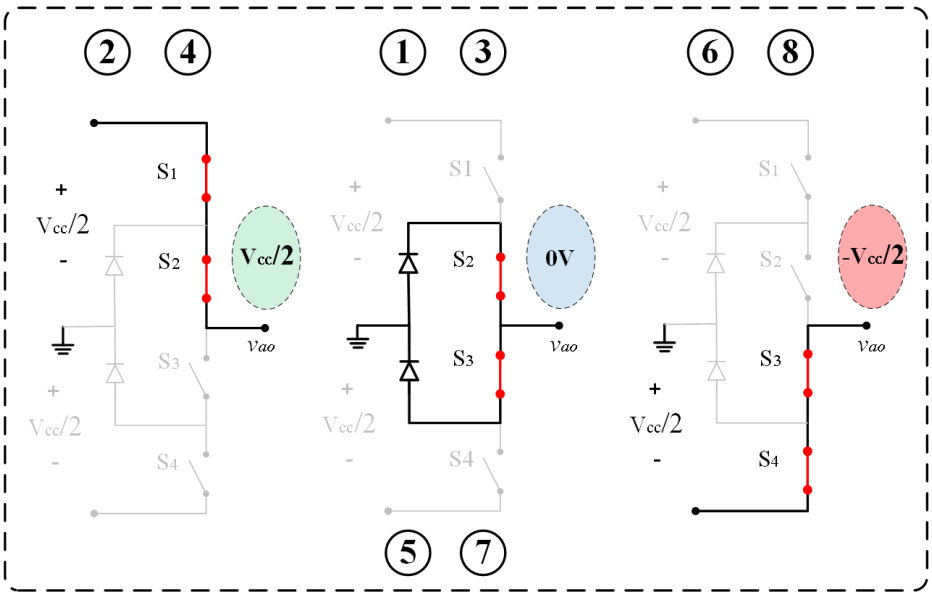


Figura 3.14 Estado das chaves e tensão de saída do conversor SNPC para as etapas de comutação da Figura 3.13.

A modulação unipolar oferece uma redução tanto nas perdas dos conversores quanto na atenuação das componentes harmônicas de alta frequência do sinal da corrente se comparado à forma bipolar em um conversor capaz de sintetizar apenas 2 níveis (*Full Bridge* por exemplo). Isso permite uma redução dos valores dos elementos indutivos do filtro LCL para o mesmo critério de *ripple* de corrente.

3.2.1.3 Projeto do controle do primeiro estágio

O inversor da topologia NPC pode sintetizar três níveis de tensão e o seu circuito equivalente pode ser representado conforme esquemático da Figura 3.15. Para a modelagem do inversor será considerado o modo de operação retificador, em que a tensão do barramento c.c. deve ser controlada e que a potência absorvida deve ser constante. Essa fonte de potência é representada pela fonte de corrente i_{Load}, e o indutor L_{ca2} do filtro LCL, dimensionado na seção 3.2.1.1, é conectado na rede elétrica representada pela fonte v_g. Vale ressaltar que as equações para o modo retificador também podem ser utilizadas para representar o modo de operação inversor.

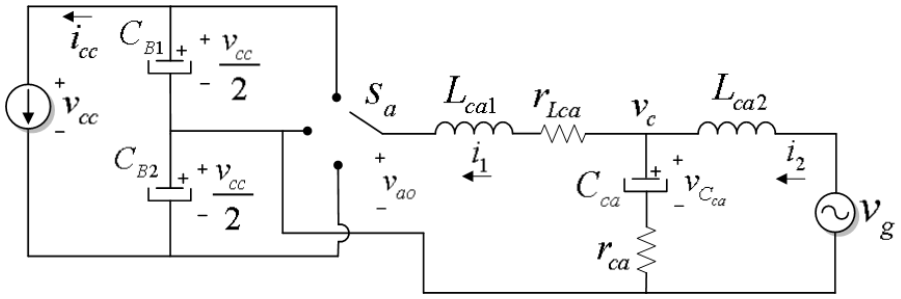


Figura 3.15 Circuito equivalente do inversor NPC no modo retificador.

O termo s_a representa o estado na chave e relaciona a tensão de entrada do inversor v_{ao} com a tensão do barramento intermediário v_{cc}, conforme Equação 3.21.

$$v_{ao} = s_a \frac{v_{cc}}{2} \tag{3.21}$$

Dessa forma é possível sintetizar as tensões + $v_{cc}/2$, 0 ou - $v_{cc}/2$ para as três posições possíveis da chave s_a (-1, 0 e 1). A posição da chave s_a se relaciona com o ciclo de trabalho D_{npc}, definido pela Equação 3.9a cujo valor está compreendido dentro do intervalo [-1, 1]. Assim, a Equação 3.21 pode ser re-escrita como a Equação 3.22.

$$\overline{v_{ao}} = D_{npc} \frac{v_{cc}}{2} \tag{3.22}$$

As equações diferenciais (3.13) a (3.26) mostradas abaixo representam o funcionamento do circuito da Figura 3.15 do lado do filtro LCL. É considerada apenas a resistência do indutor L_{ca1} por este possuir um valor mais expressivo do que L_{ca2}:

$$L_{ca1} \frac{di_1}{dt} = v_c - v_{ao} - r_{Lca} i_{L_{ca1}} \tag{3.23}$$

$$L_{ca2} \frac{di_2}{dt} = v_g - v_c \tag{3.24}$$

$$C_{ca} \frac{dv_{C_{ca}}}{dt} = i_{L_{ca2}} - i_{L_{ca1}} \tag{3.25}$$

$$v_c = r_{ca}(i_{L_{ca2}} - i_{L_{ca1}}) + v_{C_{ca}} \tag{3.26}$$

Substituindo a Equação 3.26 na Equação 3.23 e Equação 3.24, obtêm-se as Equações (3.27) e (3.28).

$$L_{ca1}\frac{di_1}{dt} = r_{ca}(i_{L_{ca2}} - i_{L_{ca1}}) + v_{C_{ca}} - v_{ao} - r_{Lca}i_{L_{ca1}} \tag{3.27}$$

$$L_{ca2}\frac{di_2}{dt} = v_g - (r_{ca}(i_{L_{ca2}} - i_{L_{ca1}}) + v_{C_{ca}}) \tag{3.28}$$

A dinâmica da tensão nos capacitores do barramento intermediário está diretamente relacionada com a posição da chave s_a. Para s_a igual a 1, as Equações: (3.29), (3.30), (3.31) e (3.32) representam as correntes nos capacitores do barramento intermediário.

$$i_{C_{B_1}} = i_{L_{ca1}} - i_{cc} \tag{3.29}$$

$$i_{C_{B_2}} = -i_{cc} \tag{3.30}$$

$$i_{C_{B_1}} = C_{B_1}\frac{dv_{C_{B_1}}}{dt} \tag{3.31}$$

$$i_{C_{B_2}} = C_{B_2}\frac{dv_{C_{B_2}}}{dt} \tag{3.32}$$

Sendo $C_{B1} = C_{B2} = C_s$, a tensão do barramento intermediário é representada pela Equação 3.33 e a variação dessa tensão pela Equação 3.34.

$$v_{cc} = v_{C_{B_2}} + v_{C_{B_1}} \tag{3.33}$$

$$\frac{dv_{cc}}{dt} = \frac{dv_{C_{B_2}}}{dt} + \frac{dv_{C_{B_1}}}{dt} \tag{3.34}$$

Substituindo as Equações (3.29), (3.30), (3.31) e (3.32) em (3.34), obtém-se (3.35).

$$C_s\frac{dv_{cc}}{dt} = i_{L_{ca1}} - 2i_{cc} \qquad (s_a = 1) \tag{3.35}$$

Para s_a igual a 0, a Equação 3.36 apresenta a corrente nos capacitores do barramento intermediário.

$$i_{C_{B_1}} = i_{C_{B_2}} = -i_{cc} \tag{3.36}$$

Assim, a Equação 3.31 é igual a Equação 3.32 e a variação da tensão no barramento intermediário é escrita conforme a Equação 3.37.

$$C_s \frac{dv_{cc}}{dt} = -2i_{cc} \quad (s_a = 0) \tag{3.37}$$

Para s_a igual a -1, as Equações (3.38) e (3.39) representam as correntes nos capacitores do barramento intermediário.

$$i_{C_{B_2}} + i_{L_{ca1}} = -i_{cc} \tag{3.38}$$

$$i_{C_{B_1}} = -i_{cc} \tag{3.39}$$

Substituindo as Equações (3.38), (3.39), (3.31) e (3.32) em (3.34), encontra-se a Equação 3.40.

$$C_s \frac{dv_{cc}}{dt} = -i_{L_{ca1}} - 2i_{cc} \quad (s_a = -1) \tag{3.40}$$

Assim, avaliada a variação da tensão do barramento c.c. para as três tensões diferentes capazes de serem sintetizadas pelo inversor, representadas pelas Equações (3.35), (3.37) e (3.40), é possível determinar a relação dessa variação com a posição da chave s_a conforme a Equação 3.41.

$$C_s \frac{dv_{cc}}{dt} = s_a i_{L_{ca1}} - 2i_{cc} \tag{3.41}$$

No modelo considerado, o sentido da corrente i_{Lca1} ocorre apenas durante um semiperíodo da fundamental, dessa forma, a corrente de entrada do conversor é representada pela curva na Figura 3.16. Quando há a inversão do sentido dessa corrente, deve-se considerar as equações para essa situação para a modelagem completa do comportamento do conversor.

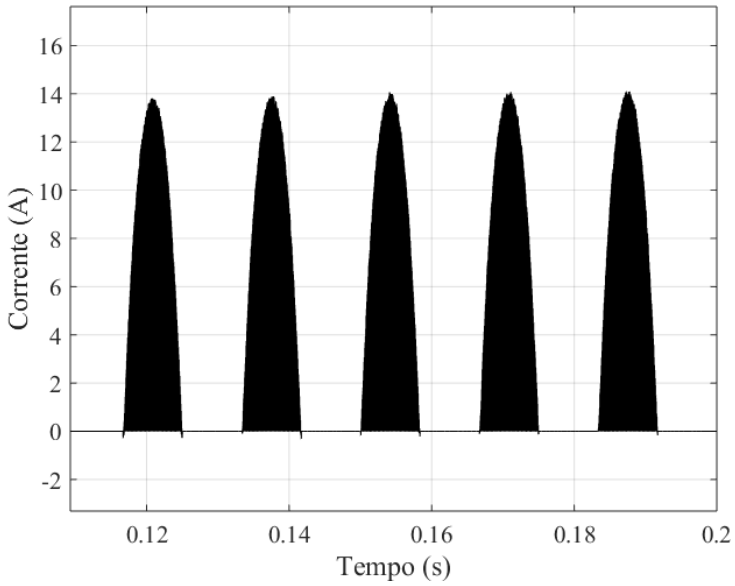


Figura 3.16 Corrente de entrada no conversor NPC durante um semiperíodo.

A corrente média i_{cc} desenvolvida pelo modelo para um semiperíodo é igual à metade do valor esperado para condições normais de operação. Assim, para que o inversor desenvolva a corrente nominal, pode-se considerar i_{cc} com o dobro do valor. Dessa maneira, a corrente média desenvolvida pelo modelo durante o semiperíodo corresponde ao valor que o conversor desenvolve a potência nominal. A partir dessa simplificação e da substituição da posição da chave (s_a) pelo ciclo de trabalho (D_{NPC}), como apresentado no início dessa seção, a variação da tensão do barramento c.c. é apresentada conforme a Equação 3.42.

$$C_s \frac{dv_{cc}}{dt} = D_{NPC} i_{L_{ca1}} - 4i_{cc} \tag{3.42}$$

Aplicando a modelagem de pequenos sinais nas Equações (3.25), (3.27), (3.28) e (3.42), e excluindo as parcelas de segunda ordem e c.c., pode-se representar o modelo em espaço de estados do conversor NPC conforme a Equação 3.43.

$$\frac{d}{dt}\begin{bmatrix} \tilde{i}_{L_{ca1}} \\ \tilde{i}_{L_{ca2}} \\ \tilde{v}_{C_{ca}} \\ \tilde{v}_{cc} \end{bmatrix} = \begin{bmatrix} -\frac{(r_{ca}+r_{Lca})}{L_{ca1}} & \frac{r_{ca}}{L_{ca1}} & \frac{1}{L_{ca1}} & -\frac{D_{NPC}}{2L_{ca1}} \\ \frac{r_{ca}}{L_{ca2}} & -\frac{r_{ca}}{L_{ca2}} & -\frac{1}{L_{ca2}} & 0 \\ -\frac{1}{C_{ca}} & \frac{1}{C_{ca}} & 0 & 0 \\ \frac{D_{NPC}}{C_s} & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} \tilde{i}_{L_{ca1}} \\ \tilde{i}_{L_{ca2}} \\ \tilde{v}_{C_{ca}} \\ \tilde{v}_{cc} \end{bmatrix} + \begin{bmatrix} -\frac{v_{cc}}{2L_{ca1}} & 0 & 0 \\ 0 & \frac{1}{L_2} & 0 \\ 0 & 0 & 0 \\ \frac{I_{L_{ca1}}}{C_s} & 0 & -\frac{4}{C_s} \end{bmatrix} \begin{bmatrix} \tilde{d} \\ \tilde{v}_g \\ \tilde{i}_{cc} \end{bmatrix} \tag{3.43}$$

No modelo apresentado faz-se necessário conhecer a corrente no indutor L_{ca1} e o ciclo de trabalho D_{npc} no ponto de operação. O ciclo de trabalho nesse ponto é obtido através do índice de modulação do inversor M_{NPC}, conforme a Equação 3.44.

$$D_{npc} = M_{NPC} = \frac{2v_g}{v_{cc}} \tag{3.44}$$

Já a corrente eficaz no indutor I_{Lca1} pode ser estimada ao considerar que toda a potência de entrada é transferida para a saída do conversor, dessa forma $I_{Lca1\text{-}rms}$ é igual a $I_{Lca2\text{-}rms}$ e esta é representada pela Equação 3.45.

$$P_{in} = P_o = \frac{V_g I_{L_{ca1}}}{2} \leftrightarrow I_{L_{ca1}} = 2\frac{P_{in}}{V_g} \tag{3.45}$$

Pelo mesmo critério, a corrente do barramento intermediário pode ser calculada conforme a Equação 3.46.

$$I_{cc} = \frac{P_{in}}{v_{cc}} \tag{3.46}$$

A partir da modelagem do inversor NPC foi feito o dimensionamento do sistema de controle, mostrado no diagrama representado pela Figura 3.17. O sistema de controle a ser empregado no inversor NPC consiste em manter a tensão do barramento intermediário c.c. em uma tensão de referência v_{cc}^* de 600V, conforme considerado no dimensionamento dos capacitores do barramento na Seção 3.1. Para garantir essa situação, é feito o controle da corrente no indutor L_{ca1}, cujo valor de referência é gerado pela saída da malha de tensão.

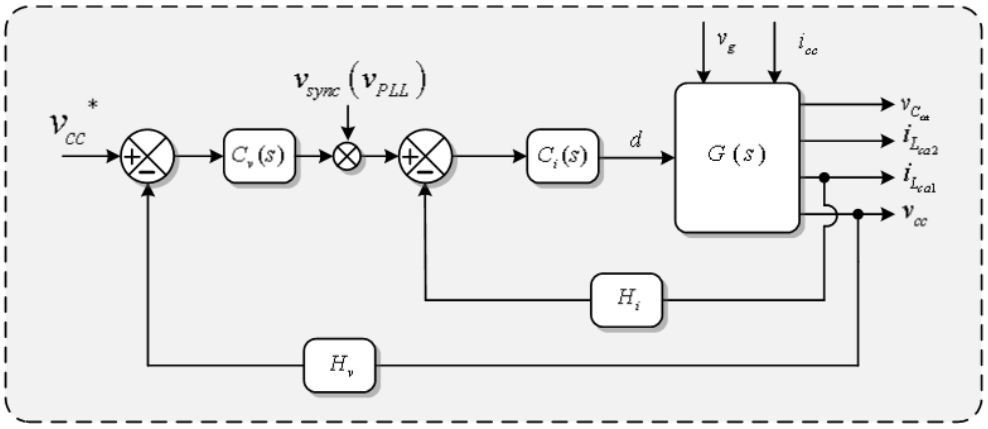


Figura 3.17 Diagrama de controle do inversor NPC.

Onde,

$C_v(s)$ é o controlador da malha de tensão;

$C_i(s)$ é o controlador da malha de corrente no indutor L_{ca1};

H_i é o ganho do sensor de corrente, e é igual a 1/10;

H_v é o ganho do sensor de tensão, e é igual a 1/100.

v_{sync} é o sinal de sincronismo com a rede elétrica.

Para o dimensionamento do sistema de controle serão considerados os valores dos componentes passivos dimensionados nas seções anteriores e demais valores listados na Tabela 3.2.

Tabela 3.2 Valores utilizados para dimensionamento do sistema de controle do conversor NPC.

$\mathbf{L_{ca1}}$	600µH
$\mathbf{r_{Lca1}}$	0,05 Ω
$\mathbf{L_{ca2}}$	200µH
$\mathbf{C_{ca}}$	16.8µF
$\mathbf{r_{ca}}$	0.1Ω
$\mathbf{C_s}$	2mF
$\mathbf{V_{cc}}$	600V
$\boldsymbol{M_{NPC}}$	0.5987
$\boldsymbol{v_g}$	179,6V
$\mathbf{P_{in}}$	2000W
$\mathbf{I_{Load}}$	3,3A

A malha de controle da tensão do barramento intermediário v_{cc}, do sistema de controle apresentado na Figura 3.17, é ilustrado pelo diagrama simplificado da Figura 3.18. A dinâmica da malha de corrente foi desprezada ($1/H_i$) por ser muito mais rápida que a dinâmica da malha mais externa de tensão.

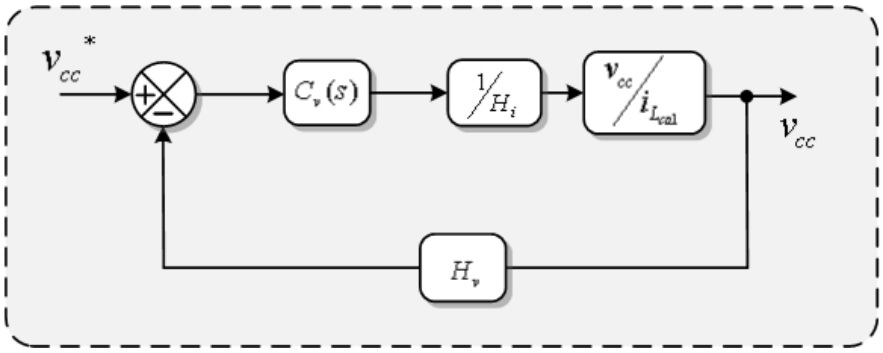


Figura 3.18 Diagrama de controle da malha de tensão do inversor NPC.

A função de transferência de malha fechada do sistema da Figura 3.18 é representada pela Equação 3.47, e a função de transferência $v_{cc}/i_{L_{ca1}}$ é representada por G_{vi}.

$$\frac{v_{cc}}{v_{cc}^{*}} = \frac{C_v G_{vi}}{H_i + H_v C_v G_{vi}} \tag{3.47}$$

Para garantir erro de regime permanente nulo, optou-se por implementar o controlador de tensão C_v por meio de um compensador Proporcional-Integral (PI) conforme a Equação 3.48, o ganho k_{pv} foi ajustado a partir da avaliação da margem de fase e margem de ganho. Para os valores conforme Tabela 3.2 e T_v igual a 0,01s (valor ajustado manualmente que conferiu estabilidade ao sistema), foram traçados, a partir da função de transferência de malha aberta, as margens de fase e de ganho para diferentes valores de $k_{pv\text{-}NPC}$ conforme Figuras 3.19 e 3.20.

$$C_v(s) = k_{pv-NPC}\left(1 + \frac{1}{sT_v}\right) \tag{3.48}$$

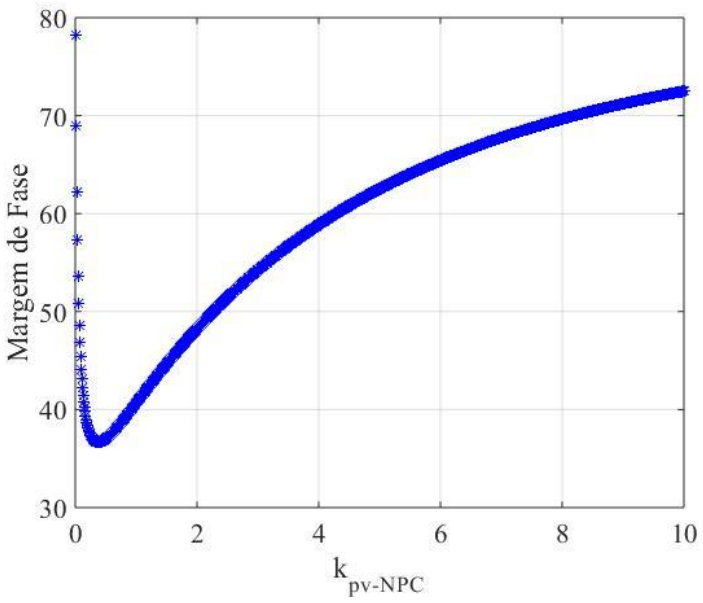


Figura 3.19 Margem de Fase da malha de tensão do inversor NPC em função de $k_{pv\text{-}NPC}$.

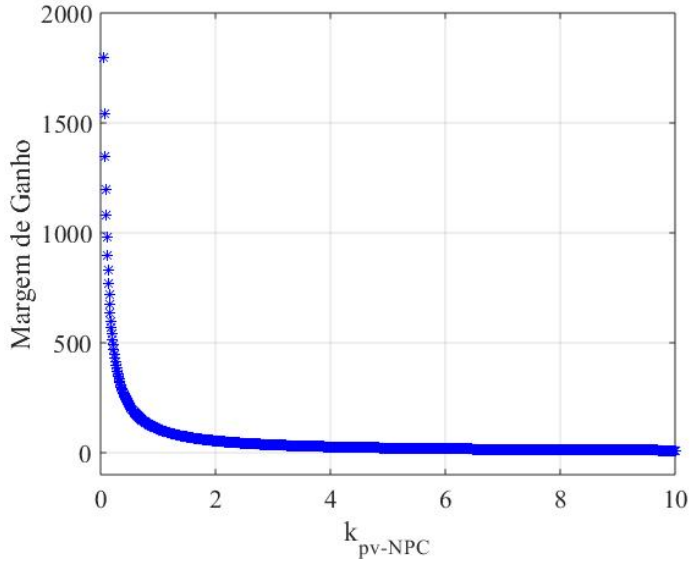


Figura 3.20 Margem de Ganho de (3.47) em função de $k_{pv\text{-}NPC}$.

Para $k_{pv\text{-}NPC}$ entre 1 e 10, a margem de fase é positiva assim como a margem de ganho. Isso confere estabilidade ao sistema, que também pode ser verificado pelo lugar das raízes do sistema em malha fechada conforme Figura 3.21.

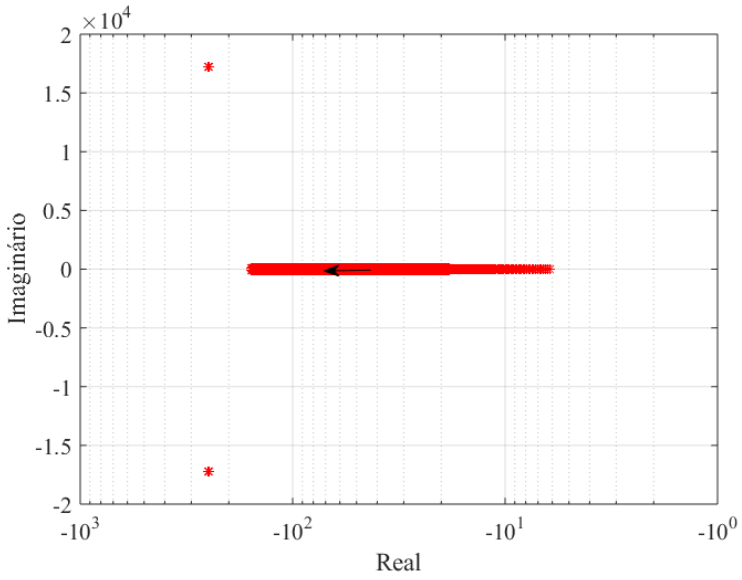


Figura 3.21 Lugar das raízes malha de controle da tensão do inversor NPC representado por (3.47).

Os pólos estão localizados à esquerda do plano e se deslocam para a esquerda com o aumento do ganho $k_{pv\text{-}NPC}$, o que determina que o sistema não se tornará instável com o aumento do ganho. Para avaliar a dinâmica da malha de tensão foram considerados os ganhos $k_{pv\text{-}NPC}$=1, $k_{pv\text{-}NPC}$ =3, $k_{pv\text{-}NPC}$ =5 e $k_{pv\text{-}NPC}$ =7, cujos erros percentuais são mostrados na Figura 3.22 para um degrau de 100V na malha de tensão.

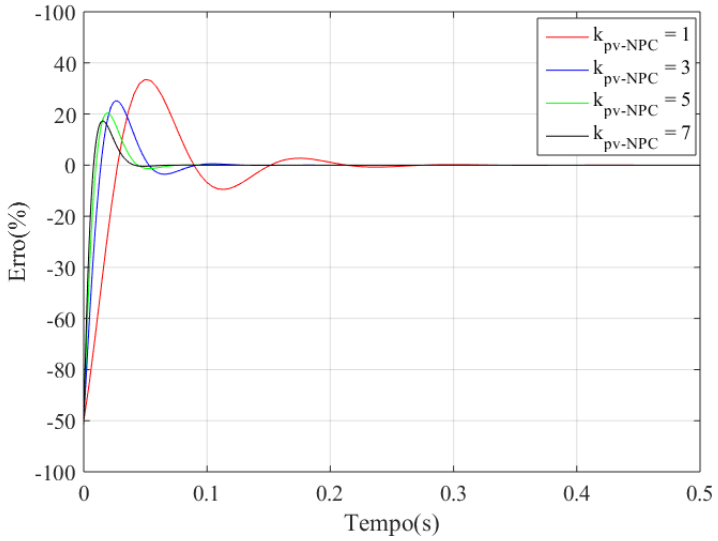


Figura 3.22 Erro percentual para um degrau de 100V na malha de controle de tensão do conversor SNPC para $k_{pv\text{-}NPC}$ =1, $k_{pv\text{-}NPC}$ =3, $k_{pv\text{-}NPC}$ =5 e $k_{pv\text{-}NPC}$ =7.

Observa-se que o conversor apresenta uma resposta amortecida ao degrau de carga, com sobre-elevação e afundamento transitórios de aproximadamente 17% e tempo de acomodação de aproximadamente 50ms para $k_{pv\text{-}NPC}$ igual a 7, valor escolhido para o controlador. A resposta em frequência da função de transferência G_{vi} e do sistema de controle de tensão em malha aberta é mostrada na Figura 3.23.

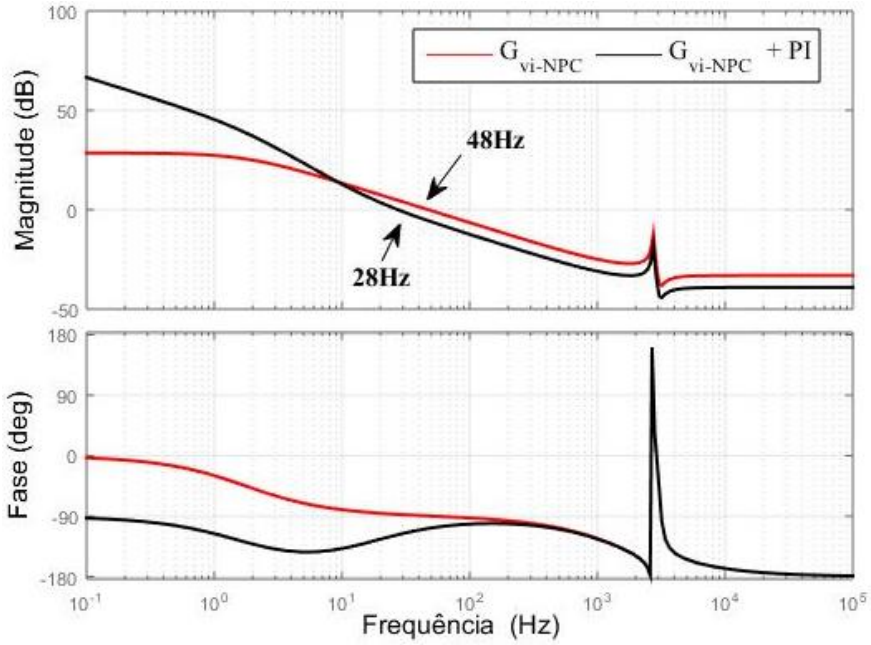


Figura 3.23 Resposta em frequência do sistema em malha aberta sem controle (vermelho) e com controle (preto) para $k_{pv\text{-}NPC}$ = 7 e T_v = 0.01.

A banda passante do sistema com o controlador foi de 28Hz frente aos 48Hz do sistema sem controle, que já representa um sistema com respostas a perturbações bem lento. Também é observada uma ressonância na frequência 2745Hz que representa a frequência de ressonância do filtro LCL.

Em seguida, na Figura 3.24, é apresentada a malha de controle da corrente de saída do inversor NPC, que corresponde à corrente no indutor L_{ca1}.

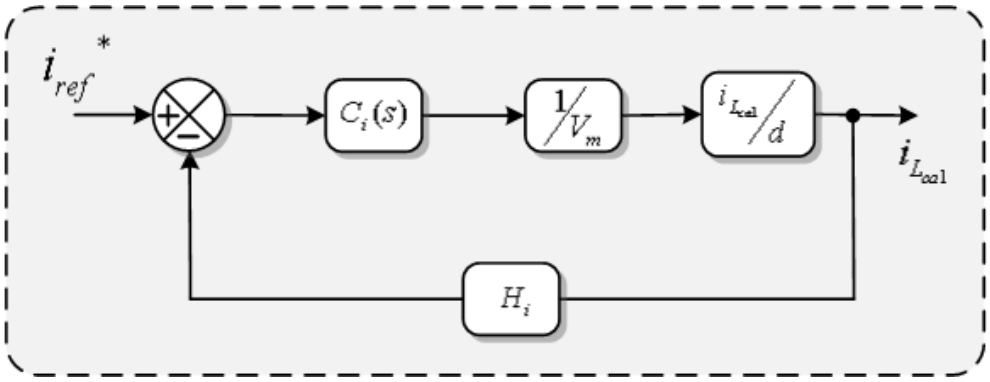


Figura 3.24 Malha de controle de corrente de saída do inversor NPC.

A função de transferência de malha fechada do diagrama da Figura 3.24 é apresentada pela Equação 3.49, onde G_{id} é a função de transferência i_{Lca1}/d e V_m é a amplitude de pico da portadora triangular utilizada na técnica de comutação PWM.

$$\frac{i_{Lca1}}{i_{ref}^{*}} = \frac{C_i G_{id}}{V_m + H_i C_i G_{id}} \tag{3.49}$$

A referência da malha de corrente possui uma forma de onda senoidal, assim, optou-se por utilizar um controlador Proporcional-Integral-Ressonante (PIR). Essa topologia oferece um ganho elevado na frequência da fundamental da corrente, o que irá contribuir para um erro de trajetória praticamente nulo em malha fechada. Já o ganho integral garante erro de estado estacionário nulo para sinais contínuos, o que evita a injeção de corrente contínua na rede elétrica. A implementação digital da estrutura desse controlador possui algumas limitações, principalmente devido ao ganho infinito presente na frequência de ressonância. Para suavizar essa limitação, a banda passante do compensador ressonante será elevada, de forma que o mesmo opere como um filtro passa-faixas. A função de transferência do controlador considerado é apresentada pela Equação 3.50. A banda passante B da parcela ressonante foi considerada de 6,28 rad/s (1Hz) e a frequência ω_0 igual a 377 rad/s (60Hz).

$$C_i(s) = k_{pi-NPC}\left(1+\frac{1}{sT_i}\right)+k_{pr}\left(\frac{Bs}{s^2+Bs+\omega_o{}^2}\right) \tag{3.50}$$

Para avaliação do controlador foi considerado $T_i = 0{,}1$ e $k_{pr} = 200$ inicialmente, que foram ajustados manualmente e garantiram estabilidade ao sistema. A margem de ganho da função de transferência de malha aberta da corrente é infinita, o que significa que é possível variar o ganho sem instabilizar o sistema em malha fechada. Já a margem de fase em função de $k_{pi\text{-}NPC}$ é mostrada na Figura 3.25.

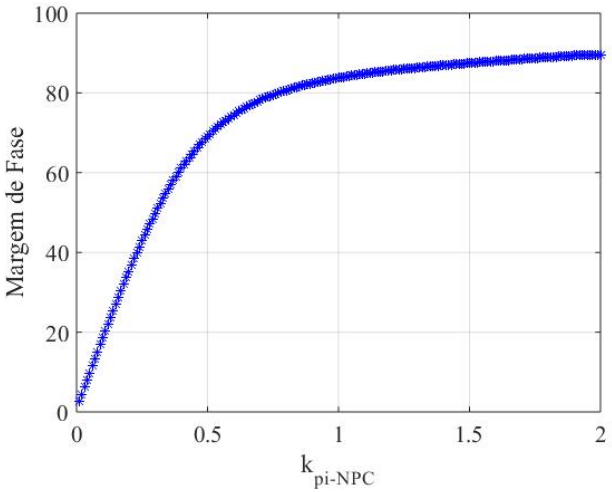


Figura 3.25 Margem de fase da malha de corrente do inversor NPC em função de $k_{pi\text{-}NPC}$.

Para valores de $k_{pi\text{-}NPC}$ entre 0 e 1 o sistema possui margem de fase positiva, conferindo estabilidade ao mesmo, que também pode ser confirmado a partir do lugar das raízes do sistema em malha fechada apresentado pela Equação 3.49 conforme Figura 3.26.

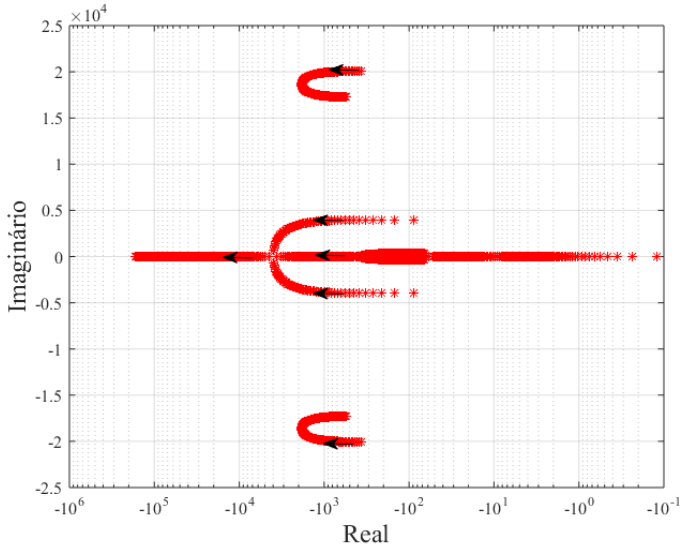


Figura 3.26 Lugar das raízes malha de controle da corrente do inversor NPC representado por (3.49) para 0 < $k_{pi\text{-}NPC}$ <1.

Todos os pólos estão localizados no plano esquerdo com ganhos entre 0 e 1, o que confere estabilidade ao sistema com o controlador PIR dimensionado. A Figura 3.27 apresenta o erro percentual desenvolvido pela malha de corrente para diferentes valores de k_{pr}, para um degrau de 3A na amplitude da senóide, $k_{pi\text{-}NPC}$ foi fixado em 0,7.

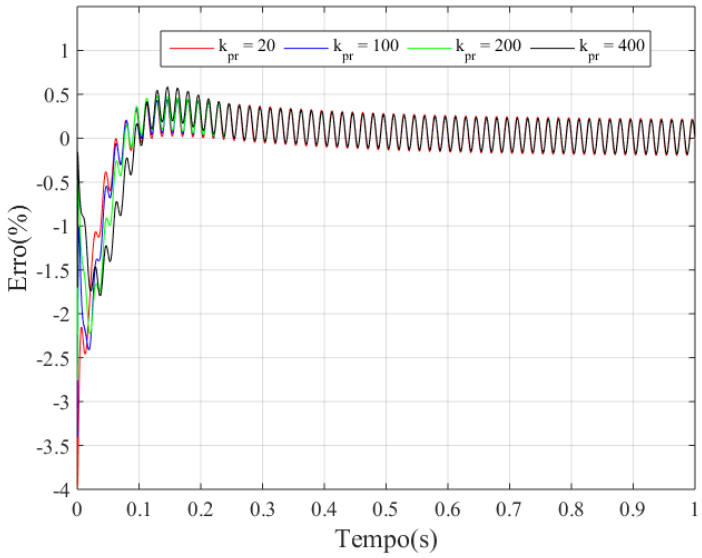


Figura 3.27 Erro percentual para um degrau de 3A na malha de corrente do inversor NPC para diferentes valores de k_{pr}.

Os erros desenvolvidos são praticamente desprezíveis e o tempo de acomodação é inferior a 0,5s com sobressinal praticamente desprezível, dessa maneira será considerado k_{pr} = 400. A fim de refinar o controlador PIR foi realizada a variação do ganho $k_{pi\text{-}NPC}$, fixando-se T_i = 0,01s (valor ajustado para aumentar a velocidade de resposta da malha de corrente) para o mesmo degrau de corrente, conforme Figura 3.28.

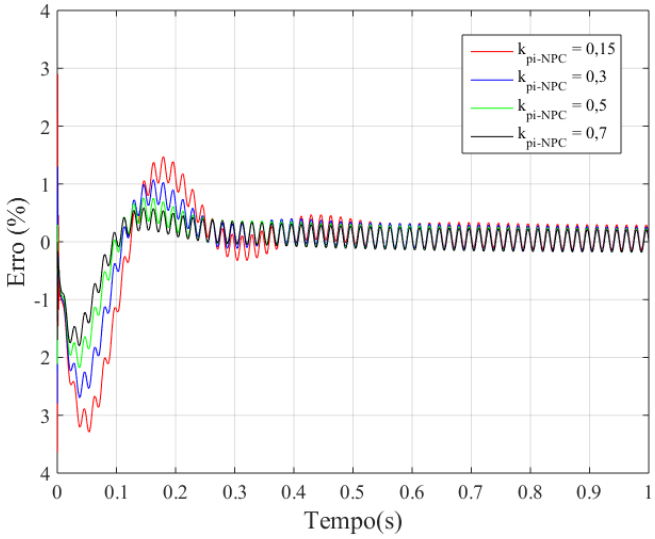


Figura 3.28 Erro percentual para um degrau de 3A na amplitude da senoide na malha de corrente do inversor NPC para uma entrada senoidal para diferentes valores de $k_{pi\text{-}NPC}$.

Para o ganho proporcional de corrente foi considerado $k_{pi\text{-}NPC}$ = 0,7. A Figura 3.29 apresenta a resposta em frequência da malha de corrente com e sem o controlador PIR.

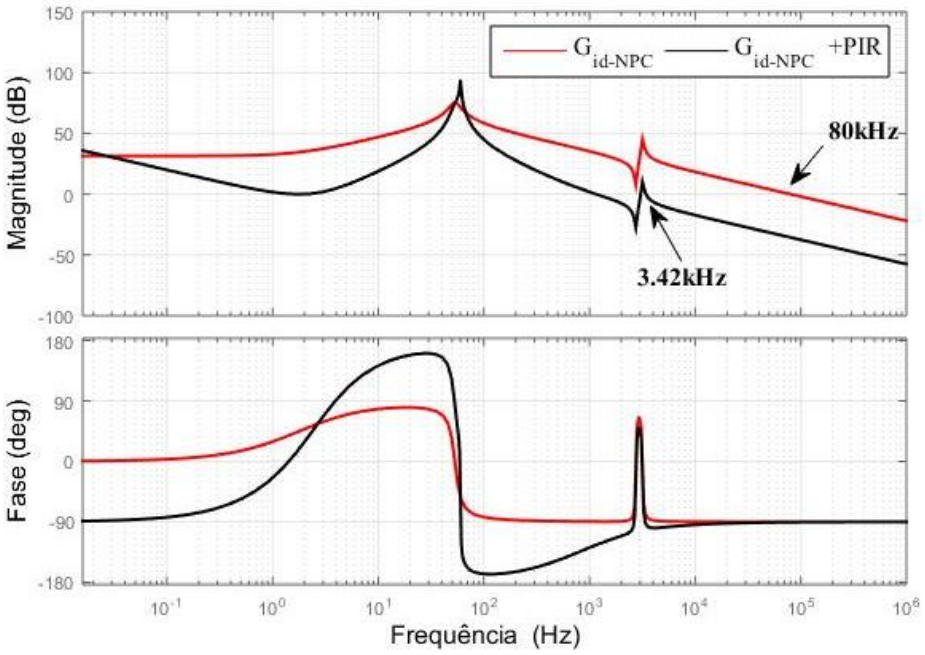


Figura 3.29 Resposta em frequência da malha aberta de corrente com e sem controlador.

A banda passante atingida foi de 3,42kHz com o controlador frente aos 80kHz sem o controlador. Em suma, as malhas de controle de tensão e de corrente dimensionadas apresentaram banda passante de 28Hz e 3,42kHz respectivamente, conforme Figura 3.30, o que representa 0,125% e 17,8% da frequência de chaveamento.

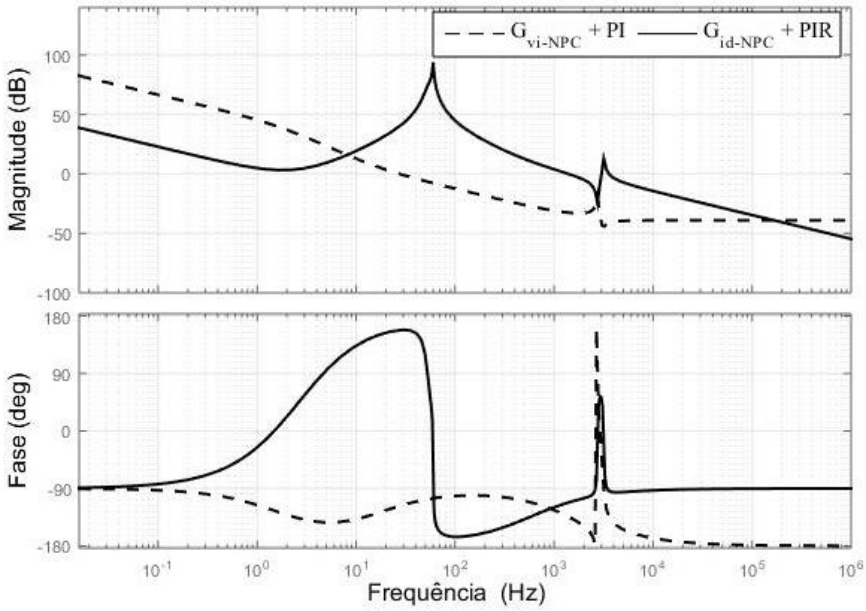


Figura 3.30 Resposta em frequência de malha aberta da tensão e corrente do inversor NPC com seus respectivos controladores.

A Tabela 3.3 sumariza os dados das variáveis nas malhas de controle e controladores dimensionados nessa seção para o primeiro estágio do conversor BGIC.

Tabela 3.3 Dados das malhas de controle de corrente e tensão para o primário do conversor BGIC.

Malha de Corrente		**Malha de Tensão**	
$\boldsymbol{T_i}$	0.1s	T_v	0.01s
$\boldsymbol{k_{pi-NPC}}$	0.7	k_{pv-NPC}	7
$\boldsymbol{k_{pr}}$	400	-	-
Margem de Fase	67.95º	Margem de Fase	67.86º
Margem de Ganho	∞	Margem de Ganho	15.2
Banda Passante	3.42kHz	Banda Passante	28Hz

Para avaliar a modelagem realizada foi feita uma comparação a partir da simulação do circuito chaveado e do modelo matemático desenvolvido no trabalho. Foi realizado um degrau de carga de 1kW para 2kW. Conforme as Figuras 3.31 e 3.32, é possível comprovar que o modelo desenvolvido nessa seção representa satisfatoriamente a dinâmica do circuito quando comparado com o modelo chaveado do conversor. O atraso presente na malha de tensão, considerando o circuito chaveado, é justificado pela não idealidade dos componentes utilizados no software de simulação e a inserção do filtro rejeita faixa de segunda ordem para atenuação da componente de 120Hz da tensão do barramento intermediário que é observado no erro da malha de tensão sem o filtro.

O filtro adicionado à malha de tensão se torna necessário uma vez que a ondulação de 120Hz na tensão do barramento intermediário afeta a dinâmica da malha de corrente, intensificando o terceiro harmônico desta grandeza. A forma de onda da corrente no indutor L_{ca1} sem o filtro na malha de tensão é verificada na Figura 3.33.

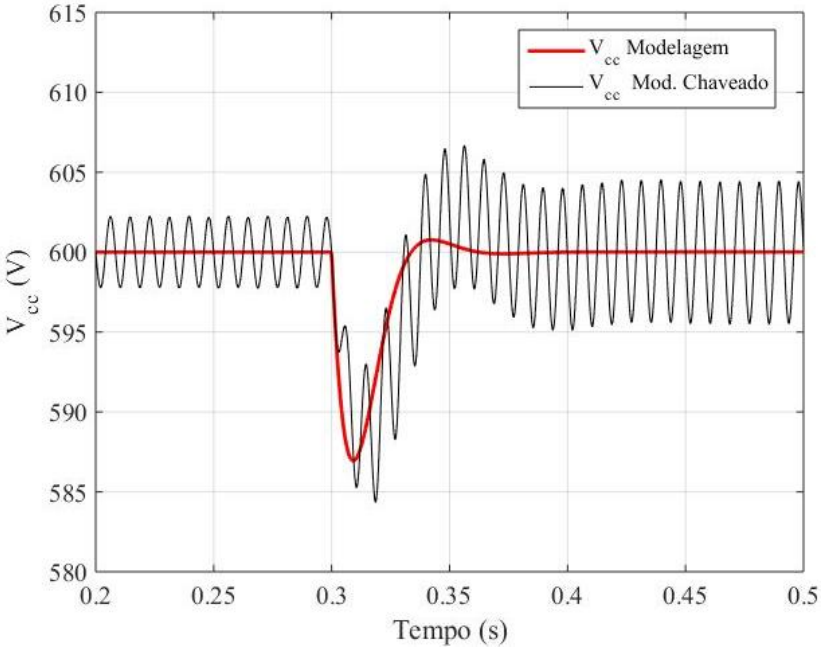


Figura 3.31 V_{cc} para um degrau de potência de 1kW para 2kW.

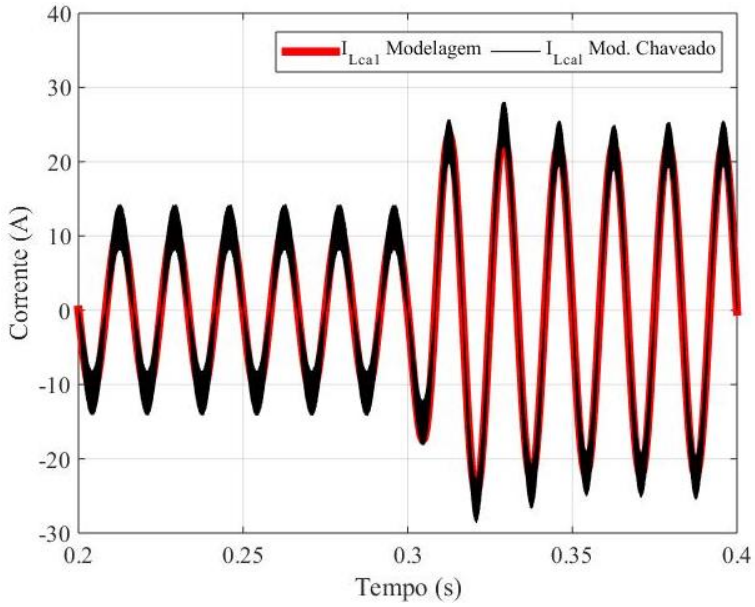


Figura 3.32 I_{Lca1} para um degrau de potência de 1kW para 2kW.

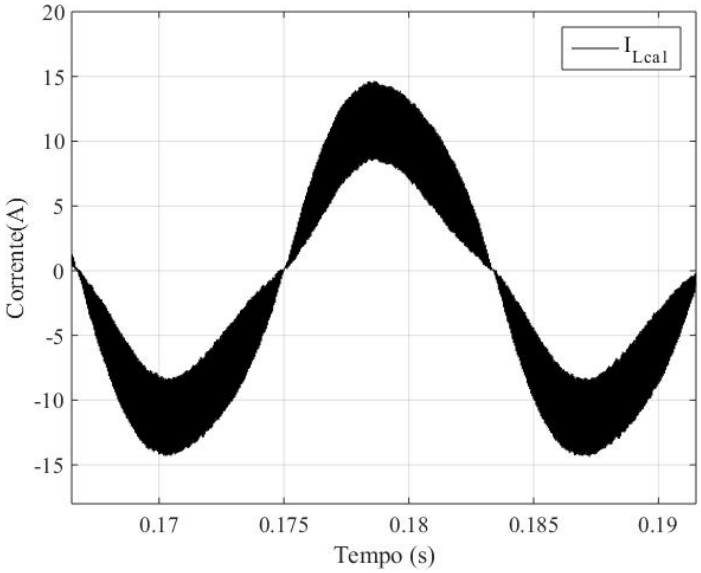


Figura 3.33 Corrente I_{Lca1} sem o filtro de atenuação de 120Hz da malha de tensão.

A taxa de distorção harmônica da corrente injetada na rede elétrica sem o filtro de atenuação é de 5,44%, para a forma de onda apresentada na Figura 3.33, enquanto que com a utilização do filtro na malha de controle da tensão a distorção passa para 0,96%. Assim, faz-se necessário a utilização do filtro para que se respeite a taxa de distorção de corrente máxima injetada na rede elétrica de 5% [42].

3.2.2 Segundo Estágio - Conversor c.c.-c.c.

3.2.2.1 Filtro LC

O segundo estágio do conversor bidirecional proposto nesse trabalho, é composto pelo conversor em ponte completa e pelo filtro LC, descrito na Seção 3.2.2. Ele é responsável pela conversão c.c.-c.c. e pode operar como abaixador ou elevador de tensão, dependendo do fluxo de energia.

A conexão do segundo estágio com o barramento de tensão c.c. da nanorrede é feita por meio de um filtro LC, conforme Figura 3.34.

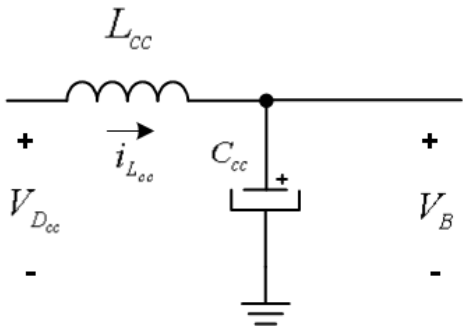


Figura 3.34 Filtro LC utilizado na saída do segundo estágio do conversor BGIC.

Onde:

L_{cc} é a indutância do filtro LC;

C_{cc} é a capacitância do filtro LC;

V_{Dcc} é a tensão de saída do conversor SNPC;

V_B é a tensão do barramento CC (380 V_{DC}).

A escolha do indutor do filtro LC influencia diretamente no *ripple* da corrente que passa por esse componente. Assim como na capacidade de corrente do conversor, o valor da indutância do filtro é calculado a partir do *ripple* máximo de corrente especificada no projeto, além de outras especificações baseadas na aplicação do circuito. O ponto de partida para dimensionamento da indutância mínima é a equação que relaciona a tensão com a corrente no indutor, representada pela Equação 3.51.

$$V_{L_{cc}} = L_{cc} \frac{di_{L_{cc}}}{dt} \tag{3.51}$$

Isolando os termos da Equação 3.51 e considerando que a indutância mínima é determinada para quando há uma maior diferença de potencial aplicada sobre os terminais do indutor, encontra-se a Equação 3.52.

$$L_{cc,\min} = \frac{V_{L_{cc},\max}}{\frac{di_{L_{cc}}}{dt}} = \frac{V_{L_{ccc},\max}}{\frac{\Delta i_{L_{cc}}}{\Delta t}} \tag{3.52}$$

A máxima diferença de potencial entre os terminais do indutor é calculada como a diferença entre a tensão máxima de saída do conversor SNPC e a tensão mínima do barramento principal da nanorrede conforme Equação 3.53. Nessa etapa, o conversor SNPC irá atuar de forma a aumentar a tensão V_B.

$$V_{L_{CC},\max} = V_{D_{CC},\max} - V_{B,\min} \tag{3.53}$$

O *ripple* de corrente é definido como a componente alternada sobreposta ao sinal médio da corrente e é calculado como a diferença entre os valores mínimo e máximo da corrente. A Figura 3.35 apresenta a forma de onda da corrente no indutor para o conversor SNPC.

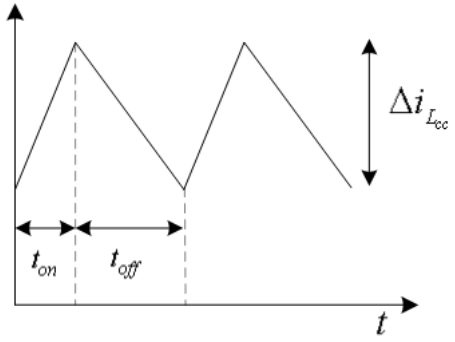


Figura 3.35 Corrente no Indutor do filtro LC.

Durante o tempo t_{on} a corrente no indutor aumenta e a inclinação dessa reta é representada pela Equação 3.54.

$$\frac{\Delta i_{L_{cc}}}{\Delta t} = \frac{i_{L_{cc-ripple}}}{t_{on}} \tag{3.54}$$

Pode-se representar a corrente de *ripple* como uma parcela da corrente nominal, apresentada na Equação 3.55.

$$i_{L_{cc-ripple}} = \Delta i_{L_{cc}(\%)} I_{cc-\max} \tag{3.55}$$

O conversor SNPC utilizado no segundo estágio do BGIC é um conversor de três níveis e o *ripple* de corrente que aparece no filtro de saída assume a frequência de duas vezes a frequência do chaveamento. De posse dessa informação e da relação entre a tensão de saída desse conversor e a tensão de entrada, que será apresentada na seção 3.2.2.3, pode-se escrever t_{on} conforme a Equação 3.56 em função do período T_s referente à frequência de chaveamento.

$$t_{on-cc} = \left(\frac{D_{cc}+1}{2}\right)\frac{T_s}{2} = \frac{(D_{cc}+1)}{4 f_{chav}} \tag{3.56}$$

A equação que determina a indutância mínima necessária para o filtro LC, a partir de especificações de operação do conversor, é encontrada ao substituir as Equações (3.56), (3.55),

(3.53), (3.54) e (3.53) em (3.52). Dessa forma o valor mínimo da indutância necessária é representado pela Equação 3.57.

$$L_{cc,\min} = \frac{(D_{cc}+1)(V_{D_{cc},\max} - V_{B,\min})}{4 f_{chav} \Delta i_{L_{cc}(\%)} I_{cc-\max}} \tag{3.57}$$

O valor da capacitância do filtro afeta diretamente a tensão de saída do conversor, assim como o *overshoot* de tensão que ocorre durante as mudanças de carga. O comportamento da corrente no capacitor do filtro LC guarda relação direta com o *ripple* da forma de onda da corrente no indutor, como apresentado na Figura 3.36.

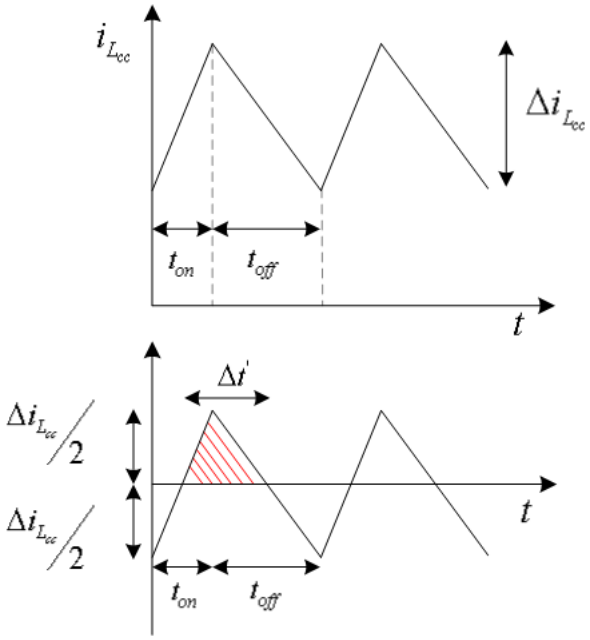


Figura 3.36 Corrente no Indutor e no Capacitor do filtro LC.

A corrente média no capacitor é zero e o comportamento da forma de onda da corrente neste componente se assemelha à forma de onda da corrente no indutor. Durante o intervalo de tempo Δt', o capacitor armazena a carga, representada pela área hachurada em vermelho, que fornece a corrente necessária para manter a tensão de saída constante.

A equação que relaciona a corrente e a tensão no capacitor é representada pela equação 3.58.

$$i_{C_{cc}} = C_{cc} \frac{dV_B}{dt} = C_{cc} \frac{\Delta V_B}{\Delta t} \tag{3.58}$$

Isolando os termos da Equação 3.58 é possível encontrar uma relação com a variação de carga no capacitor, conforme a Equação 3.59.

$$i_{C_{cc}} \Delta t = C_{cc} \Delta V_B = \Delta Q_{cc} \tag{3.59}$$

Sabe-se que a variação de carga no capacitor pode ser representada como a carga armazenada durante o período em que o capacitor absorve corrente, representado pela área hachurada em vermelho na Figura 3.36 e pela Equação 3.60.

$$\Delta Q_{cc} = \Delta t' \frac{\Delta i_{L_{cc}}}{2} \tag{3.60}$$

O período Δt' pode ser deduzido a partir da Figura 3.36, apresentado na Equação 3.61. Lembrando que a frequência do sinal da corrente é o dobro da frequência de chaveamento, conforme explicado durante o dimensionamento do indutor.

$$\Delta t' = \frac{t_{on}}{2} + \frac{t_{off}}{2} = \frac{\frac{(D_{cc}+1)}{2}}{4 f_{chav}} + \frac{1 - \frac{(D_{cc}+1)}{2}}{4 f_{chav}} = \frac{1}{2 f_{chav}} \tag{3.61}$$

A partir da substituição das Equações (3.61) e (3.55) em (3.60) é possível determinar a carga armazenada no capacitor em função do *ripple* de corrente no indutor e da frequência de chaveamento, que é representada pela Equação 3.62.

$$\Delta Q_{cc} = \frac{\Delta i_{L_{cc}}}{8 f_{chav}} \tag{3.62}$$

A partir das Equações (3.59) e (3.62) é possível determinar o valor do capacitor conforme Equação 3.63.

$$C_{cc} > \frac{\Delta i_{L_{cc}}}{8 f_{chav} \Delta V_B} > \frac{\Delta i_{L_{cc}(\%)} I_{cc-\max}}{8 f_{chav} \Delta V_{B(\%)} V_{B,\min}} \tag{3.63}$$

Para se determinar o valor do capacitor é necessária a determinação do *ripple* de tensão desejado, assim como o *ripple* de corrente utilizado para o dimensionamento do indutor. Outro fator que deve ser levado em conta para dimensionamento do capacitor do filtro LC é a capacidade de manter a tensão de saída frente à variação de carga na saída do conversor. Quando

a carga no conversor diminui, ocorre um aumento de tensão temporária na saída do conversor e esse aumento temporário é conhecido como *overshoot* da tensão de saída. O pior caso de transição de carga é composto pela variação de 100% da carga para 0% (corrente nominal para corrente igual a 0), e o capacitor do filtro deve ser capaz de lidar com esse transiente.

Durante a variação da corrente no indutor no pior caso de transição de carga, a energia armazenada pelo indutor deve ser totalmente absorvida pelo capacitor do filtro LC, sendo que a sobretensão máxima que este deve apresentar é limitada a V_{ov}, acima da tensão antes do distúrbio. Assim, a variação de energia do indutor e do capacitor devem ser iguais conforme a Equação 3.64.

$$\left|\Delta E_{C_{cc}}\right| = \left|\Delta E_{L_{cc}}\right| \leftrightarrow \frac{C_{cc}}{2}\left(V_{B,2}^2 - V_{B,1}^2\right) = \frac{L_{cc}}{2}\left(I_{cc,2}^2 - I_{cc,1}^2\right) \tag{3.64}$$

Substituindo os valores considerados para o pior caso, pode-se calcular C_{cc} de acordo com a Equação 3.65.

$$C_{cc} = L_{cc}\frac{\left(I_{cc-\max} + \frac{\Delta i_{L_{cc}(\%)} I_{cc-\max}}{2}\right)^2}{\left[\left(V_{B,\min} + V_{ov}\right)^2 - \left(V_{B,\min}\right)^2\right]} \tag{3.65}$$

Dessa forma o valor do capacitor deve ser escolhido de acordo com o maior valor calculado a partir das Equações (3.63) e (3.65). A Tabela 3.4 apresenta os valores de projeto para o cálculo dos indutores L_{cc} e C_{cc}, obtendo-se os valores de 1,85mH e 3,85µF e 2,7 µF conforme as Equações (3.57), (3.63) e (3.65) respectivamente. O critério de *ripple* de tensão apresentou um maior valor para a capacitância do filtro, entretanto, será considerado um capacitor com capacitância com valor superior a 100µF, valor que garante *overshoot* máximo. Um valor elevado da capacitância de saída dos conversores de uma microrrede ajuda a evitar problemas de estabilidade, pois reduz a impedância de saída.

Tabela 3.4 Condições para cálculo da Indutância e Capacitância do filtro LC.

P	2000W
$V_{Dcc,max}$	660V
$V_{B,min}$	360V
f_{chav}	20000Hz
$I_{cc-\max}$	5.55A
D_{cc}	0.091
$\Delta i_{L_{cc}(\%)}$	40%
$\Delta V_{B(\%)}$	1%
V_{OV}	40V

3.2.2.2 Método de modulação empregada no segundo estágio do BGIC

O método de modulação utilizado no segundo estágio do conversor BGIC também faz uso da técnica PWM com sua forma unipolar. Nesse caso, existe uma única portadora com amplitude $V_m/2$, e os comandos de S_1-S_4 e S_2-S_3 são defasados entre si. O modulador pode ser implementado conforme o circuito lógico da Figura 3.37.

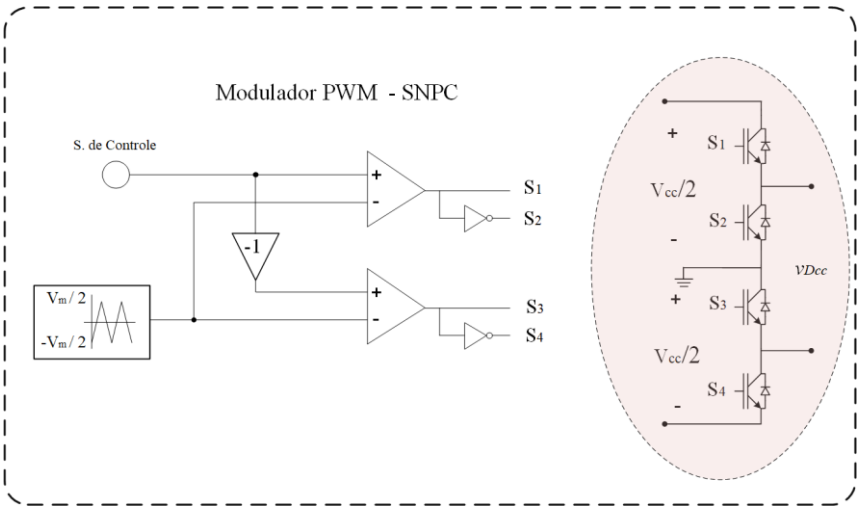
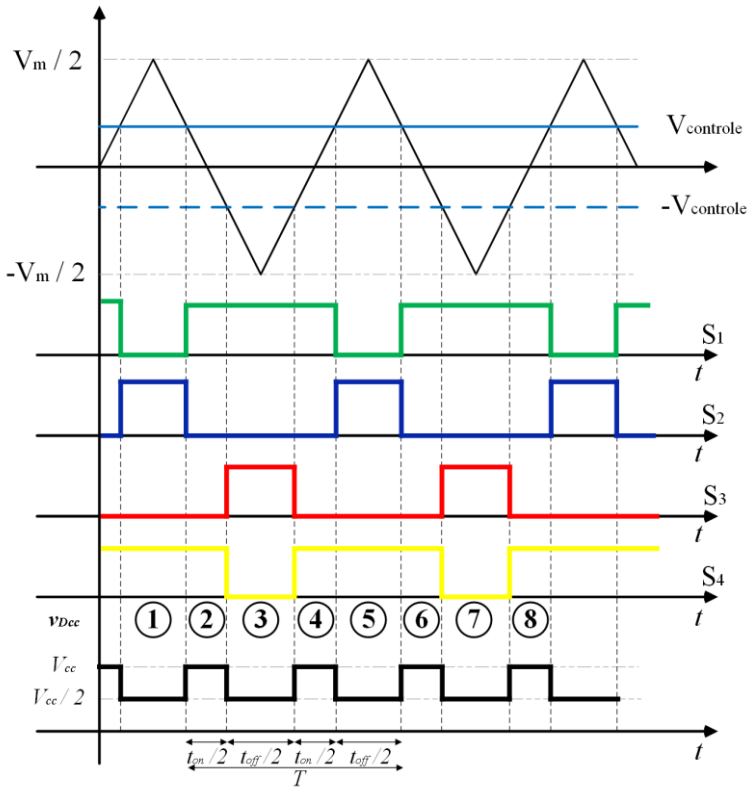


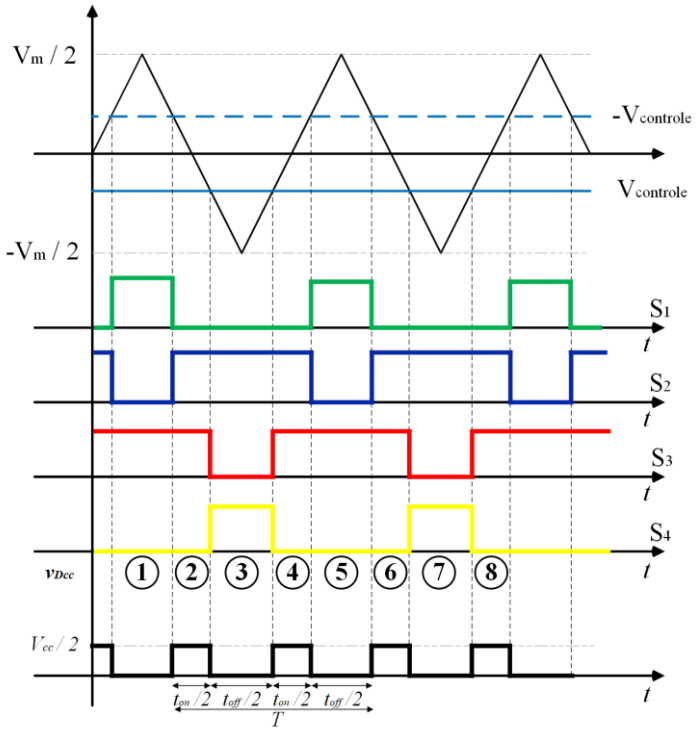
Figura 3.37 Modulador PWM utilizado no segundo estágio.

O sinal de comando produzido pelas malhas de controle do conversor SNPC é essencialmente c.c. e tende a produzir uma tensão contínua na saída do conversor. Para um sinal de controle positivo, o conversor sintetiza as tensões $V_{cc}/2$ e V_{cc}, e para um sinal de controle negativo, sintetiza as tensões $V_{cc}/2$ e 0. A Figura 3.38 ilustra as etapas de comutação do

conversor SNPC para a modulação apresentada na Figura 3.37 e a Figura 3.39 as posições das chaves e tensão de saída do conversor para um sinal de controle positivo.

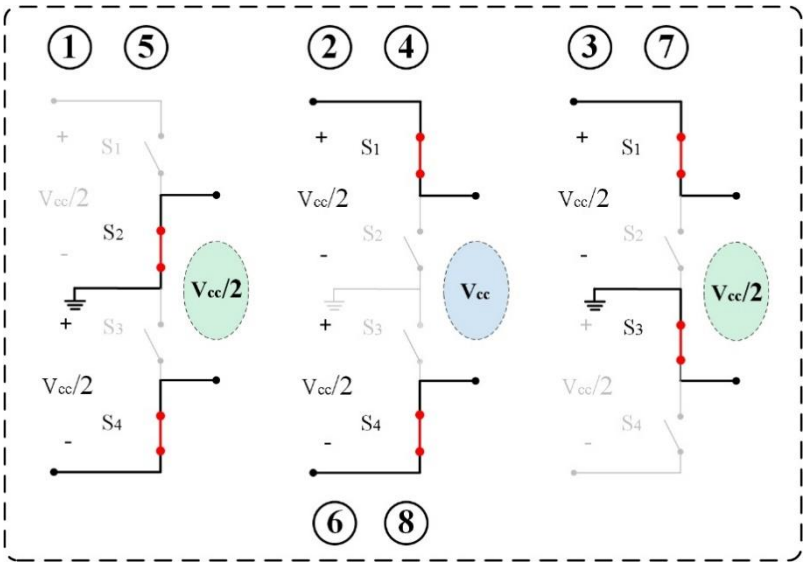


a) Sinal de controle positivo

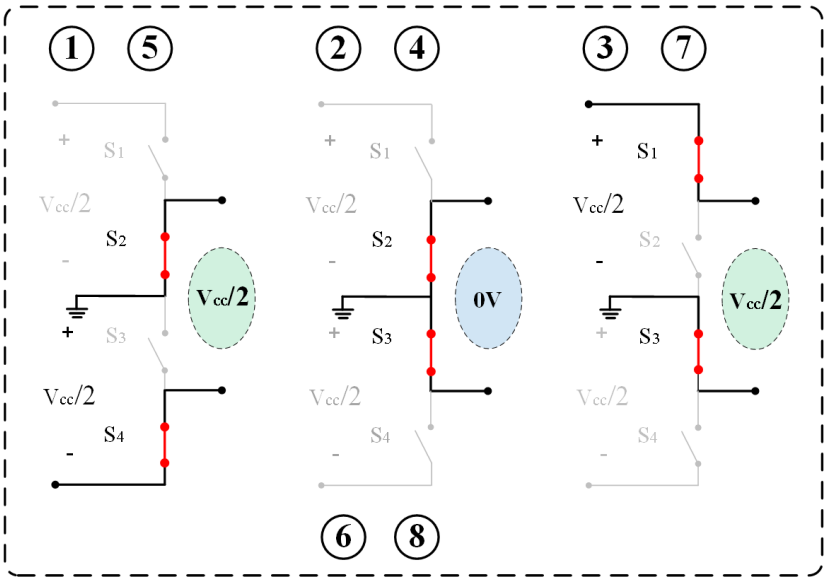


b) Sinal de controle negativo

Figura 3.38 Etapas de comutação das chaves do conversor SNPC.



a) Sinal de controle positivo



b) Sinal de controle negativo

Figura 3.39 Estado das chaves e tensão de saída do conversor SNPC para as etapas de comutação da Figura 3.38

Para o sinal de controle positivo, o conversor gera uma tensão de saída entre $V_{cc}/2$ durante as etapas 1, 3, 5 e 7 e V_{cc} para as etapas 2, 4, 6 e 8. Também se observa que, para uma frequência da portadora f_{sw}, a frequência de chaveamento efetiva do conversor é 2 f_{sw}. Dessa forma, é possível diminuir pela metade o indutor do filtro LC dimensionado para uma frequência de chaveamento fsw para o mesmo *ripple* de corrente considerado.

Considerando um conversor FB, para o mesmo modulador sintetizar uma tensão média na saída do conversor entre $V_{cc}/2$ e V_{cc}, é necessário que o conversor gere nos terminais de saída as tensões 0 e V_{cc}. Assim, o ΔV nos terminais do conversor é o dobro se comparado ao SNPC, o que implica num indutor duas vezes maior para o FB.

A relação entre a tensão de saída do conversor SNPC e o ciclo de trabalho é dada a partir do balanço Volt-segundo. Seja T o período do chaveamento, t_{on} e t_{off} são os tempos em que o conversor irá sintetizar V_{cc} e $V_{cc}/2$ respectivamente e V_o é a tensão média nos terminais de saída do conversor SNPC, representado pela Equação 3.66.

$$V_o = V_{cc}\frac{t_{on}}{T} + \frac{V_{cc}}{2}\frac{t_{off}}{T} \tag{3.66}$$

Substituindo as Equações (3.67) e (3.68) em (3.66), encontra-se a relação expressa pela Equação 3.69 para a tensão de saída do conversor SNPC e a tensão de entrada V_{cc}. O ciclo de trabalho D será sempre positivo mesmo que $V_{controle}$ seja negativo, já que seu valor máximo é igual a V_m. Dessa maneira, para $0 < D < 0{,}5$ a tensão média V_o estará entre 0V e $V_{cc}/2$, enquanto que para $0{,}5 < D < 1$ essa tensão estará entre $V_{cc}/2$ e V_{cc}.

$$D = \frac{t_{on}}{T} = \frac{1}{2}\left(\frac{V_{controle}}{V_m} + 1\right) \tag{3.67}$$

$$T = t_{on} + t_{off} \tag{3.68}$$

$$V_o = V_{cc}\frac{t_{on}}{T} + \frac{V_{cc}}{2}\frac{\left(T - t_{on}\right)}{T} = \frac{\left(D+1\right)}{2}V_{cc} \tag{3.69}$$

3.2.2.3 Projeto do controle do segundo estágio

O conversor SNPC pode ser representado de forma simplificada pela Figura 3.40, onde a tensão de saída do conversor é função do ciclo de trabalho D e da tensão do barramento intermediário V_{cc}.

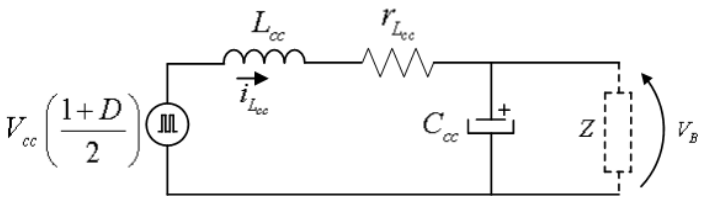


Figura 3.40 Simplificação do circuito do conversor SNPC.

A carga Z_{eq} representa a impedância vista pelo conversor SNPC, formada pelo filtro LC e a carga Z da nanorrede, representada pela Equação 3.70. Como visto na seção 3.2.2.1 o indutor possui valor considerável (1,85mH) e por isso será considerada a respectiva resistência dos enrolamentos na modelagem.

$$Z_{eq}(s) = sL_{cc} + r_{L_{cc}} + \left(\frac{1}{sC_{cc}} // Z\right) = \frac{L_{cc}C_{cc}Zs^2 + \left(L_{cc} + r_{L_{cc}}C_{cc}Z\right)s + Z + r_{L_{cc}}}{ZC_{cc}s + 1} \tag{3.70}$$

De posse da impedância vista pelo conversor e a tensão nos terminais de saída deste, a corrente i_{Lcc} no indutor representa a corrente de saída do SNPC e é calculada a partir das Equações (3.69) e (3.70), conforme Equação 3.71.

$$i_{L_{cc}} = \frac{(D+1)V_{cc}}{2Z_{eq}} \tag{3.71}$$

Ao aplicar a modelagem de pequenos sinais na Equação 3.71 e desconsiderando os termos de segunda ordem e d.c., determina-se a função de transferência G_{id} que relaciona a perturbação na corrente no indutor e a variação do ciclo de trabalho, conforme a Equação 3.72.

$$G_{id}(s) = \frac{\tilde{i}_{L_{cc}}}{\tilde{d}} = \frac{V_{cc}/2\left(ZC_{cc}s + 1\right)}{L_{cc}C_{cc}Zs^2 + \left(L_{cc} + r_{L_{cc}}C_{cc}Z\right)s + Z + r_{L_{cc}}} \tag{3.72}$$

A tensão V_B na carga Z corresponde à tensão no capacitor C_{cc} e pode ser escrita em função da corrente de entrada do conversor que corresponde à corrente no indutor L_{cc}. A corrente de entrada do conversor enxerga a carga RC formada por Z e C_{cc} no ponto onde a tensão é V_B. Assim, essa impedância representa a relação entre a corrente de entrada e a tensão de saída do conversor e o seu modelo de pequenos sinais G_{vi} é representado pela Equação (3.73).

$$G_{vi}(s) = \frac{\tilde{v}_B}{\tilde{i}_{L_{cc}}} = \frac{Z}{ZC_{cc}s + 1} \tag{3.73}$$

A partir das funções de transferência de pequenos sinais G_{id} e G_{vi} é possível determinar o diagrama de controle do conversor SNPC, apresentado na Figura 3.41. O sistema de controle possui uma malha interna de controle da corrente no indutor L_{cc} cuja referência é gerada pela malha externa de controle da tensão V_B no barramento principal da nanorrede.

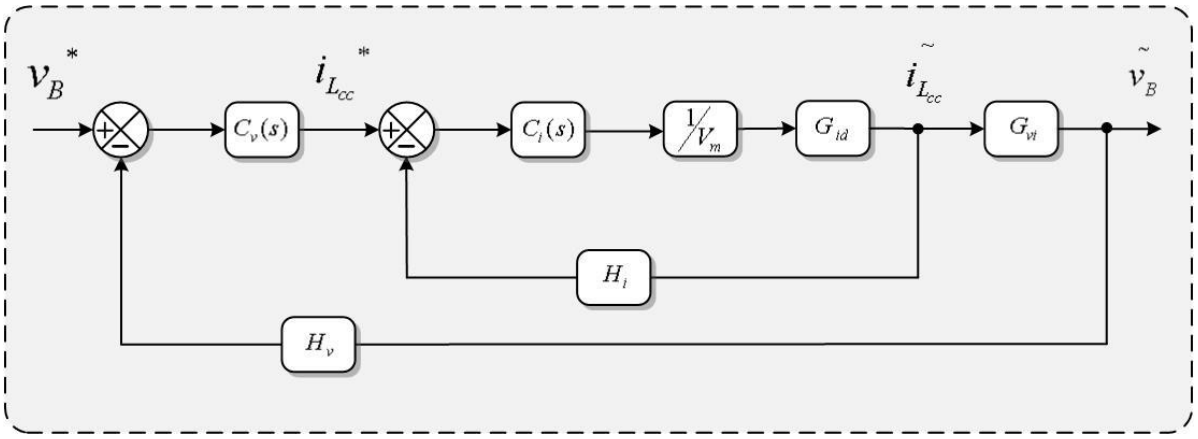


Figura 3.41 Diagrama de controle do conversor SNPC.

Onde:

$C_v(s)$ é o controlador da malha de tensão;

$C_i(s)$ é o controlador da malha de corrente no indutor L_{cc};

V_m é a amplitude da onda triangular do modulador PWM;

H_i é o ganho do sensor de corrente, e é igual a 1/10;

H_v é o ganho do sensor de tensão, e é igual a 1/100.

Para o dimensionamento do sistema de controle são considerados os valores dos componentes dimensionados na Seção 3.2.2.1, os valores de tensão e potência característicos da nanorrede e por meio da Equação 3.69 que calcula o ciclo de trabalho do conversor SNPC, listados na Tabela 3.5.

Para a malha externa de tensão do esquemático mostrado na Figura 3.41, será considerado um tempo de resposta mais lento que a malha interna de corrente. Assim, a malha de corrente pode ser substituída por um ganho $1/H_i$ de forma que a entrada dessa malha é

instantaneamente passada para saída. A partir dessa consideração, a função de transferência da malha fechada de tensão é apresentada na Equação 3.74.

$$\frac{\tilde{v}_B}{v_B^*} = \frac{C_v G_{vi}}{H_i + H_v C_v G_{vi}} \tag{3.74}$$

Tabela 3.5 Valores utilizados para dimensionamento do sistema de controle do secundario do conversor BGIC

L_{cc}	1,85mH
r_{Lcc}	0,3 Ω
C_{cc}	100µF
V_{cc}	600V
D	0.267
V_B	380V
P_{in}	2000W

Para garantir o erro nulo em regime permanente para a tensão do barramento c.c. foi considerado um controlador PI, conforme a Equação 3.75 com T_v = 1e-3. Para a escolha do valor do ganho $k_{pv\text{-}SNPC}$ foi avaliada a margem de fase (Figura 3.42) e a margem de ganho de malha aberta da tensão para diferentes valores de ganhos.

A margem de ganho encontrada foi infinita e a margem de fase apresentou valores positivos para $k_{pv\text{-}SNPC}$ entre 0,1 e 5, o que garante estabilidade no sistema de malha fechada para qualquer ganho nesse intervalo. A estabilidade do sistema também é verificada a partir do lugar das raízes na Figura 3.43 e para o sistema em malha fechada apresentada na Equação 3.74.

$$C_v(s) = k_{pv-SNPC}\left(1 + \frac{1}{sT_v}\right) \tag{3.75}$$

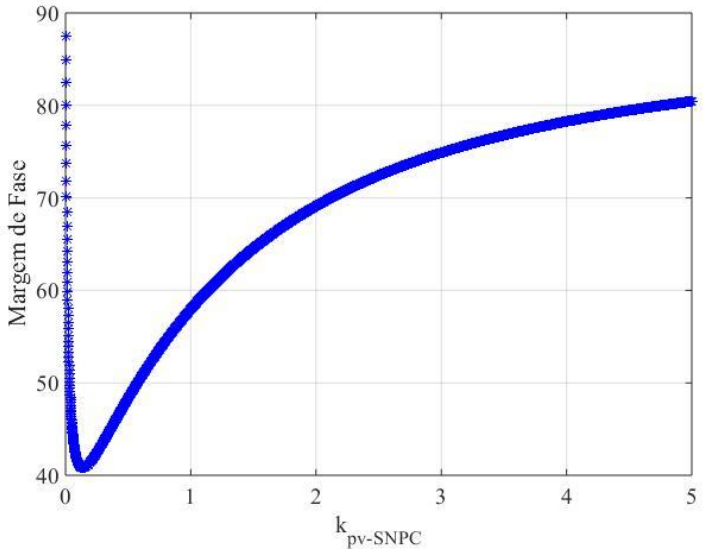


Figura 3.42 Margem de Fase para o controlador de tensão do conversor SNPC em função de $k_{pv\text{-}SNPC}$.

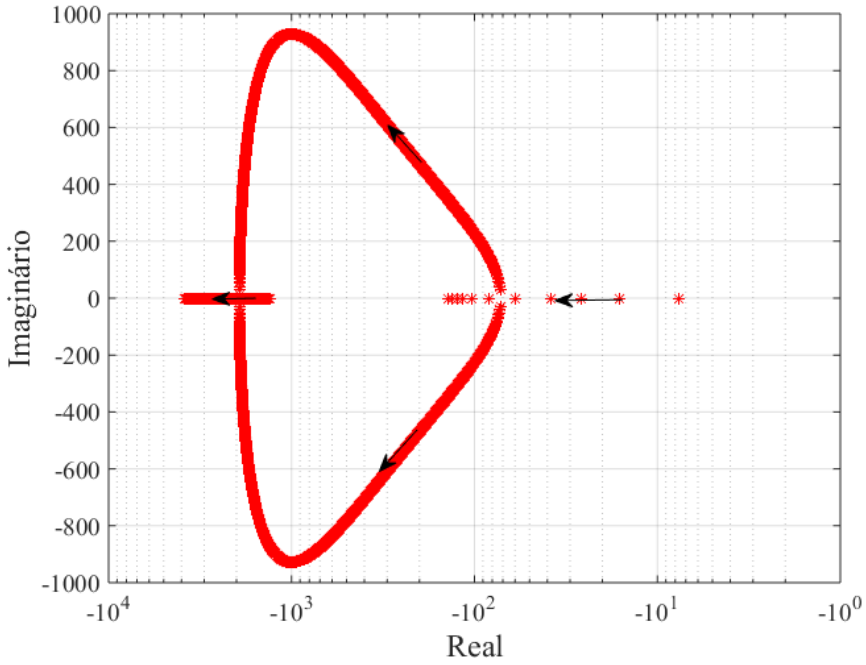


Figura 3.43 Lugar das raízes malha de controle da tensão do conversor SNPC representado por (3.74).

Todos os pólos se localizam no semiplano esquerdo e com o aumento do ganho $k_{pv\text{-}SNPC}$ os pólos se deslocam todos para a esquerda, o que garante que o sistema não se tornará instável com o aumento do ganho. Para escolher o valor exato do ganho, foi feita a análise do erro para uma entrada em degrau de 100V na Equação 3.74, apresentada na Figura 3.44, para $k_{pv\text{-}SNPC}$ = 0,2, $k_{pv\text{-}SNPC}$ = 0,5, $k_{pv\text{-}SNPC}$ = 0,9, $k_{pv\text{-}SNPC}$ = 1,5 e $k_{pv\text{-}SNPC}$ = 2.

O sistema apresenta uma resposta amortecida e, para o ganho igual a 0,9, valor considerado para confecção do controlador, o tempo de acomodação é de aproximadamente 10ms e sobressinal inferior a 30%. A resposta em frequência da função de transferência G_{vi} com e sem o controlador PI é mostrado na Figura 3.45 para $k_{pv\text{-}SNPC} = 0{,}9$.

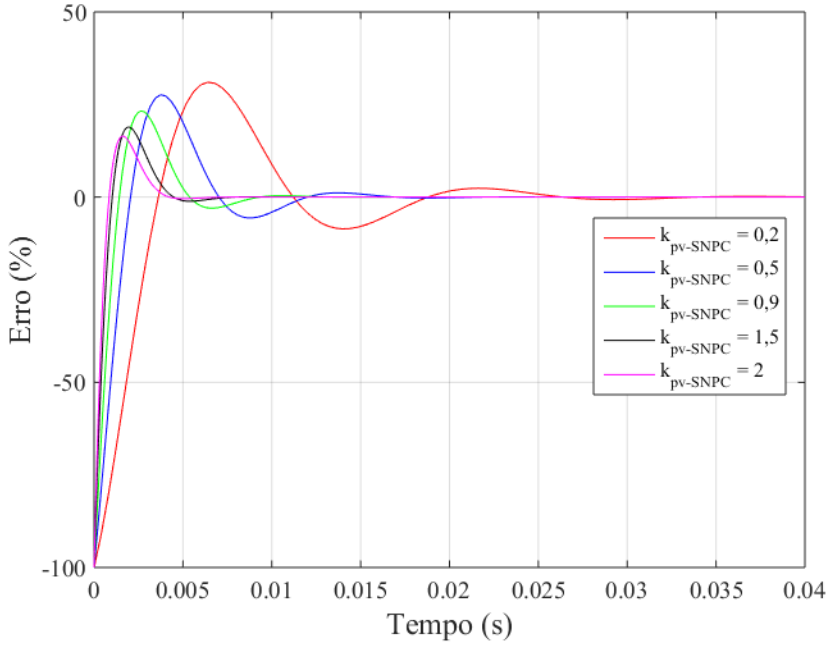


Figura 3.44 Erro percentual para um degrau de 100V na malha de controle de tensão do conversor SNPC para $k_{pv\text{-}SNPC} = 0{,}2$, $k_{pv\text{-}SNPC} = 0{,}5$, $k_{pv\text{-}SNPC} = 0{,}9$, $k_{pv\text{-}SNPC} = 1{,}5$ e $k_{pv\text{-}SNPC} = 2$.

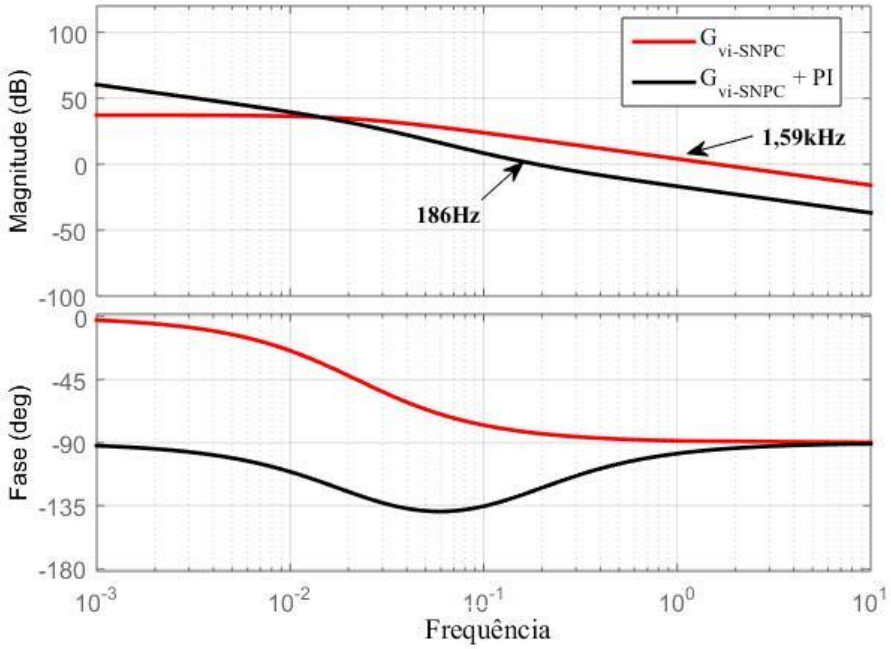


Figura 3.45 Resposta em frequência do sistema em malha aberta de tensão do conversor SNPC sem controle (vermelho) e com controle (preto) para $k_{pv\text{-}SNPC}$ =0,9 e Tv = 0,001.

A malha de tensão sem controle possui banda passante de 1,59kHz enquanto que, com a presença do controlador PI, possui banda passante de 187Hz. Este último valor é aproximadamente cem vezes menor que a frequência de chaveamento do conversor o que permite a atenuação das componentes de alta frequência na tensão contínua do barramento principal da nanorrede.

Para o dimensionamento do controlador $C_i(s)$ da malha de corrente, também foi considerado um controlador PI conforme Equação 3.76, com T_i=5e-4. A função de transferência de malha fechada da corrente é apresentada na Equação 3.77.

$$C_i(s) = k_{pi-SNPC}\left(1+\frac{1}{sT_i}\right) \tag{3.76}$$

$$\frac{\tilde{i}_{L_{cc}}}{i_{L_{cc}}^{*}} = \frac{C_i G_{id}}{V_m + H_i C_i G_{id}} \tag{3.77}$$

Para a malha de corrente também foi considerada a margem de fase e margem de ganho do sistema em malha aberta para dimensionamento do ganho do controlador. O sistema em malha aberta apresentou margem de ganho infinita e margem de fase positiva para valores de ganhos $k_{pi-SNPC}$ entre 0,1 e 2, como apresentado na Figura 3.46. Essas características conferem estabilidade ao sistema para o intervalo de valores de ganhos considerados.

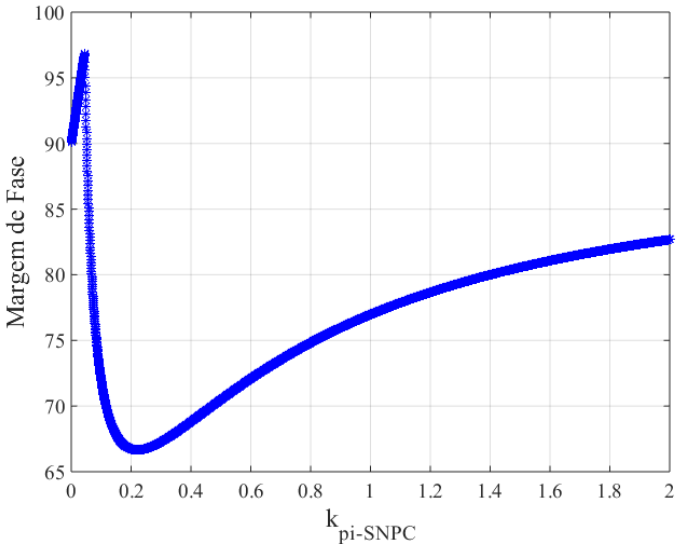


Figura 3.46 Margem de Fase para o controlador de corrente do conversor SNPC em função de $k_{pi-SNPC}$.

O lugar das raízes do sistema de controle da corrente em malha fechada representada pela função de transferência da Equação 3.77 é apresentado na Figura 3.47. Todos os pólos estão localizados no lado esquerdo do eixo x e conforme os ganhos aumentam, os pólos se distanciam do eixo imaginário, garantindo que o sistema não se torne instável com o aumento do ganho do controlador de corrente.

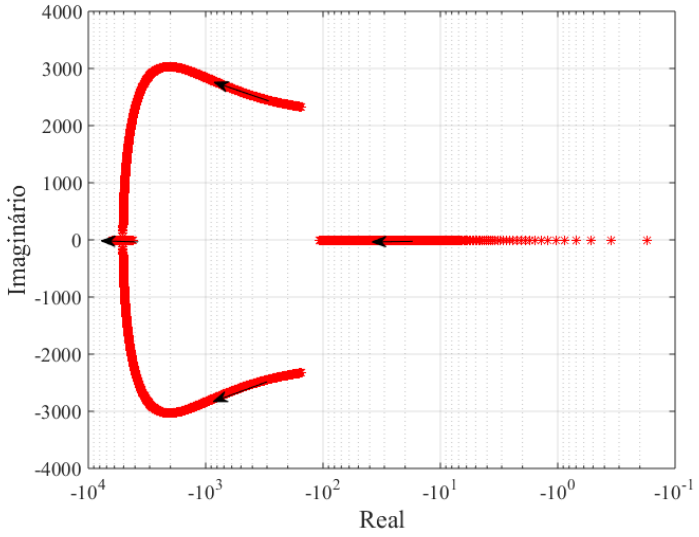


Figura 3.47 Lugar das raízes malha de controle da corrente do conversor SNPC representado por (3.77).

Para verificar a dinâmica da malha de corrente foi considerada uma entrada em degrau de 10A em (3.77) e foi computado o erro desenvolvido para $k_{pi\text{-}SNPC}$= 0,1, $k_{pi\text{-}SNPC}$ = 0,5, $k_{pi\text{-}SNPC}$ = 1 e $k_{pi\text{-}SNPC}$ = 2, conforme Figura 3.48.

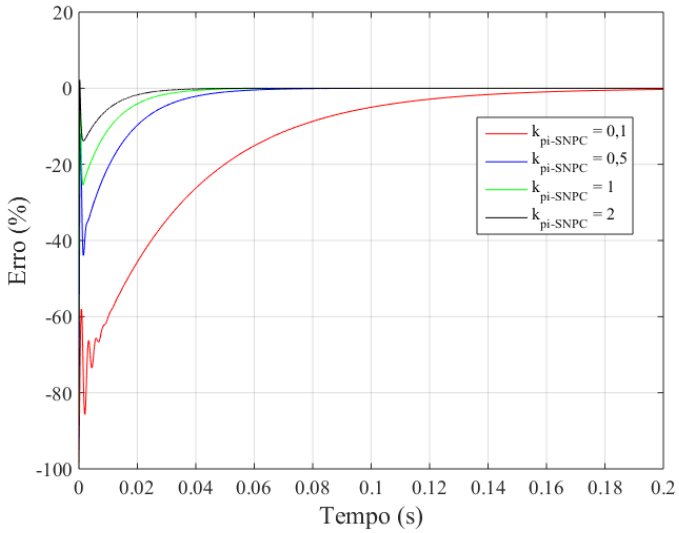


Figura 3.48 Erro percentual para um degrau de 10A na malha de corrente do conversor SNPC para $k_{pi\text{-}SNPC}$ = 0,1, $k_{pi\text{-}SNPC}$ = 0,5, $k_{pi\text{-}SNPC}$ = 1 e $k_{pi\text{-}SNPC}$ = 2.

O sistema apresenta resposta amortecida e para $k_{pi\text{-}SNPC}$= 1 apresenta tempo de acomodação de 40ms. Para este valor de ganho foi avaliada a resposta em frequência para a malha G_{id}, com e sem o controle, conforme Figura 3.49.

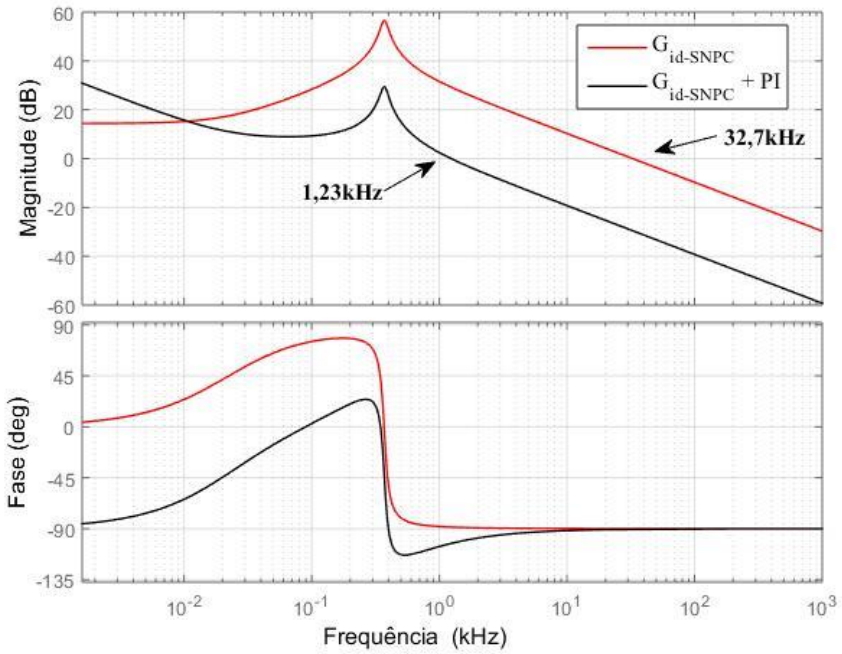


Figura 3.49 Resposta em frequência do sistema em malha aberta de corrente do conversor SNPC sem controle (vermelho) e com controle (preto) para $k_{pi\text{-}SNPC}$ = 1 e T_i = 0.0005.

A banda passante para a função de transferência da corrente com o controlador foi de aproximadamente 1,23kHz, valor inferior a 1/20 da frequência de chaveamento, que é uma consideração comumente utilizada para garantir a atenuação de componentes de alta frequência na variável de controle. O pico observado na resposta em frequência representa a frequência de ressonância do filtro LC e ocorre em 0,69kHz com um ganho de 29,6dB para a malha com o controlador e 56,2dB para a malha sem controle.

A Tabela 3.6 sumariza os dados dos controladores dimensionados nessa seção para o secundário do conversor BGIC e a Figura 3.50 apresenta a resposta em frequência das malhas.

Tabela 3.6 Dados das malhas de controle de corrente e tensão para o secundario do conversor BGIC.

Malha de corrente		**Malha de Tensão**	
T_i	0,0005	T_v	0,001
k_{pi}	1	k_{pv}	0,9
Margem de Fase	77,24	Margem de Fase	58,6
Margem de Ganho	∞	Margem de Ganho	∞
Banda Passante	1.27kHz	Banda Passante	187Hz

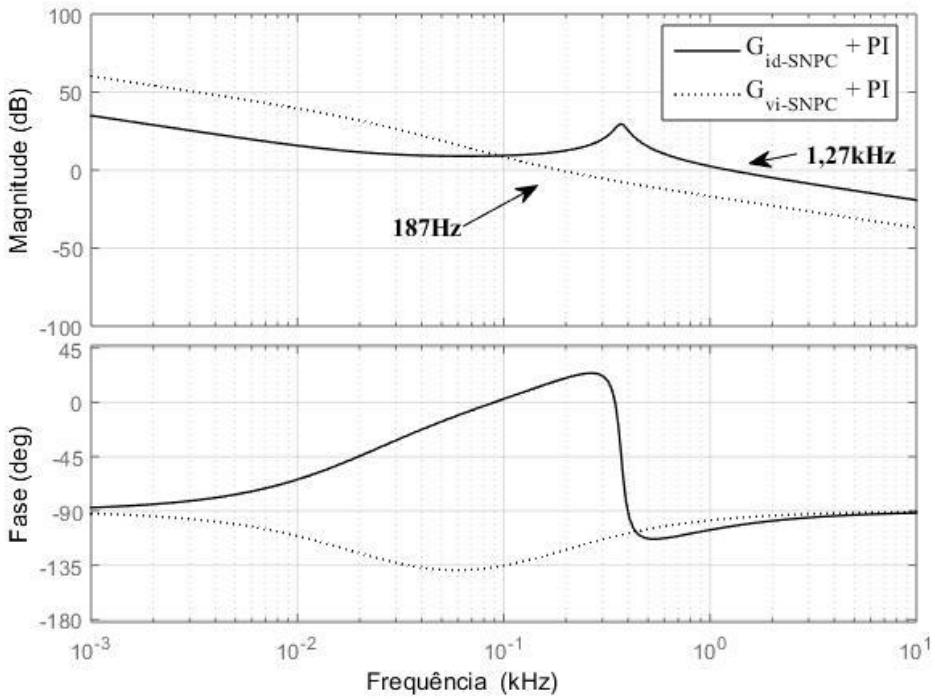


Figura 3.50 Resposta em frequência de malha aberta da tensão e corrente do conversor SNPC com seus respectivos controladores.

Para validar o diagrama de controle completo do segundo estágio do conversor BGIC e sua modelagem realizada nessa seção, foi aplicado uma variação de carga de 1kW até 2kW em t = 50ms no modelo matemático e no modelo chaveado. As Figuras 3.51 e 3.52 apresentam as dinâmicas da corrente no indutor e da tensão na carga.

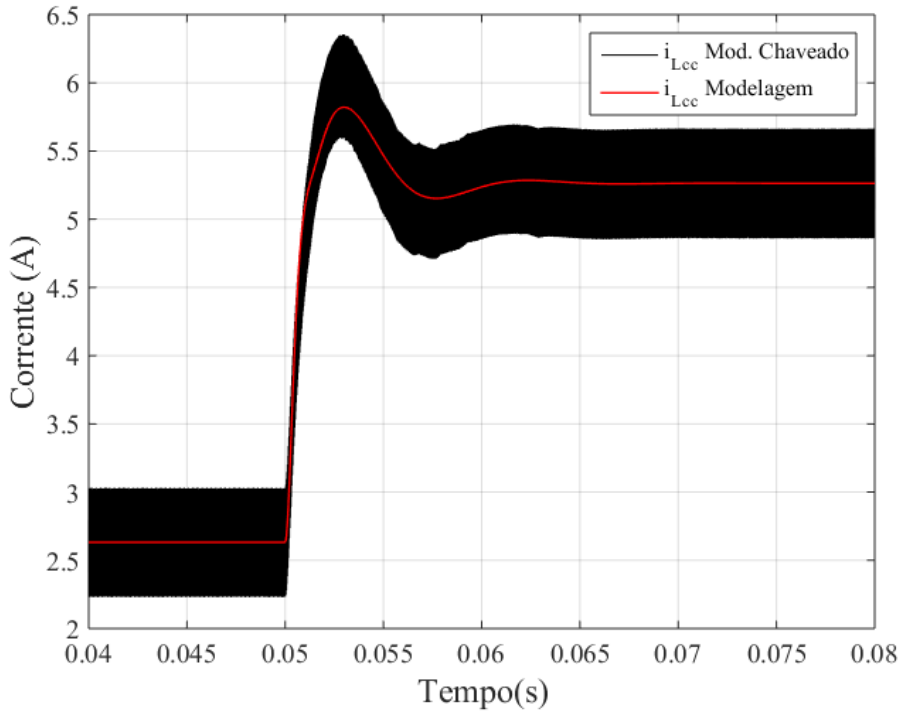


Figura 3.51 Corrente i_{Lcc} para uma variação de 1kW para 2kW em t = 50ms.

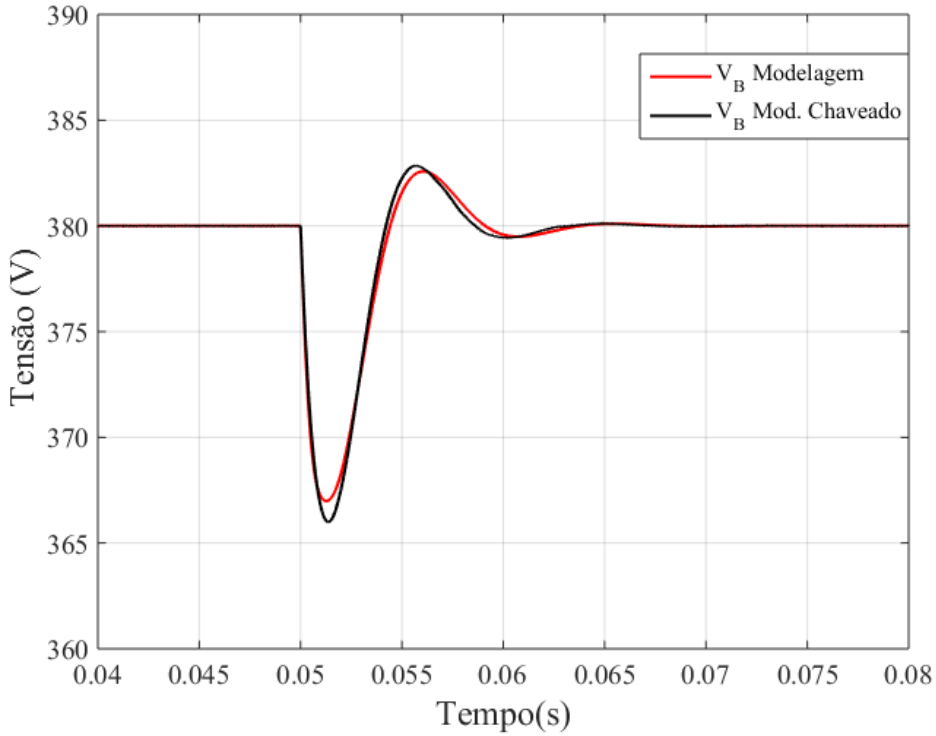


Figura 3.52 Tensão V_B para uma variação de 1kW para 2kW em t = 50ms.

Tanto a corrente no indutor quanto a tensão de saída do conversor SNPC possuem dinâmicas similares entre o modelo matemático desenvolvido e o valor referente à simulação

do conversor. As pequenas diferenças observadas na Figura 3.52 são referentes às não idealidades dos componentes utilizados no software de simulação de circuitos. Dessa forma, entende-se que o modelo matemático desenvolvido nessa seção representa o conversor SNPC e os controladores dimensionados garantem uma dinâmica mais rápida ao conversor e erro zero em regime permanente.

3.2.3 Diagrama Geral de Controle BGIC

Cada estágio do BGIC apresenta um diagrama de controle independente com duas malhas em cascata. A malha mais interna é responsável pelo controle da corrente de saída c.a. (I_{Lca1}) e c.c. (I_{Lcc}). A malha externa de cada diagrama é responsável pelo controle da tensão de saída, no caso a tensão do barramento intermediário V_{cc} do conversor c.c.-c.a. e a tensão do barramento principal da nanorrede V_B do conversor c.c.-c.c.

Para o sincronismo da corrente do primeiro estágio é utilizado uma Phase Locked Loop (PLL) que localiza o fasor da tensão da rede v_g. O sinal de sincronismo V_{sync} é multiplicado pelo sinal de referência da malha de controle de corrente conforme Figura 3.53.

Como abordado em [41], também é utilizado nesse trabalho a técnica de sinalização de barramento para a tensão entre os terminais da nanorrede. A partir da inserção de uma resistência virtual R_D, implementa-se um *droop* de tensão com o valor médio da corrente do indutor L_{cc} obtido por meio do filtro passa baixas e apresentado no diagrama geral de controle do conversor c.c.-c.c., ilustrado na Figura 3.53. O método de cálculo de R_D será apresentado no Capítulo 5.

Os blocos de Monitoramento e de Proteção são responsáveis por monitorar anomalias no ponto de conexão do BGIC com a rede elétrica, como ilhamento não intencional e mudanças na forma de onda de tensão da rede. Para isso, recebe informações de frequência e amplitude do sinal de tensão no ponto de conexão a partir da PLL. Esse bloco também monitora a tensão do barramento intermediário e pode ser utilizado para sinalizar alguma deficiência na absorção de potência da rede, sendo esta causada por alguma sub-tensão ou situações que possam gerar instabilidades na tensão do barramento principal da nanorrede. Através dos sinais de habilitação, o bloco é capaz de interromper o funcionamento do BGIC por meio do bloqueio das chaves e da passagem do sinal de referência da malha de corrente do conversor c.c.-c.a. para zero. A seguir serão apresentadas as técnicas de PLL e proteção implementadas nos blocos de Monitoramento e Proteção.

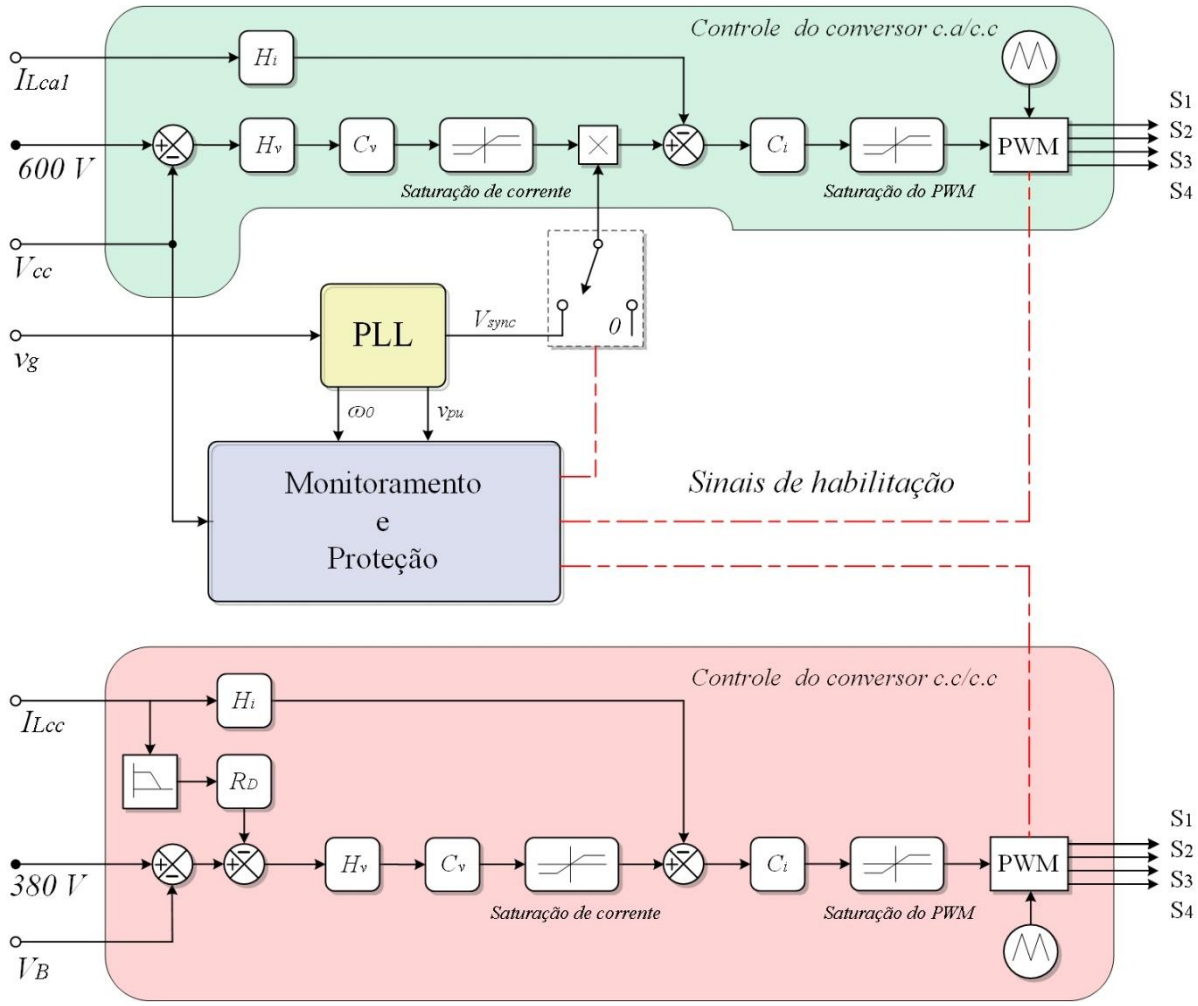


Figura 3.53 Diagrama geral do controle do conversor BGIC.

3.2.4 Sistema de sincronização com a rede elétrica

Conforme apresentado na Seção 3.2.3, o sinal de referência da malha de controle da corrente do primeiro estágio, conversor c.c.-c.a., utiliza uma Phase Locked Loop (PLL) para estabelecer uma forma de onda senoidal para a corrente de L_{ca1} e em fase com a tensão da rede elétrica.

A PLL desempenha papel crítico na operação do conversor BGIC, pois, além de determinar a capacidade do conversor de atender os requisitos de normas e padrões de acesso ao sistema de distribuição, também pode ser utilizada para identificação de anomalias de tensão e frequência da rede de distribuição e detecção da ocorrência de ilhamento não-intencional. Essas informações auxiliam na tomada de decisão sobre a desconexão do conversor da rede elétrica e proteção da nanorrede.

Vários trabalhos abordam técnicas de sincronização de fase e estruturas de Phase Locked Loop (PLL) para sistemas monofásicos [51,52,53]. A PLL basicamente é composta por um elemento de detecção de fase (PD - Phase Detector), um filtro passa-baixas e um oscilador controlado por tensão para sintetizar o sinal de sincronismo. A principal diferença entre as topologias de PLL monofásicas se concentram na estrutura do detector de fase.

Uma solução interessante é o uso de uma topologia baseada em eixo de referência síncrona (SRF – Sychronous Reference Frame), as quais utilizam transformadas de Park nas malhas de realimentação com o intuito de se produzir sinais em quadratura com a referência de entrada e assim emular o comportamento de um sistema trifásico equilibrado. A estrutura utilizada nesse trabalho é uma PLL baseada em SRF e é nomeada como ParkPLL [51], o diagrama da PLL é apresentado na Figura 3.54.

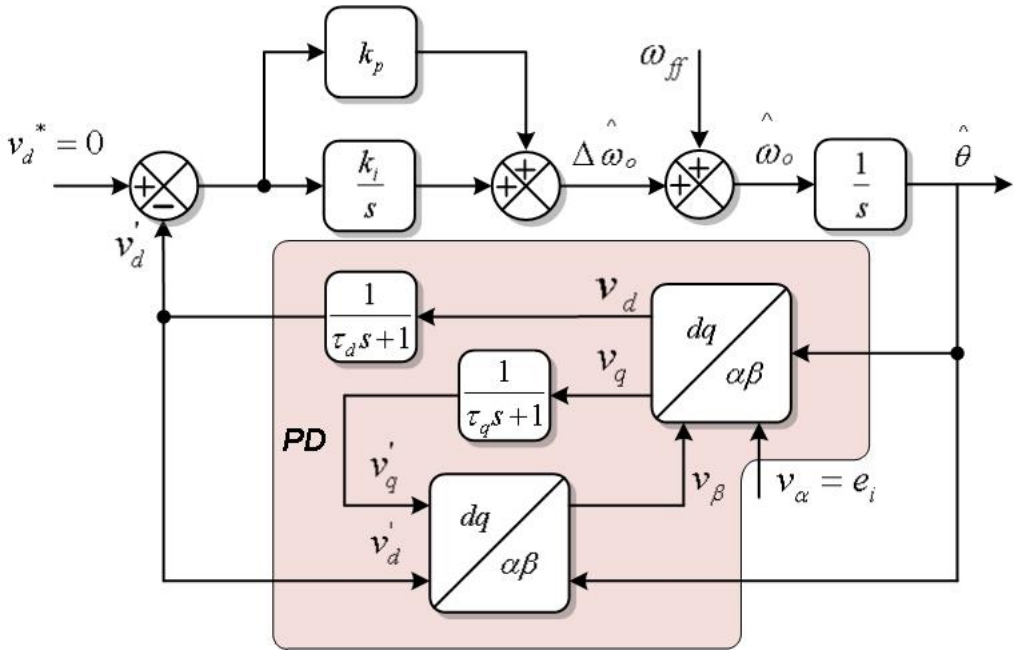


Figura 3.54 Diagrama da Park PLL baseada em SRF

Conforme o diagrama apresentado na Figura 3.54, a PLL assume que a amostra da tensão da rede apresenta a componente de eixo α de um sistema ortogonal $\alpha\beta$, sendo que a componente de eixo β é obtida aplicando-se a transformada Park inversa ($dq - \alpha\beta$). Assim, o sistema passa a emular um sistema trifásico equilibrado, e as componentes do eixo síncrono (dq) e do eixo estacionário ($\alpha\beta$) se relacionam conforme as matrizes apresentadas nas Equações (3.78) e (3.79) respectivamente.

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} sen\,\hat{\theta} & \cos\hat{\theta} \\ \cos\hat{\theta} & -sen\,\hat{\theta} \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \tag{3.78}$$

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} sen\,\hat{\theta} & \cos\hat{\theta} \\ \cos\hat{\theta} & -sen\,\hat{\theta} \end{bmatrix} \begin{bmatrix} v'_d \\ v'_q \end{bmatrix} \tag{3.79}$$

Onde $\hat{\theta} = \hat{\omega}_o + \hat{\varphi}$ é estimado pela PLL assim como os parâmetros que carregam o sinal (^) na Figura 3.54.

Sabe-se que, caso as componentes αβ sejam puramente senoidais, as componentes de eixo síncrono (*dq*) se apresentarão como sinais puramente contínuos. Caso haja a presença de harmônicos nos sinais *αβ*, essas componentes também aparecerão no eixo *dq*. Dessa forma, para que essas componentes harmônicas não atrapalhem o processo de sincronização e também para que não haja um loop algébrico, são utilizados filtros passa-baixas com constantes de tempo iguais a τ_q e τ_q, que serão consideradas ambas iguais a τ. Conforme análise realizada em [41], a dinâmica adequada é encontrada quando $\tau \approx \frac{1}{2\omega_o} = 1{,}36\ ms$.

Os ganhos do controlador PI, k_p= 100 e k_i= 3000, foram utilizados para atender à critérios de desempenho dinâmico. Na malha de estimação de frequência, utilizou-se um sinal de offset (ω_{ff}) igual a 377 rad/s com o intuito de se posicionar a PLL próxima do ponto de equilíbrio desejado. O sinal de sincronismo na malha de controle de corrente do primeiro estágio do conversor BGIC é produzido a partir de $V_{sync} = cos(\theta)$.

A Figura 3.55 apresenta os resultados de simulação da PLL considerada para um afundamento de tensão de 20% em t =0,4s. A PLL é capaz de produzir o sinal de sincronismo adequado, assim como suas variáveis internas, amplitude e frequência. Durante o afundamento de tensão são observadas oscilações amortecidas na frequência estimada com valores máximos e mínimos de 60,75Hz e 58,4Hz respectivamente. Também há um leve deslocamento entre o sinal de entrada e o sinal de sincronismo durante o tempo de acomodação de aproximadamente 20ms, devido ao erro de fase que também é apresentado na Figura 3.55 (curva do erro percentual multiplicado por um fator de 50).

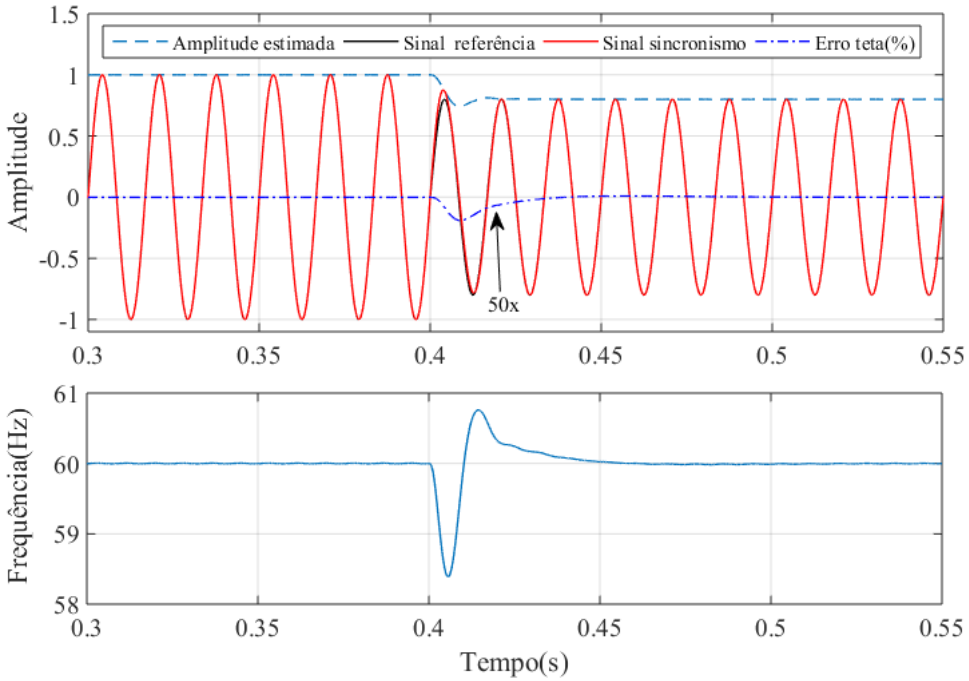


Figura 3.55 Resposta da Park PLL para um afundamento para 80% em t=0,4s do sinal de entrada.

A resposta da PLL para um salto de fase de 30° também foi avaliada nos resultados de simulação apresentados na Figura 3.56. O salto de fase gera um erro de fase que é corrigido em aproximadamente 50ms. Também é observado um sobressinal de aproximadamente 6Hz na frequência.

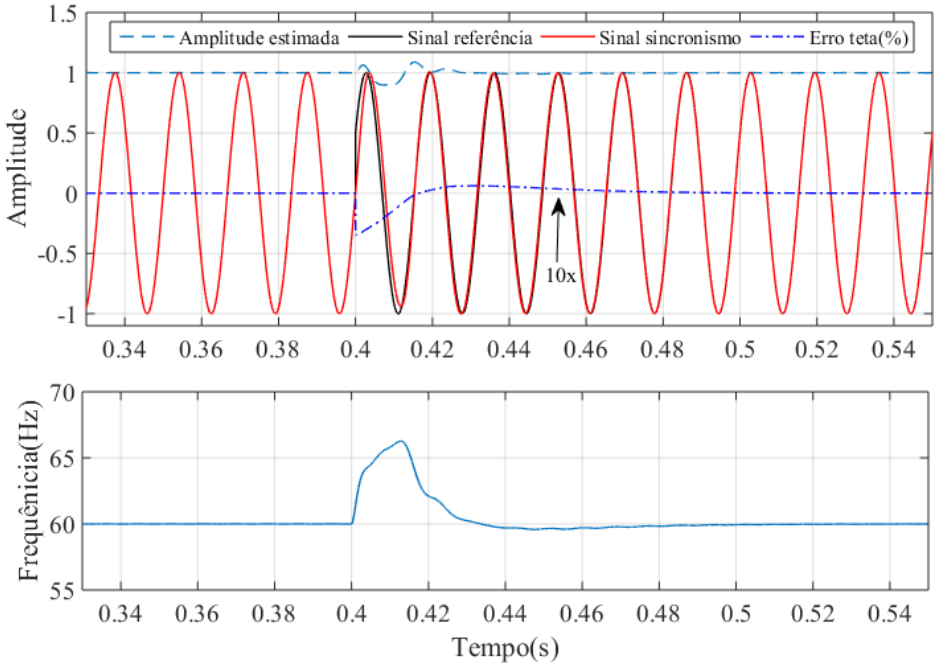


Figura 3.56 Resposta da Park PLL para um salto de fase de 30° em t=0,4s no sinal de entrada.

Para os dois cenários apresentados, a PLL estima fielmente o valor de pico e a frequência do sinal de entrada e o erro de fase tende a zero. A inserção de 15% de terceiro harmônico no sinal de entrada, conforme a Figura 3.57, induz oscilações nas estimativas da fase e da frequência (varia entre 60,51Hz e 59,08Hz em regime) da rede em torno de zero. As oscilações na frequência estimada podem situar fora dos limites estabelecidos pelo padrão IEEE 1547 que serão apresentados na Seção 3.2.5. Com isso se torna necessário a desconexão do conversor com a rede elétrica. O foco do trabalho é dado na modelagem e projeto do conversor, assim, não serão abordadas otimizações na estrutura da PLL para que sua dinâmica esteja dentro dos limites descritos pelo padrão IEEE 1547.

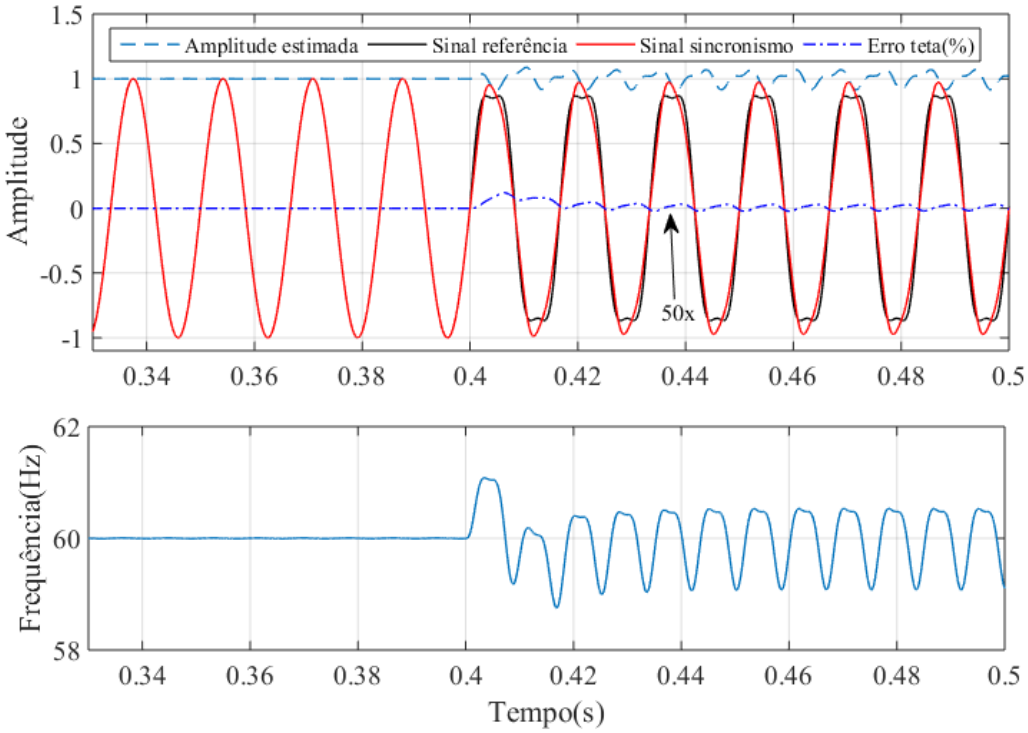


Figura 3.57 Resposta da Park PLL inserção de 15 % de terceiro harmônico sobre a fundamental em t=0,4s.

3.2.5 Monitoramento do ponto de acoplamento e anti-ilhamento

Como apresentado no tópico anterior, a ParkPLL permite que os valores da frequência e amplitude do sinal de tensão no ponto de acoplamento com a rede elétrica sejam estimados. O monitoramento contínuo do ponto de conexão, sugerido por IEEE 1547[46], permite detectar a ocorrência de distúrbios na rede e iniciar a tomada de decisão para desconectar o BGIC caso

essas anomalias ultrapassem os limites apresentados nas Tabelas 3.7 e 3.8. No caso de reconexão com a rede elétrica, deve-se garantir condições normais de tensão e corrente na rede por um período superior a 5 minutos, condição essa que pode ser implementada também a partir da PLL.

Tabela 3.7 Limite de tempo para desconexão com a rede elétrica frente a sub/sobretensão.

Faixa de tensão(pu)	**Tempo de desligamento(s)**
V < 0,5	0,16
0,5≤V≤0,88	2
1,1≤V≤1,2	1
V≥1,2	0,6

Tabela 3.8 Limite de tempo para desconexão com a rede elétrica frente a variação de frequência no ponto de conexão.

Capacidade	**Faixa de Frequencia (Hz)**	**Tempo de desligamento (s)**
≤30kW	*f*> 60,5	0,16
	f < 59,3	0,16
> 30kW	*f*> 60,5	0,16
	f> {59,8 - 57}	{0,16 - 300}*
	f< 57	0,16

* Ajustado localmente

Conforme apresentado no diagrama geral de controle, Figura 3.53, o bloco de Monitoramento do ponto de conexão e proteção, responsável por avaliar a necessidade de desconexão do conversor com a rede, é alimentado pelas estimativas da frequência ω_0 e amplitude da tensão v_{pu} feitas pela PLL. A desconexão é feita a partir da inibição do sinal de chaveamento dos transistores e a passagem da referência da corrente I_{Lca1} para 0. O fluxograma apresentado na Figura 3.58 representa a rotina de monitoramento implementada.

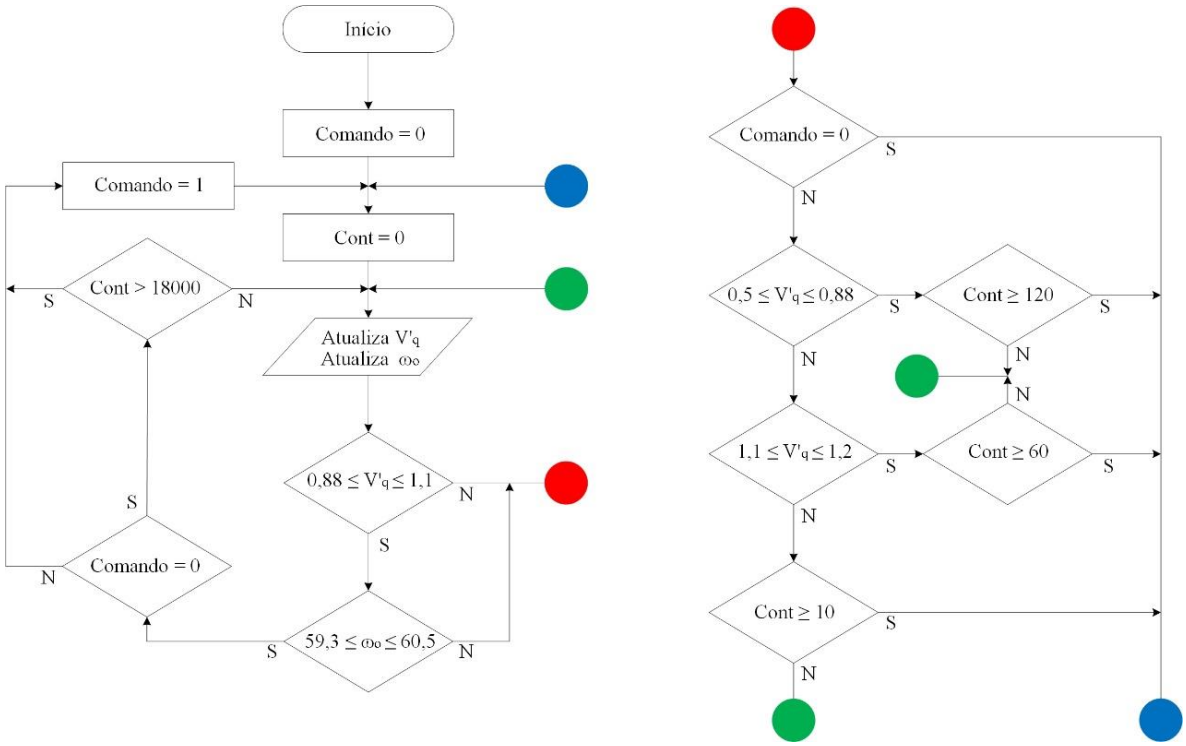


Figura 3.58 Rotina de monitoramento no ponto de conexão entre o conversor BGIC e a rede elétrica.

O fenômeno de ilhamento não intencional corresponde à situação em que o sistema local de energia elétrica, que contém cargas e sistemas de geração de energia, continua a operar mesmo após a detecção de algum defeito na rede elétrica.

O ponto mais crítico de um sistema ao operar no modo ilhado está relacionado à segurança dos trabalhadores do sistema elétrico e aos consumidores conectados à rede elétrica. Se o sistema local não for corretamente desconectado da rede elétrica e mantido nessa condição, podem haver incidentes durante manutenção da linha ou religamento do sistema elétrico. Ainda que o sistema local seja capaz de suprir sua própria demanda, é obrigatório que sua operação seja cessada, já que ainda não existem normas que permitem o seu funcionamento no modo ilhado. Dessa forma, os algoritimos anti-ilhamento são inevitáveis para operação segura da nanorrede e devem ser incorporados no sistema de controle do BGIC.

Conforme [38] existem diversas técnicas, ativas e passivas para detecção de ilhamento e, segundo a norma IEEE1547, o sistema de geração deve ser desconectado em até 2 segundos após a ocorrência do ilhamento não intencional. As técnicas passivas consistem em monitorar grandezas como tensão, frequência e componentes harmônicas no ponto de conexão, sendo que as duas primeiras são diretamente estimadas pela PLL.

Como discutido em [54], a maioria das situações de ilhamento podem ser detectadas a partir da tensão e frequência do ponto de conexão, salvo a única exceção em que exista uma

carga RLC paralelo conectada na rede elétrica, com frequência de ressonância igual a 60Hz e potência ativa igual a potência fornecida pela nanorrede. Como essa situação é a mais crítica e não pode ser assegurada que haverá a detecção do ilhamento a partir das técnicas passivas, a norma IEEE 1547 define que os testes de anti-ilhamento dos sistemas de geração devem ser conduzidos para essa carga. Nesse contexto, surgiram as técnicas ativas, que permitem a detecção do ilhamento para a condição de carga citada. Grande parte das técnicas existentes injetam perturbações na tensão para gerar variações no ponto de conexão, como consequência, a qualidade da energia no modo conectado pode ser afetada.

O método ativo proposto em [38,54,55] consiste em injetar uma perturbação da fase de baixa frequência na malha de realimentação da PLL, com isso minimiza-se o impacto da técnica sobre a qualidade de energia durante a operação da nanorrede. Durante o modo conectado, a perturbação é rejeitada pela malha da PLL, sendo que o impacto sobre o sinal de sincronismo é praticamente desprezível. Durante o modo ilhado, essa perturbação leva o sistema de estimação de fase à instabilidade e o algoritmo representado na Figura 3.58 detecta um desvio de fase e realiza a desconexão da nanorrede. No presente trabalho foi considerada a técnica apresentada e desenvolvida em [41].

3.2.6 Monitoramento da tensão do barramento intermediário

No bloco de Monitoramento do ponto de conexão e proteção foi considerada a verificação da tensão do barramento intermediário. Caso ocorra algum distúrbio em que a corrente demandada da rede seja maior que a corrente limitada pelo saturador de corrente do conversor c.c.-c.a., como por exemplo um afundamento de tensão, o tempo sugerido pela norma para desconexão da rede pode ser longo o suficiente para que a nanorrede drene potência do barramento intermediário para suprir a demanda.

A Figura 3.59 apresenta um afundamento de tensão para 50% do valor nominal em t=0,3s, ou seja, a tensão do barramento intermediário decai até o valor da tensão do barramento principal em 0,3s. Conforme apresentado no tópico 3.2.5, o tempo de desconexão com a rede é de 2s e até esse instante a corrente absorvida da rede elétrica é limitada pelo saturador de corrente do diagrama de controle.

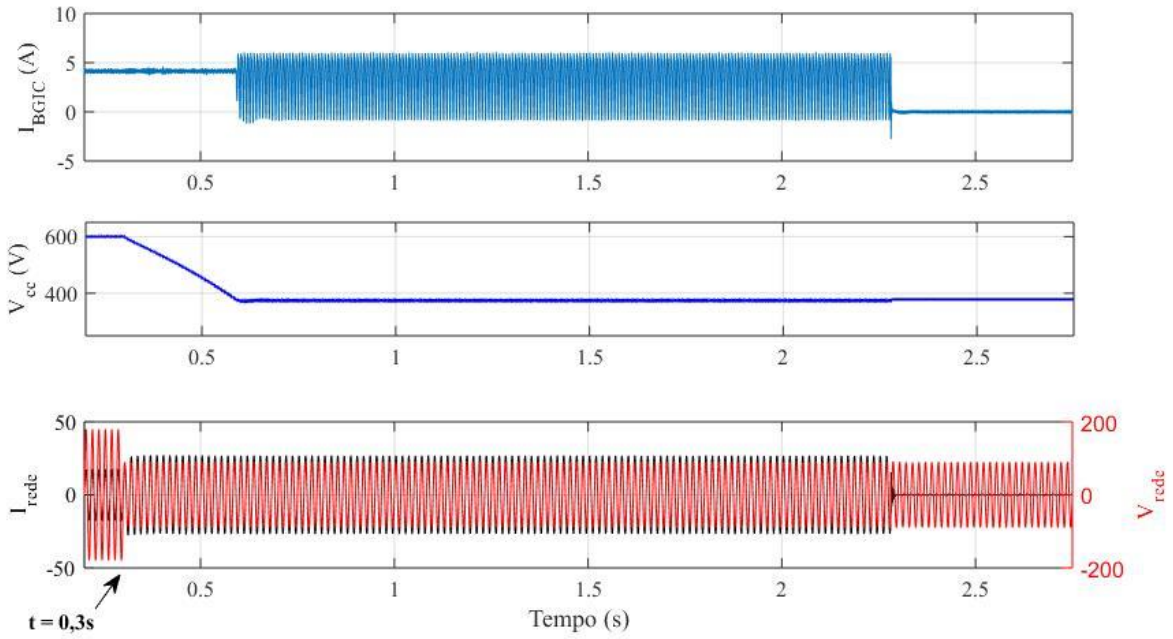


Figura 3.59 Dinâmica do conversor BGIC para um afundamento de tensão da rede elétrica para 50% do valor nominal sem o monitoramento da tensão do barramento intermediário.

A potência absorvida da rede elétrica não é suficiente para alimentar a carga da nanorrede. Assim, os capacitores do barramento intermediário suprem esse déficit e são descarregados até atingirem a tensão V_B. Nesse ponto a corrente do conversor BGIC passa a alterar o seu comportamento entre fonte e carga e mantém a tensão V_{cc} igual a V_B. Essa dinâmica altera o ponto de operação da nanorrede e pode afetar os demais conversores e cargas conectadas ao barramento principal.

Nesse trabalho, foi implementada uma lógica para desligamento do segundo estágio do conversor BGIC caso a tensão do barramento intermediário decaia a menos de 550V, conforme a Figura 3.60, para o mesmo cenário considerado na Figura 3.59. O religamento do segundo estágio é verificado após 2s do seu desligamento. Dessa forma, é possível respeitar os limites sugeridos conforme IEEE 1547 para desconexão com a rede sem que haja a instabilidade apresentada na Figura 3.59.

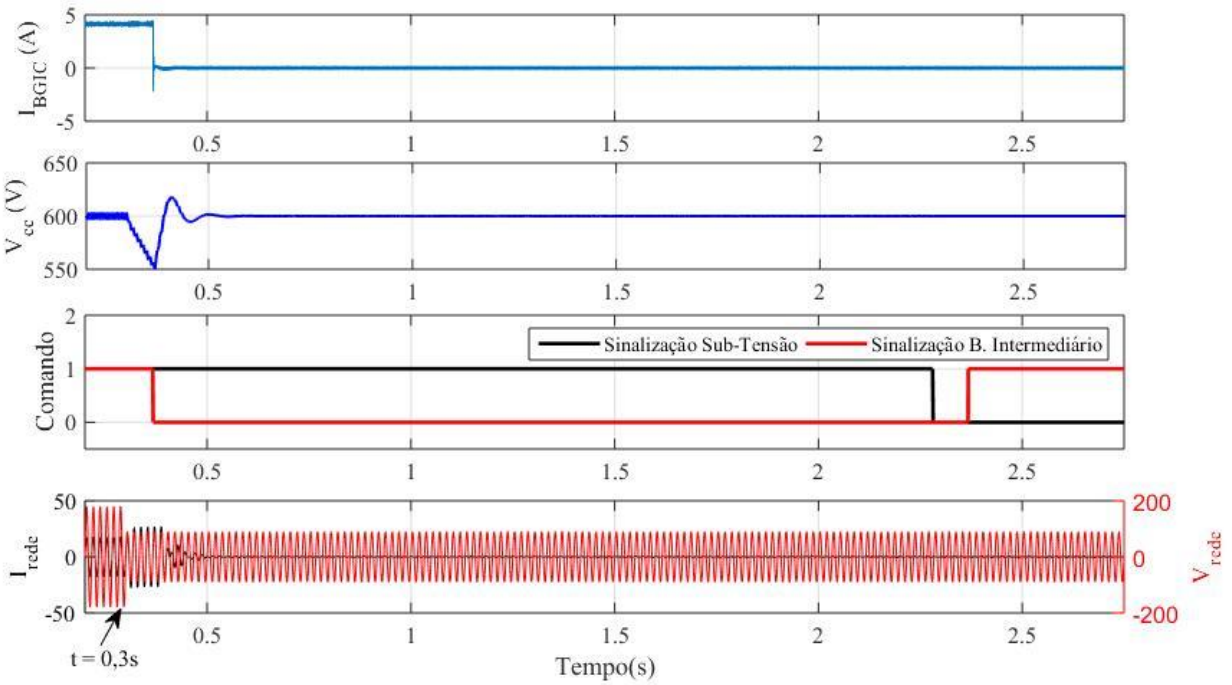


Figura 3.60 Dinâmica do conversor BGIC para um afundamento de tensão da rede elétrica para 50% do valor nominal com o monitoramento da tensão do barramento intermediário.

Em t=0,37s a tensão do barramento intermediário atinge 550V e o sinal de comando em vermelho representa o desligamento das chaves do segundo estágio do BGIC nesse instante. Como o primário continua a operar até t=2,3s, conforme sinal de comando em preto referente à desconexão, o barramento intermediário é carregado até o seu valor nominal de 600V. Após 2s da detecção da tensão inferior de 550V, é verificado novamente a tensão do barramento intermediário para o religamento do secundário. Entretanto, o sistema de subtensão implementado através do PLL desliga ambos os estágios do BGIC, tornando impossível o ligamento do segundo estágio.

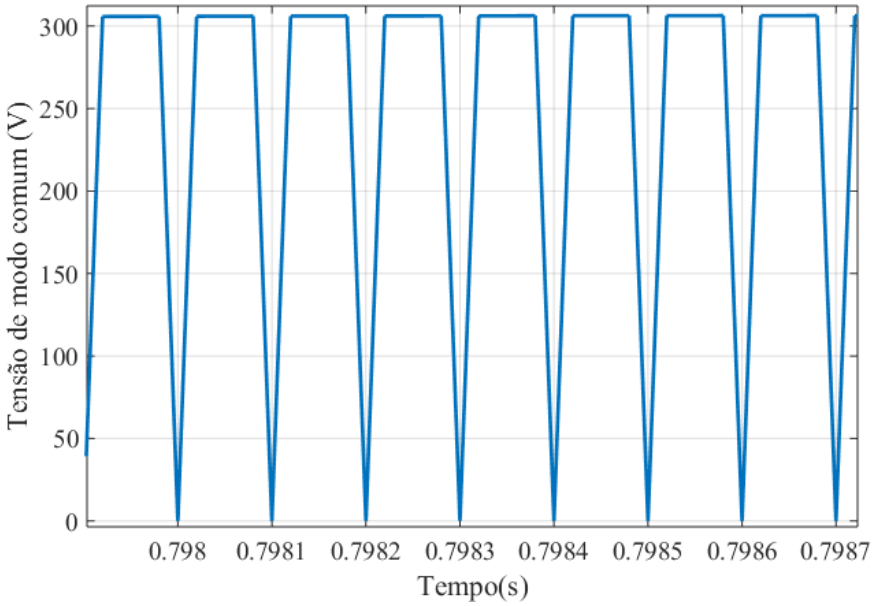
3.3 Análise da tensão de modo comum do conversor BGIC

O conversor BGIC modelado nesse capítulo não apresenta isolamento elétrico entre o ponto de conexão do barramento principal da nanorrede e a rede de distribuição c.a., como apresentado no Capítulo 2, e isso pode levar ao surgimento de uma tensão de modo comum. Como mostrado em [40], existe a circulação de uma corrente devido ao modo comum unicamente se o seu valor variar com o tempo. Por isso deve-se mitigar a variação dessa tensão, em especial as componentes de alta frequência, caso contrário as correntes que surgirem de

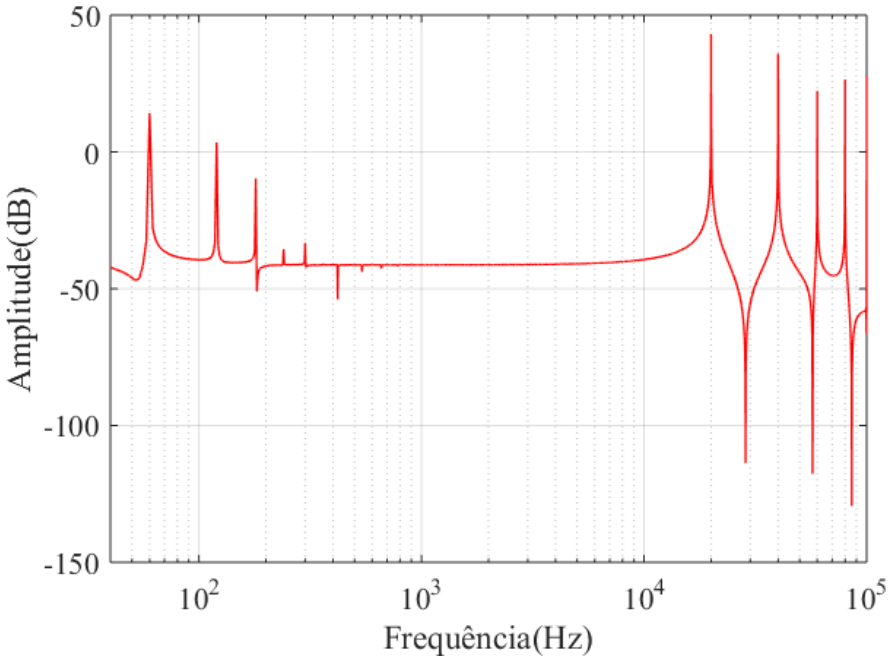
falta e de corpo podem assumir grandes magnitudes, e no caso de choque elétrico podem causar danos fisiológicos severos.

O primeiro estágio do conversor é composto pela topologia NPC que possui o seu neutro conectado na referência da rede elétrica, e por isso a tensão de modo comum produzida é constante, e, portanto não há corrente de fuga. Já o conversor SNPC que compõe o segundo estágio, produz uma tensão de modo comum entre o pólo negativo do barramento principal e o neutro da rede elétrica. Essa tensão é apresentada na Figura 3.61 a) para condição nominal de operação do conversor BGIC e o seu espectro harmônico é verificado na Figura 3.61 b).

A tensão de modo comum produzida pelo segundo estágio do conversor BGIC apresenta uma componente contínua próxima a 200V, que equivale a um terço da tensão do barramento intermediário. Também se fazem presentes as componentes de 60Hz da rede elétrica e de 120Hz do barramento intermediário. Somadas a essas componentes existem as de alta frequência que são múltiplas da portadora (20kHz) utilizada na técnica PWM apresentada na Seção 3.2.2.2 para controle das chaves. Os danos fisiológicos causados pelas componentes de alta frequência podem ser mais severos que as de componente contínua e baixa frequência, já que a impedância do corpo se reduz consideravelmente para frequências a partir de alguns kHz, e a sensibilidade para corrente contínua é menor. Outro problema associado às componentes de alta frequência é a indução de correntes de fuga no circuito a partir do acoplamento capacitivo distribuído ao longo do sistema, que podem influenciar no funcionamento da nanorrede. Dessa forma, faz-se necessário a eliminação das componentes de alta frequência para aumentar a segurança atrelada à nanorrede.



a) Domínio do tempo



b) Dominio da frequência

Figura 3.61 Tensão de modo comum do conversor BGIC em relação ao barramento negativo da nanorrede.

A eliminação das componentes de alta frequência da tensão de modo comum é proposta em [41] através da utilização de filtros de modo comum aplicados no primário e no secundário do conversor BGIC, o que implica na diminuição da densidade de potência e eficiência do

conversor. Outras soluções sugerem a modificação do primeiro estágio, a partir da inserção de novas chaves, em situações em que o primeiro estágio é composto pela topologia *Full Bridge*.

O presente trabalho apresenta duas modificações no secundário do conversor BGIC apresentado nesse capítulo para a atenuação das componentes de alta frequência. A primeira consiste na utilização do filtro indutivo simétrico nos terminais do barramento principal da nanorrede conforme hachurado em verde na Figura 3.62, com valor igual a metade de L_{cc} cada um, dimensionado na Seção 3.2.2.1. Desse modo, a tensão de modo comum (V_{CM}) é medida conforme as setas em vermelho, entre os terminais V_N ou V_P, e o neutro da rede elétrica.

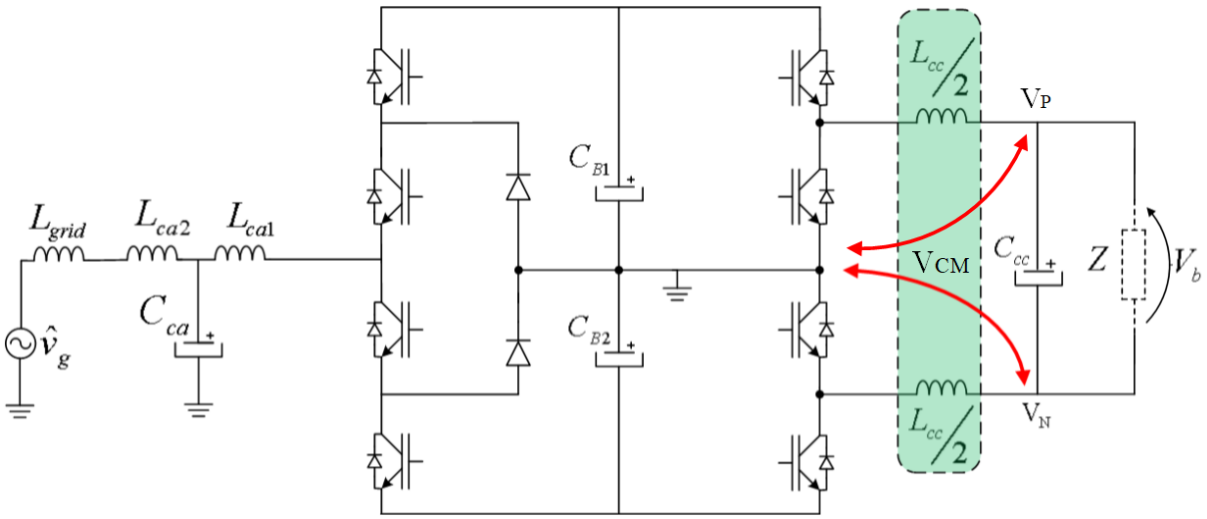
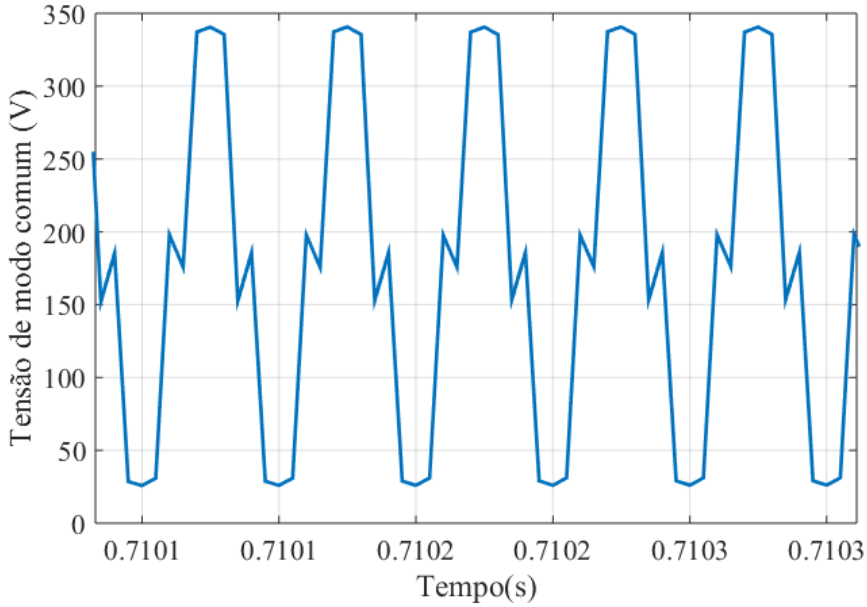


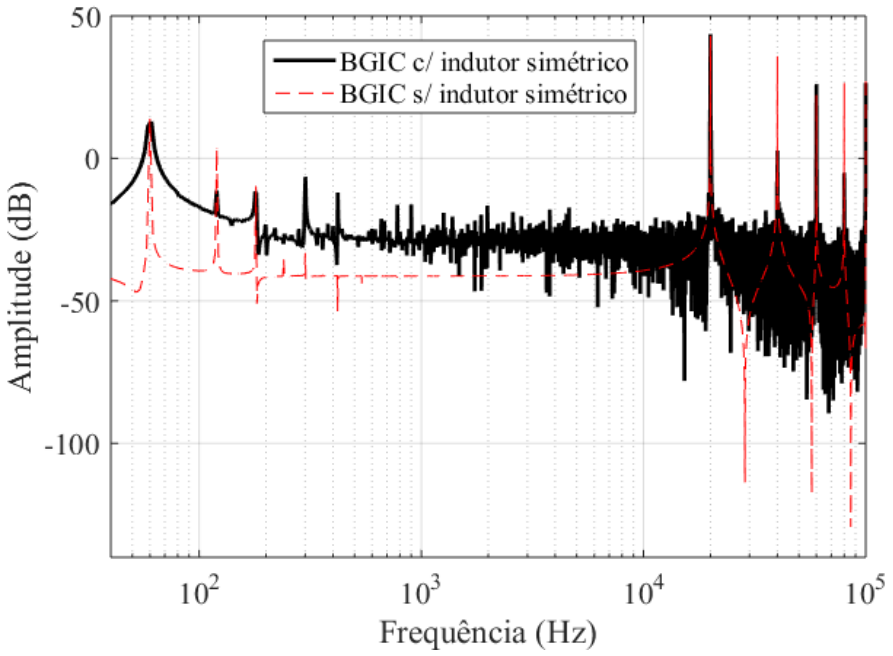
Figura 3.62 Conversor BGIC com filtro simétrico no segundo estágio.

A Figura 3.63 apresenta a forma de onda da tensão de modo comum, e o espectro harmônico comparado com o apresentado para o conversor sem o filtro simétrico. Verifica-se uma atenuação nas componentes de 120Hz (-15dB) e as harmônicas pares da portadora (-42 dB para 40kHz e para 80kHz), enquanto outras componentes possuem seu valor amplificado. Para esse caso a componente contínua da tensão de modo comum sofreu uma atenuação próxima de -1dB.

A segunda solução visa atenuar os harmônicos pares da portadora utilizada pela técnica PWM e as outras componentes que foram amplificadas pela utilização do filtro indutivo simétrico entre os pólos da nanorrede. Para isso, considera-se uma segunda portadora nos diagramas da Figura 3.37 e da Figura 3.38, defasada em 180º da portadora original, que é utilizada para gerar os comandos das chaves inferiores do conversor SNPC. Com isso os comandos dessas chaves são deslocados em 180º, mas o conversor passa a sintetizar V_{cc} e 0V na sua saída como mostrado na Figura 3.64.



a) Domínio do tempo



b) Domínio da frequência

Figura 3.63 Tensão de modo comum do conversor BGIC em relação ao barramento negativo da nanorrede, com filtro simétrico no segundo estágio.

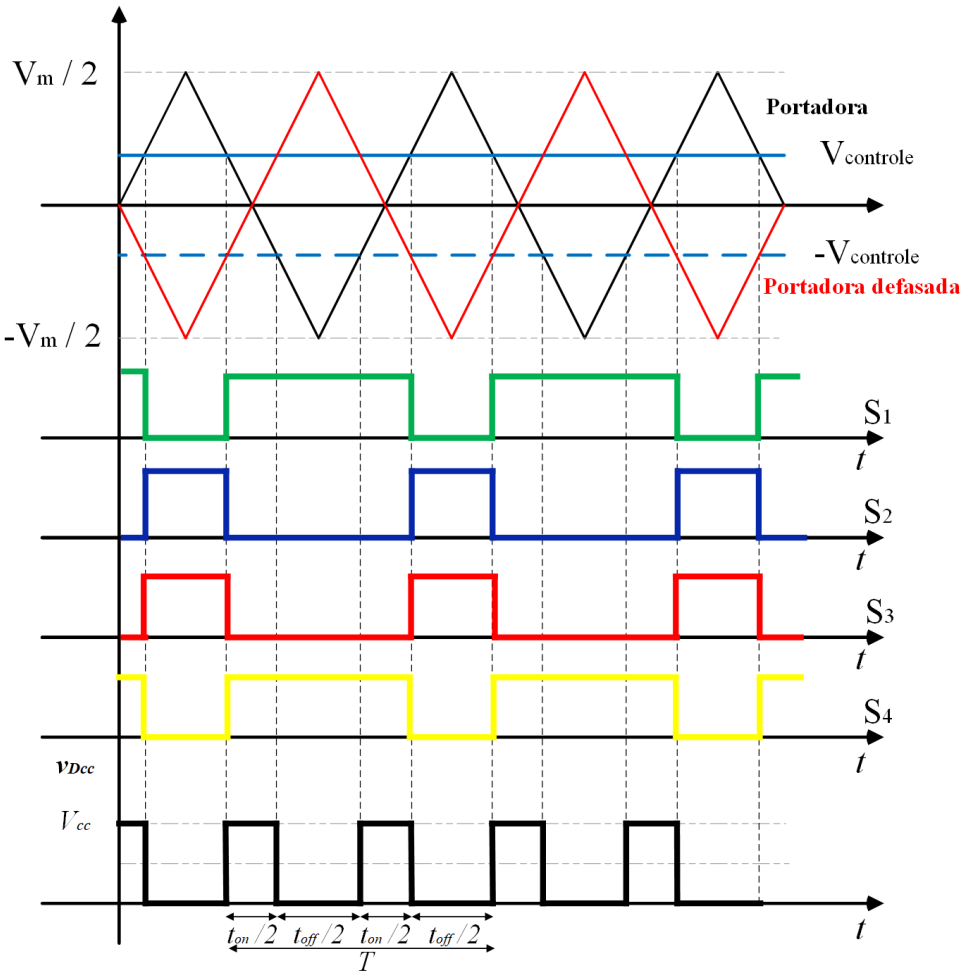
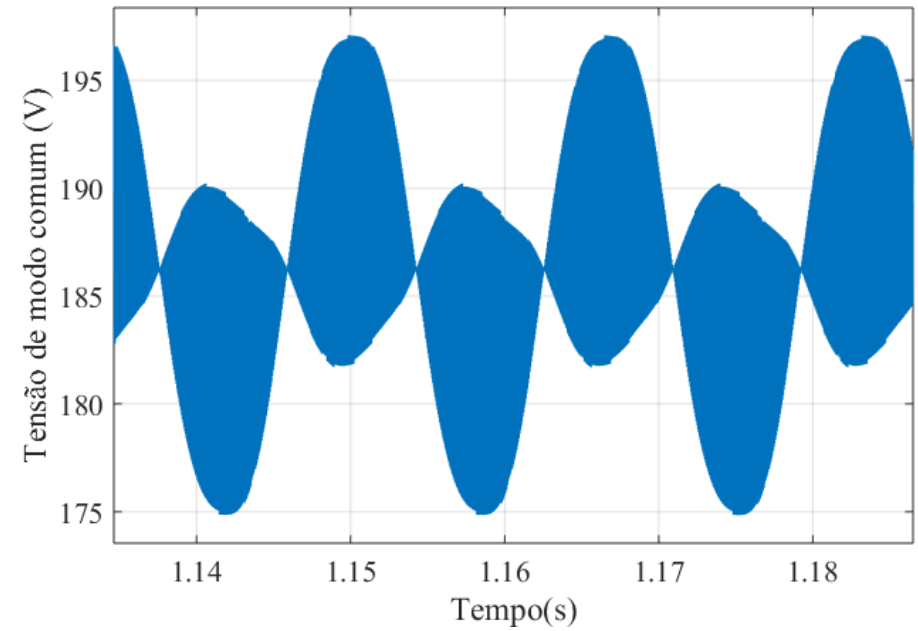
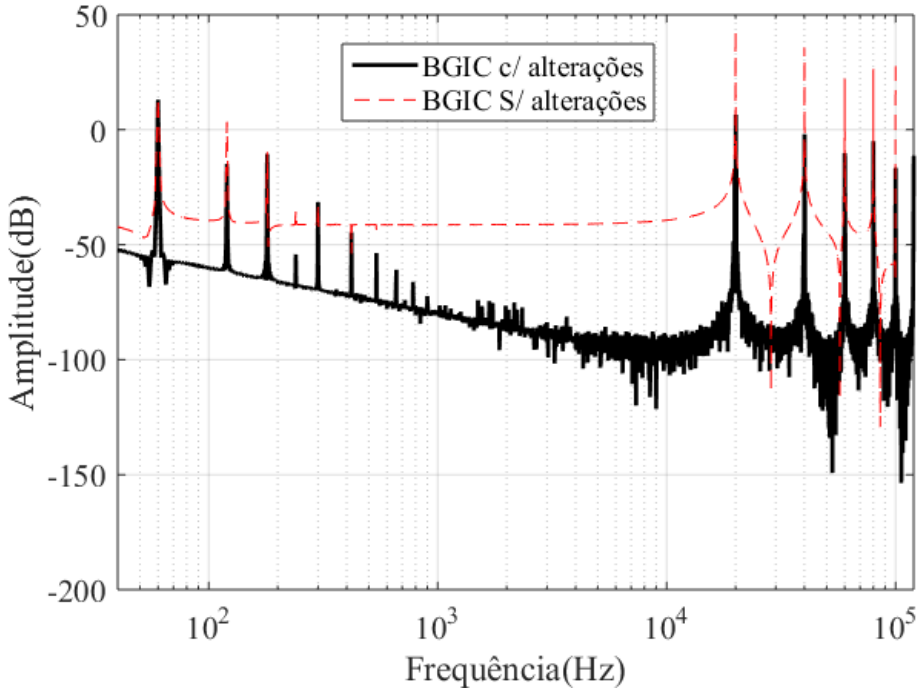


Figura 3.64 Etapas de comutação das chaves do conversor SNPC com duas portadoras triangulares defasadas em 180º.

A forma de onda da tensão de modo comum verificada na Figura 3.64 considera a utilização das duas soluções (filtro simétrico e a inserção de uma nova portadora deslocada), e mostra que as componentes de alta frequência apresentadas na Figura 3.65 foram atenuadas, conforme valores listados na Tabela 3.9, inclusive a componente de 120Hz proveniente da tensão do barramento intermediário. A componente contínua permaneceu praticamente inalterada e igual a 200V.



a) Domínio do tempo



b) Domínio da frequência

Figura 3.65 Tensão de modo comum do conversor BGIC modificado em relação ao barramento negativo da nanorrede, com filtro simétrico no segundo estágio.

Tabela 3.9 Atenuação das componentes da tensão de modo comum gerada pelo conversor BGIC em relação ao conversor sem alterações

Componente	Atenuação
120Hz	-18dB
20kHz	-70dB
40kHz	-66dB
60kHz	-60dB
80kHz	-59dB
100kHz	-71dB

A modificação no comando das chaves do secundário do conversor BGIC, a partir da inserção de uma portadora defasada de 180º da orginal, altera o comportamento da tensão de saída do conversor. Com a técnica de comando apresentada na Seção 3.2.2.2, a tensão de saída do conversor chaveia entre 300V e 600V, enquanto que com a alteração proposta para compensação da tensão de modo comum, o esforço sobre o indutor de saída é o dobro, pois a tensão de saída passa ser chaveada entre 0 e 600V. Com isso, para um mesmo ripple de corrente, o valor do indutor deve ser o dobro. Dessa forma, levanta-se o questionamento: ao invés de realizar essa compensação através da técnica de comando das chaves, e abdicar da redução significativa do filtro, essa compensação pode ser feita a partir da utilização de uma outra topologia de filtro. Esse estudo não será abordado nesse trabalho de dissertação, e para as simulações realizadas com o conversor BGIC nas seções seguintes considerou-se apenas o uso do filtro simétrico proposto.

3.4 Conclusões do capítulo

Este capítulo apresentou os critérios e o dimensionamento de um conversor bidirecional em potência, intitulado BGIC, para conexão de uma nanorrede c.c. de 2kW com a rede elétrica monofásica. O conversor é composto por dois estágios. O primeiro é responsável pelo acesso à rede c.a. e o segundo ao barramento principal da nanorrede. Estes trabalham de forma independente e permitem o controle de correntes de falta tanto do lado da rede c.a., quanto do lado do barramento principal da nanorrede.

O conversor não apresenta isolamento elétrico entre a rede c.a. e o ponto de conexão com a nanorrede devido à baixa potência da nanorrede. Deste modo, escolheu-se a topologia NPC para o primeiro estágio, pois impede a passagem de corrente de falta fase e corpo devido à não existência de um caminho comum entre os dois sistemas. O segundo estágio, como

apresentado no Capítulo 2, deriva de uma ponte completa NPC e permite, através da técnica de chaveamento apresentada, reduzir em metade o filtro indutivo de saída se comparado a um conversor FB (com modulador PWM de 3 níveis) para o mesmo *ripple* de corrente. Por outro lado, essa topologia gera uma tensão de modo comum de alta frequência entre o pólo negativo da nanorrede e o neutro da rede elétrica. A partir da utilização de um filtro simétrico na saída do conversor, e da inserção de uma nova portadora defasada de 180º do original para comandar as chaves inferiores, foi possível atenuar significamente as componentes de alta frequência e manter essa tensão praticamente com uma parcela contínua. Desse modo, o fator de segurança da nanorrede aumenta, sendo que os danos fisiológicos devido ao choque são atenuados e o sistema sofre menor interferência devido à carga de capacitâncias parasitas. Por outro lado, a modificação da técnica de comando das chaves do secundário do conversor BGIC implica em um aumento nos esforços sobre o indutor do filtro de saída, sendo necessário aumentá-lo. Dessa maneira, deve-se estudar a utilização de outras topologias de filtro com o intuito de manter a técnica de comando proposta na Seção 3.2.2.2, e se beneficiar com a redução à metade do indutor do filtro de saída. Esse estudo não será apresentado nessa dissertação de mestrado.

A conexão entre os dois estágios é feita através de um barramento intermediário de 600V. Este é composto por um banco capacitivo de 2mF com uma ondulação de 2,4% durante a condição nominal, o que não prejudica o funcionamento dos estágios, mesmo com uma ondulação maior no barramento intermediário.

Os modelos matemáticos desenvolvidos para ambos os estágios auxiliaram no dimensionamento dos controladores e representam uma contribuição original desse trabalho. Esses modelos foram avaliados a partir de simulações dos respectivos circuitos por meio do software MATLAB Simulink e apresentaram congruência entre suas performances.

Para conexão do conversor na rede a.c. utilizou-se a Park PLL, estrutura já consolidada em diversos trabalhos realizados pelo GEP da UFMG. Tendo em vista a quantidade e complexidade das tarefas exigidas do conversor, fez-se o uso das informações fornecidas pela PLL, como tensão e frequência do ponto de conexão, a fim de monitorar e estabelecer a proteção do conversor a partir da detecção de ilhamento e anomalias da rede c.a., como mostrado no diagrama geral de controle do conversor na Figura 3.53.

Outra proteção considerada para o BGIC visa a evitar as oscilações de corrente do conversor no ponto de conexão com a nanorrede que ocorrem quando a tensão do barramento intermediário decai próximo do valor da tensão do barramento principal. As oscilações ocorrem quando a potência absorvida da rede elétrica não é suficiente para manter a carga da nanorrede, que drena energia dos capacitors C_{B1} e C_{B2}, o que pode afetar o funcionamento dos demais

conversores e cargas conctados na nanorrede. Dentre as possíveis causas, o fenômeno de oscilações da corrente pode ocorrer devido ao afundamento severo de tensão em que o tempo para desconexão do conversor (conforme Tabela 3.7) é superior ao tempo de decaimento da tensão do barramento intermediário. Assim sendo, considerou-se um desligamento do secundário do BGIC caso V_{cc} seja inferior a 550V e a possibilidade do seu religamento é verificada a cada 2s após a detecção da subtensão se, e somente se, nenhum ilhamento ou anomalia na rede a.c. sejam detectados pelo sistema de proteção do conversor. O tempo escolhido de 2s garante que os dois estágios do conversor sejam desligados caso o bloco de monitoramento e proteção tenha detectado uma anomalia na rede c.a., conforme os tempos de atuação apresentados nas Tabelas 3.7 e 3.8.

Nesse trabalho não foi considerado a implementação digital do controlador, mas para uma implementação real, a modelagem do conversor deve ser feita no domínio discreto. Nesse domínio deve-se atentar para uma escolha correta da frequência de amostragem (número múltiplo inteiro ou submúltiplo inteiro da frequência de comutação do convesor); a frequência de chaveamento escolhida deve maximizar a resolução efetiva do PWM utilizado (essa escolha está diretamente relacionada com a frequência do *clock* do modulador); a escolha do PWM centrado aproxima melhor do comportamento do amostrador ZOH pois ambos apresentam o mesmo atraso de fase(característica importante no projeto do controlador). Por fim, deve-se considerar o atraso de transporte no modelo matemático do conversor (diretamente relacionado ao poder do processasmento e dos tempos de resposta dos conversores D/A) para uma representação mais real da dinâmica.

Capítulo 4

Estudo de eficiência do conversor BGIC

Nesse capítulo do trabalho o esforço foi concentrado na análise de perdas de semicondutores, divididas em perdas por condução e por chaveamento. Esta etapa é de suma importância no projeto de conversores para dimensionamento de sistemas de dissipação e seleção de componentes [56]. O objetivo é discutir e analisar a utilização de MOSFET's frente à IGBT, no inversor NPC, apresentado na seção anterior, baseado nas perdas calculadas a partir das folhas de dados dos dispositivos.

A análise de perdas por chaveamento não é trivial, especialmente para MOSFET's em que a não linearidade e capacitâncias parasitas estão presentes, além da falta de informações disponibilizadas nas folhas de dados destes semicondutores. Ao longo do texto serão apresentadas as metodologias para levantamento das perdas de IGBT's e MOSFET's, sendo que, para esse último, será feito um levantamento de técnica para o cálculo das perdas *por* chaveamento, visto que os dados necessários para o cálculo desta parcela não são disponibilizados de forma clara nas folhas de dados dos transistores. Também serão consideradas as perdas nos diodos antiparalelos dos MOSFETs.

O principal objetivo desse capítulo é avaliar a eficiência do conversor BGIC proposto a partir de uma comparação com outras topologias de conversor BGIC, o que é apresentado na Seção 4.3. As perdas nos enrolamentos e no núcleo destes foram consideradas para uma maior precisão no levantamento da eficiência do conversor e são apresentadas na Seção 4.4. E por fim, a eficiência global do conversor é apresentada na Seção 4.5.

4.1 Perdas em Transistores

A potência dissipada pelos transistores pode ser dividida em três partes, são elas: a potência dissipada durante o bloqueio (normalmente é desprezada [57,58,59]), potência dissipada durante a condução e durante o chaveamento. Dessa forma a potência média dissipada pelos semicondutores é representada pela Equação 4.1.

$$P_T = P_C + P_{SW} \tag{4.1}$$

4.1.1 Perdas por Condução

As perdas por condução estão diretamente relacionadas com a resistênciae com a barreira de potencial entre os terminais dreno e fonte do MOSFET, coletor e emissor do IGBT e catodo e anodo do diodo, durante a condução. Os seus valores estão diretamente relacionados com a temperatura e são disponibilizados de forma indireta através das curvas V_{DS} x I_{DS}, V_{CE} x I_C e V_D x I_F nas folhas de dados do MOSFET, IGBT e Diodo, respectivamente. As perdas por condução na parcela resistiva dos dispositivos podem ser condensadas conforme a Equação 4.2.

$$P_C = \frac{1}{T}\int_0^{T_{on}} p_C(t)dt = \frac{1}{T}\int_0^{T_{on}} (R_{(on)} \cdot i^2(t))dt = R_{(on)} \cdot I_{rms}^2$$

$$P_C = u\left[i(t)\right]i(t)\,, \tag{4.2}$$

onde, T_{on} é o período de tempo em que a chave está em condução, R_{on} é a resistência intrínseca do dispositivo em condução. Vale lembrar que para o IGBT e o Diodo deve-se somar à parcela das perdas de condução, a componente relacionada a barreira de potencial.

A partir da Equação 4.2 e das curvas disponibilizadas nas folhas de dados, é possível calcular de forma numérica as perdas por condução dos semicondutores empregados nos conversores. Essas curvas são disponibilizadas, normalmente, para duas temperaturas de junção como apresentadas na Figura 4.1 para o componente SK25GH12T4. Como a resistência possui uma variação praticamente linear com a temperatura [58], é possível levantar essa curva para outra temperatura de operação.

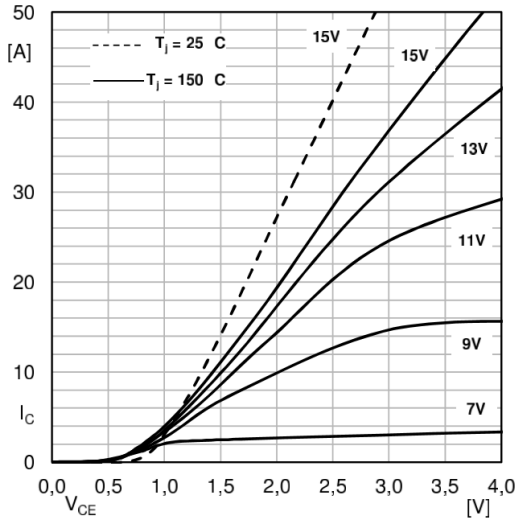


Figura 4.1 Caracteristica típica de saída do IGBT SK25GH12T4.

4.1.2 Perdas por Chaveamento

As perdas por chaveamento são divididas em duas partes, as perdas durante o ligamento da chave e durante o desligamento, representado conforme a Equação 4.3 [59,60]. O cálculo dessa parcela das perdas não é trivial e está diretamente relacionado à resistência do *gate* e capacitâncias parasitas (para MOSFETs e IGBTs), assim como às características das cargas.

$$P_{sw} = P_{ON} + P_{OFF} \tag{4.3}$$

Para contabilizar as perdas por chaveamento é necessário conhecer a energia associada à transição da chave (ligamento ou desligamento) de forma que as perdas por chaveamento podem ser consideradas conforme a frequência de chaveamento f_{sw} na Equação 4.4 [60].

$$P_{sw} = f_{sw} \sum_{T} (E_{on}\left[i(t)\right] + E_{off}\left[i(t)\right]) \tag{4.4}$$

No caso dos IGBTs são disponibilizadas as curvas para condições específicas de operação, que servem para estimar as perdas do chaveamento e auxiliar o projetista na escolha do dissipador, quando necessário. As curvas disponibilizadas correspondem a E_{on} x I_C, E_{off} x I_C e E_{rr} x I_F, sendo essa última relacionada às perdas por chaveamento do diodo antiparalelo, assunto discutido na Seção 4.2 desse capítulo. A Figura 4.2 apresenta as curvas citadas para o componente SK25GH12T4.

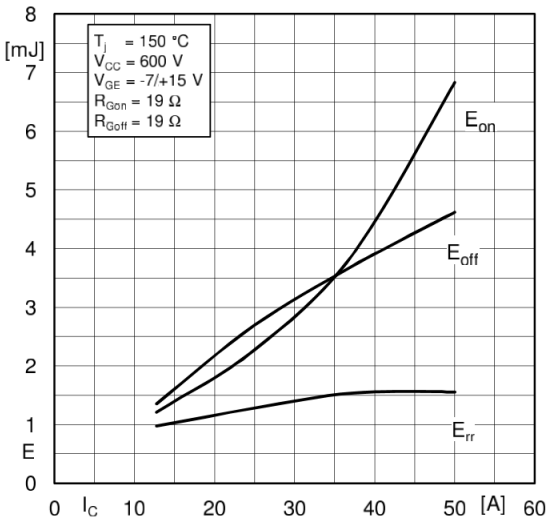


Figura 4.2 Energias associadas ao chaveamento do IGBT SK25GH12T4.

Nas perdas por chaveamento se concentram a maior parte estudos desse trabalho, já que não são de fácil aquisição, especialmente para os MOSFETs. As subseções 2 e 3 apresentam duas técnicas disponíveis na literatura para o estabelecimento dos tempos que determinam as dinâmicas relacionadas à transição entre os estados ligado e desligado para MOSFETs. A primeira técnica é disponibilizada pelo fabricante Infineon [58] e a segunda por diversos trabalhos encontrados na literatura [60-64].

O principal objetivo no estudo das duas técnicas citadas é o levantamento das curvas E_{ON} x I_{DS} e E_{OFF} x I_{DS} para MOSFETs, em função de parâmetros disponíveis nas folhas de dados, de forma que sejam contabilizadas as perdas do primeiro estágio do BGIC. Dessa forma, pode-se avaliar se a utilização de MOSFETs nesse estágio promove um aumento na eficiência do conversor.

4.1.2.1 Método Infineon

No método descrito no artigo [58], o MOSFET é considerado juntamente com um circuito indutivo e apresenta características de fonte de corrente. Nessa metodologia de cálculo de perdas por chaveamento considerada pela Infineon será avaliado o pior caso, o qual será elucidado mais adiante.

A dinâmica considerada para o levantamento das energias despendidas no chaveamento está relacionada com os tempos de transição entre o ligamento e o desligamento do MOSFET. Essa dinâmica é mostrada na Figura 4.3, assim como a potência despendida durante esse processo de comutação.

A dinâmica do ligamento do MOSFET, para um *Chopper* de um quadrante alimentando uma carga indutiva [58], consiste em:

i. A tensão no *gate* do MOSFET varia de 0V a U_G. Nesse invervalo pode-se considerar que a tensão do *gate* cresce até a tensão de limiar $U_{GS(th)}$ com uma constante de tempo definida pelo resistor de *gate* e pela capacitância de entrada do MOSFET C_{iss}. Enquanto não se atinge a tensão de limiar, o semicondutor não entra em condução;
ii. Quando atingida a tensão de limiar, a corrente no dreno aumenta até que se atinja a corrente de carga. O pior caso para o tempo de entrada em condução do semicondutor é especificado na folha de dados como t_{ri}. Durante esse tempo, o diodo antiparalelo com a carga ainda está em condução e a tensão entre dreno e fonte é o valor da tensão é U_{DD};
iii. Durante o desligamento do diodo antiparalelo, os portadores minoritários armazenados na sua junção devem ser removidos. Nesse processo a corrente de recuperação reversa

tem que ser absorvida pelo MOSFET, o que causa uma perda de potência adicional. O pior caso é considerado a partir dos valores da carga de recuperação reversa (Q_{rr}) e o tempo de recuperação reversa (t_{rr}), presentes na folha de dados;

iv. Após o desligamento do diodo, a tensão entre os terminais do dreno e fonte decresce para $U_{DS}= R_{DS(on)}I_{D(on)}$. Nesse momento, ocorre o aparecimento do efeito Miller (variação da capacitância de entrada a partir da variação do sinal aplicado) e a tensão de *gate* fica estagnada em $U_{(plateau)}$. Durante esse intervalo, a tensão de dreno-fonte decai a partir da dinâmica ditada pela corrente de *gate*, que flui pela capacitância entre *gate*-dreno ($U_{GD}=C_{rss}$). Para calcular esse tempo de decaimento (t_{fu}) é necessário considerar a não linearidade da capacitância C_{GD} frente à tensão dreno fonte (essa curva é disponibilizada nas folhas de dados dos MOSFETs). Segundo o artigo da Infineon, essa capacitância é obtida através de uma média entre a capacitância C_{GD1} (capacitância quando a tensão entre dreno e fonte pertence ao intervalo [$U_{DD}/2$, U_{DD}] e normalmente é um valor constante nesse intervalo) e C_{GD2} (capacitância quando a tensão está no intervalo [0, $U_{DD}/2$], seu valor é ditado a partir de U_{DS} que é diretamente proporcional à corrente de condução do MOSFET). A partir do desenvolvimento matemático do artigo, ao considerar o carregamento da capacitância de entrada do MOSFET feita pela corrente de *gate*, o tempo de decaimento pode ser calculado conforme a Equação 4.5.

$$t_{fu} = \frac{(U_{DD} - R_{DS(on)} \cdot I_{D(on)})R_G}{(U_G - U_{(plateau)})}\left(\frac{C_{GD1} + C_{GD2}}{2}\right) \tag{4.5}$$

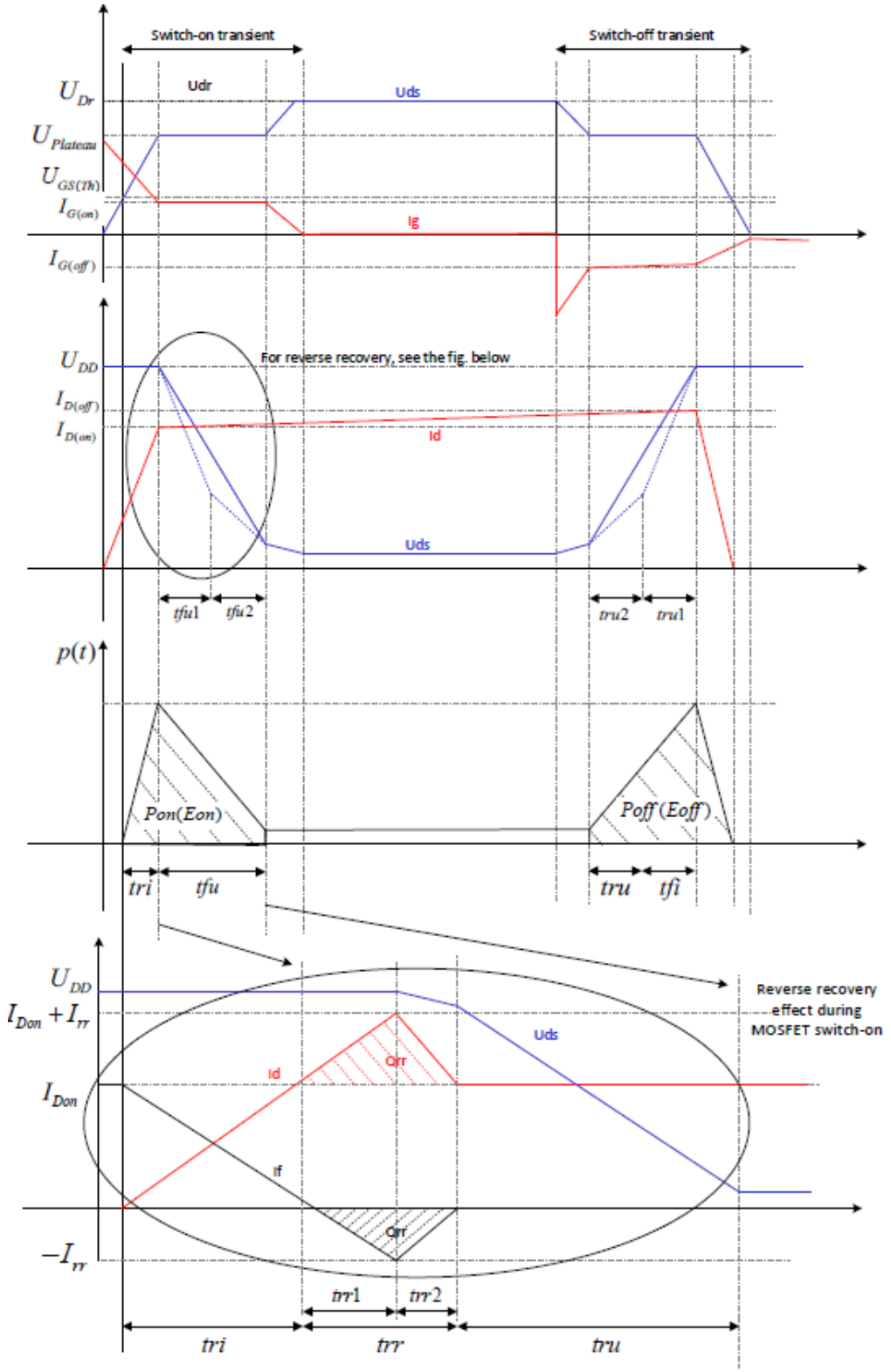


Figura 4.3 Formas de onda de corrente e tesão no MOSFET que descrevem as dinâmicas de ligamento e desligamento para o cálculo das respectivas energias.

A dinâmica do desligamento do MOSFET não possui na recuperação reversa do diodo, apenas da não linearidade da capacitância entre *gate* e dreno. Durante esse processo, é

considerado o tempo de subida da tensão (t_{ru}) entre os terminais de dreno e fonte, e o cálculo é realizado considerando a descarga da capacitância de *gate*, como mostrado na Equação 4.6.

$$t_{ru} = \frac{(U_{DD} - R_{DS(on)} \cdot I_{D(on)})R_G}{U_{(plateau)}} \left(\frac{C_{GD1} + C_{GD2}}{2} \right) \tag{4.6}$$

Durante o período t_{fi}, o diodo antiparalelo entra em condução, enquanto a corrente no MOSFET decai até zero. Assim, as energias associadas às perdas (P_{on} e P_{off}), mostradas na Figura 4.3, podem ser calculadas conforme a Equação 4.7 para um intervalo de tempo de 0 a (t_{ri}+t_{fu}), durante o ligamento do MOSFET, e a partir da Equação 4.8 no intervalo entre 0 a (t_{ru}+t_{fi}), durante o desligamento deste.

$$E_{on} = \int_0^{tri+tfu} u_{DS}(t) \cdot i_D(t) dt = U_{DD} \cdot I_{D(on)} \cdot \frac{tri + tfu}{2} + Q_{rr} \cdot U_{DD} \tag{4.7}$$

$$E_{off} = \int_0^{tru+tfi} u_{DS}(t) \cdot i_D(t) dt = U_{DD} \cdot I_{D(off)} \cdot \frac{tru + tfi}{2} \tag{4.8}$$

Dessa forma é possível levantar as energias associadas à transição do MOSFET em função dos parâmetros disponíveis na folha de dados e também em função da corrente entre dreno e fonte no momento da transição, uma vez que C_{GD2} é diretamente relacionada com essa corrente I_{DS}.

Conforme [61], essa metodologia apresenta a energia associada às perdas por chaveamento do semicondutor para o pior caso, assim pode ocorrer um superdimensionamento das perdas. Essa parcela adicional está diretamente relacionada ao método de linearização adotado no cálculo de t_{ru} e t_{fu}.

Tendo em vista o superdimensionamento das perdas, [61,62,63] abordam um outro conceito para o cálculo dos tempos relacionados ao ligamento e desligamento das chaves. O método proposto por [61], que será abordado na Seção 4.1.2.2, parte das equações diferenciais do circuito para levantamento dos tempos de transição. É mostrado que, exatamente durante t_{ru} e t_{fu}, o comportamento não é linear e sim exponencial. Assim diminuem significativamente as perdas associadas a esse período e, consequentemente, as perdas por chaveamento totais estimadas do MOSFET.

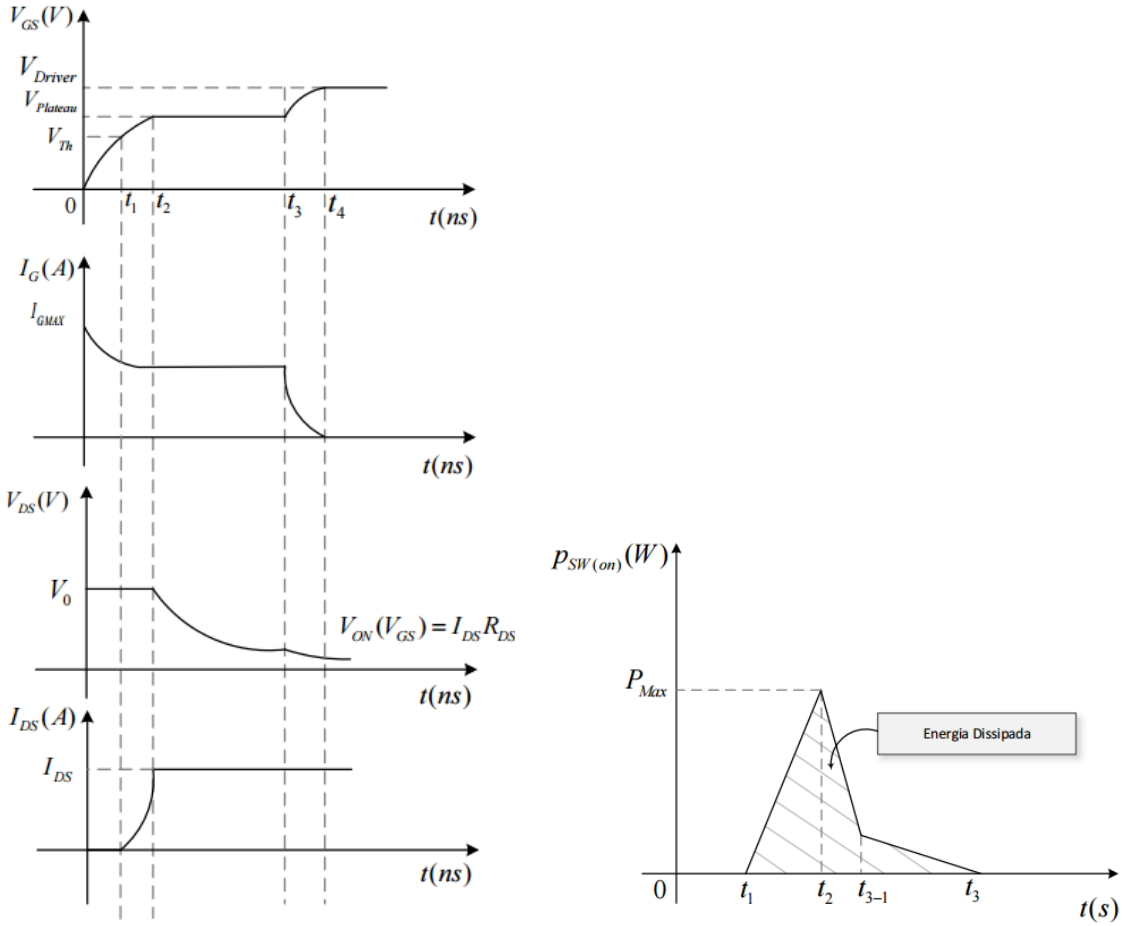
4.1.2.2 Método proposto por Lirio, Luiz Eduardo, [61]

Segundo o autor de [61], a presente técnica também considera o dimensionamento das perdas a partir dos tempos de transição da corrente e tensão do MOSFET durante o estado ligado e desligado. Considera ainda, que a curva da potência instantânea também apresenta formato triangular, conforme discutido por [58]. O autor desenvolve as equações diferenciais do circuito equivalente do MOSFET, circuito dependente das capacitâncias parasitas, resistência de *gate* e outras características disponíveis nas folhas de dados do semicondutor. O desenvolvimento matemático realizado pelo autor não será abordado no presente trabalho, uma vez que essa modelagem já foi feita e validada pelo mesmo.

O processo de ligamento do MOSFET, para carga indutiva, com dinâmica representada pela Figura 4.4 (a), é analisada a partir de quatro intervalos de tempo diferentes. O intervalo entre t_2 e t_3 é subdividido em dois intervalos para representação mais fiel do comportamento da potência instantânea desenvolvida pelo dispositivo, ilustrada pela Figura 4.4(b). Esse partilhamento em dois estágios é necessário devido à relação entre a capacitância parasita entre *gate* e dreno (C_{GD}) e v_{DS}. Caso essa relação não seja desconsiderada, o tempo de decaimento da tensão $v_{DS}(t)$ é superestimado, assim como o valor das perdas de ligamento do MOSFET [65].

Em que:

- t_1 - representa o tempo necessário para que a tensão $v_{GS}(t)$ atinja o seu limiar V_{th} a partir do instante em que é aplicado um degrau de tensão no *gate* do MOSFET para o seu ligamento. Nesse intervalo a corrente $i_{DS}(t)$ é zero e $v_{DS}(t)$ é igual à tensão da fonte V_0 conectada entre os terminais dreno e fonte do semicondutor;
- t_2 – compreende o instante em que $v_{GS}(t)$ atinge a tensão $V_{Plateau}$, nesse instante $i_{DS}(t)$ atinge a corrente nominal I_{DS}, enquanto $v_{DS}(t)$ permanece constante e igual a V_0;
- $t_{3\text{-}1}$ e t_3 – é o intervalo delimitado por t_2 e t_3, compreende a variação de $v_{DS}(t)$ de V_0 até a tensão mínima, igual ao produto da corrente I_{DS} e da resistência R_{DS}. Enquanto $v_{GS}(t)$ permanece constante e igual à tensão de $V_{Plateau}$. Esse intervalo é subdividido pelo instante $t_{3\text{-}1}$, a partir de t_2 até este instante ocorre o decaimento de $v_{DS}(t)$ para C_{GD} constante, enquanto que, de $t_{3\text{-}1}$ até t_3 é contabilizado para C_{GD} médio [59,66];
- t_4 – é o instante em que $v_{GS}(t)$ atinge V_{Drive}.



a) Dinâmica do ligamento do MOSFET

b) Forma de onda aproximada da potência instantânea associada.

Figura 4.4 Formas de onda durante o ligamento do MOSFET.

A energia associada ao ligamento do MOSFET (E_{ON}) é calculada a partir da área hachurada na Figura 4.4(b) e é representada pela Equação (4.9).

$$E_{ON} = \left(\left(\frac{t_{3-1} - t_1}{2} \right) V_0 + \left(\frac{t_3 - t_{3-1}}{2} \right) v_{DS}(C_{GD(médio)}) \right) I_{DS} \tag{4.9}$$

As equações que determinam os tempos necessários pela Equação 4.9 são apresentadas na Tabela 4.1.

Tabela 4.1 Equações para cálculo dos intervalos de tempo requeridos pela Equação 4.9.

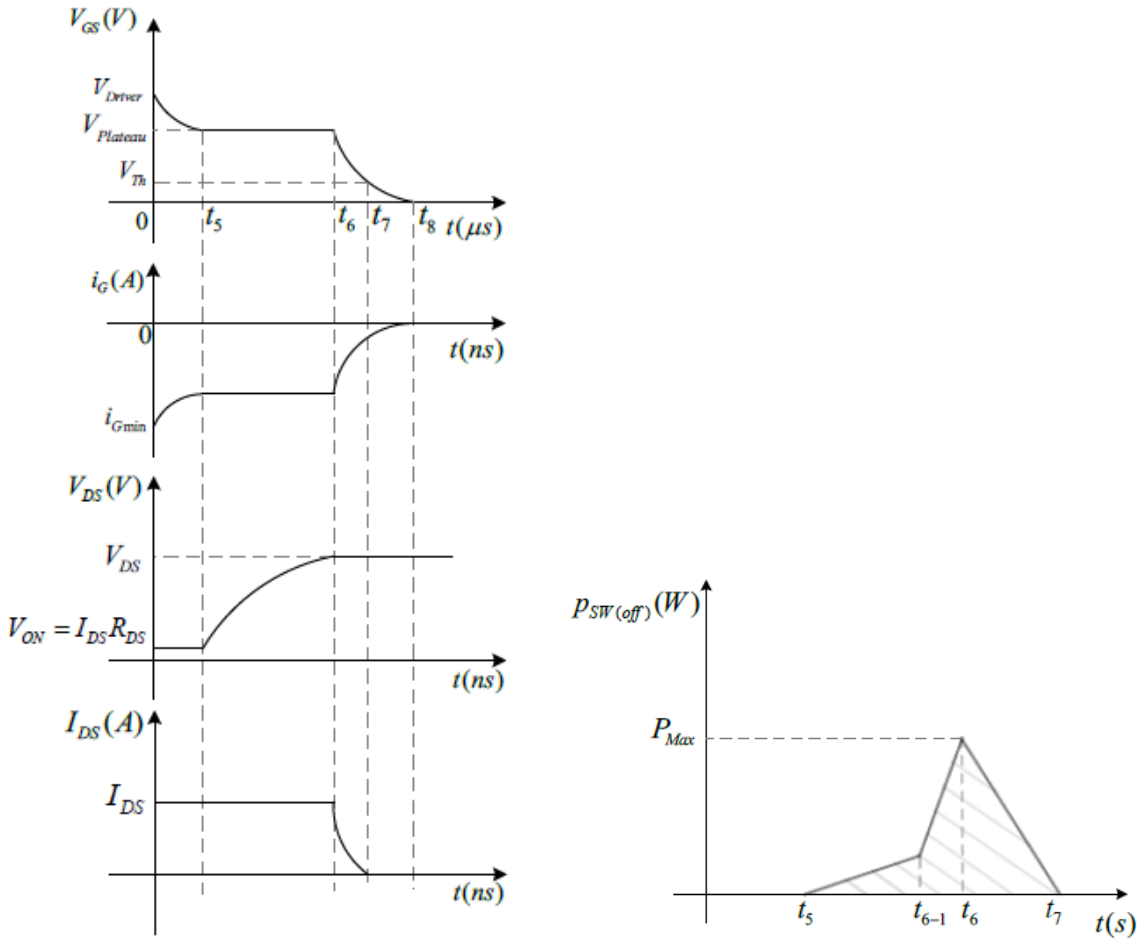
$t_1 = \tau \ln\left(\frac{V_{Driver}}{V_{Driver} - V_{th}}\right)$
$t_2 = t_1 + \tau \ln\left(\frac{g_m\left(V_{Driver} - V_{th}\right)}{g_m\left(V_{Driver} - V_{th}\right) - I_{DS}}\right)$
$t_{3-1} = t_2 + \frac{\left(R_G + R_{Gate}\right) C_{GD(médio)}}{V_{Driver} - \left(V_{Th} + \frac{I_{DS}}{g_m}\right)} \left(V_0 - v_{DS}\left(C_{GD(médio)}\right)\right)$
$t_3 = t_{3-1} + \frac{\left(R_G + R_{Gate}\right) C_{GD(Constante)}}{V_{Driver} - \left(V_{Th} + \frac{I_{DS}}{g_m}\right)} \left(v_{DS}\left(C_{GD(médio)}\right) - I_{DS} R_{DSon}\right)$
$g_m = \frac{2 I_{DS}}{\left(v_{GS} - V_{Th}\right)}$
$\tau = \left(R_G + R_{Gate}\right)\left(C_{GS} + C_{GD}\left(v_{DS}\right)\right)$

O processo de desligamento do MOSFET também contribui para as perdas por chaveamento do dispositivo. Essa dinâmica é apresentada na Figura 4.5 a partir da transição de v_{DS} e i_{DS}, e, segundo o autor de [61], também deve ser feita a divisão do intervalo de tempo, neste caso o processo ocorre em cinco partes.

Em que:

- t_5 - representa o tempo necessário para que a tensão $v_{GS}(t)$ atinja o $V_{Plateau}$ a partir do instante em que a tensão aplicada no *gate* do MOSFET é igual a 0V. Nesse intervalo a corrente $i_{DS}(t)$ e a tensão $v_{DS}(t)$ não variam;
- t_{6-1} e t_6 – o intervalo entre t_5 e t_6 consiste na variação de $v_{DS}(t)$ da tensão mínima V_{ON} até V_0, enquanto $v_{GS}(t)$ permanece constante e igual à tensão de $V_{Plateau}$. Este intervalo é subdividido pelo instante t_{6-1}, a partir de t_5 até t_{6-1} ocorre o aumento de $v_{DS}(t)$ para o valor de C_{GD} médio e de t_{6-1} até t_6 é contabilizado para C_{GD} constante, assim como foi realizado para determinar t_3;
- t_7 - no intervalo de t_{6-1} a t_7, a tensão $v_{GS}(t)$ decai de $V_{plateau}$ até V_{Th}. A corrente $i_{DS}(t)$ varia de I_{DS} até 0 e $v_{DS}(t)$ encontra-se no seu valor de regime V_0;

- t_8 – instante de tempo em que $v_{GS}(t)$ atinge 0V, v_{DS} permanece igual a V_0 assim como i_{DS} igual a 0A.



a) Dinâmica do desligamento do MOSFET

b) Forma de onda aproximada da potência instantânea associada.

Figura 4.5 Formas de onda durante o desligamento do MOSFET.

A energia associada ao desligamento do MOSFET (E_{OFF}) é calculada a partir da área hachurada na Figura 4.5 b) e é representada pela Equação (4.10).

$$E_{OFF} = \left(\left(\frac{t_{6-1} - t_5}{2}\right) v_{DS}(C_{GD(médio)}) + \left(\frac{t_7 - t_{6-1}}{2}\right) V_0\right) I_{DS} \tag{4.10}$$

As equações que determinam os tempos necessários pela Equaçã 4.10 são apresentadas na Tabela 4.2.

Tabela 4.2 Equações para cálculo dos intervalos de tempo requeridos pela Equação 4.10.

$t_5 = \tau \ln\left(\frac{V_{Driver}}{V_{Plateau}}\right)$
$t_6 = t_5 + \tau\left(\frac{v_{DS}(C_{GD(médio)}) - I_{DS}R_{DSon}}{V_{Plateau}}\right)$
$t_6 = t_{6-1} + \tau\left(\frac{V_0 - v_{DS}(C_{GD(médio)})}{V_{Plateau}}\right)$
$t_7 = t_6 + \tau \ln\left(\frac{V_{Plateau}}{V_{Th}}\right)$

As equações foram validadas por [61] e representaram uma boa aproximação das perdas se comparadas às simulações realizadas no Orcad, software que considera o modelo PSpice do componente. A validação realizada pelo autor considerou apenas os dados tabelados nas folhas de dados para suas respectivas condições de temperatura.

O presente trabalho pretende avaliar as metodologias apresentadas por [58] e [61] a partir da ferramenta *Thermal Module* do Software PSIM. Essa ferramenta apresenta uma forma rápida para estimar as perdas em semicondutores. Esse cálculo é feito a partir da inserção das curvas e dados presentes nas folhas de dados dos dispositivos semicondutores. A ferramenta apresenta os modelos do Diodo, IGBT e MOSFET, sendo que para os dois primeiros são inseridas as curvas presentes nas folhas de dados, enquanto que para o MOSFET são requeridos apenas alguns dados tabelados na folha de dados.

Para a validação das curvas de energia levantadas a partir dos dois métodos apresentados, estas foram inseridas no modelo do IGBT do PSIM, de forma que se possa obter um resultado calculado ponto a ponto a partir das curvas. Também foi considerado o modelo do MOSFET do PSIM, com os parâmentros da folha de dados, para verificar os valores de perdas retornados pelo mesmo.

Para a avaliar as metodologias apresentadas, foi considerado um conversor *buck* com características listadas na Tabela 4.3. O MOSFET IPW60R045CP pertence a família CoolMOS™, este apresenta baixo valor para R_{DSon} e é capaz de suportar altos valores de dV/dt, permitindo assim que se possa trabalhar com frequências de chaveamento elevadas. Esse

dispositivo foi escolhido por suas baixas perdas de condução e chaveamento, e também por já estar disponível no laboratório GEP da UFMG.

Tabela 4.3 Parâmetros do conversor Buck utilizado para avaliação das técnicas descritas em nas seções 3.1.2.1 e 3.1.2.2.

$V_{in-buck}$	**300V**
$V_{out-buck}$	150V
L_{buck}	400µH
C_{buck}	100µF
$f_{chav-buck}$	20kHz
MOSFET	IPW60R045CP [67]

Para a validação foi considerada uma variação de potência entre 0,9kW e 4,5kW no conversor (temperatura de junção dos componentes foram fixadas em 25°C). Também foi realizada a simulação pelo software Orcad com os resultados apresentados na Figura 4.6.

As perdas por condução são praticamente iguais considerando os métodos [58,61], o modelo do MOSFET do PSIM e pela simulação do Orcad. Por outro lado, nota-se que os valores das perdas por chaveamento, para o método descrito pela Infineon, são muito conservadores e as perdas são superestimadas (valores de até 20 vezes o valor encontrado pela simulação no Orcad). As perdas por chaveamento calculadas a partir de [61] e do modelo do MOSFET do PSIM apresentaram resultados praticamente idênticos e levemente maiores que as perdas calculadas a partir das simulações realizadas no Orcad. Apesar da comparação entre os métodos propostos por [58] e [61] com os resultados de simulação do modelo spice do componente pelo Orcad, nenhum dos métodos apresenta a uma validação experimental. Portanto, uma validação experimental se torna necessária para determinar qual método permite um cálculo preciso para as perdas de chaveamento do MOSFET Si. Esse trabalho adotou o método proposto em [61] por se aproximar mais dos resultados adquiridos pelo modelo spice, que é fornecido pelo fabricante.

A metodologia proposta em [61] considera os dados listados na folha de dados e não contabiliza a influência da temperatura nas perdas. Normalmente os dados da folha de dados são levantados para uma temperatura igual a 25°C que corresponde a uma temperatura impraticável na operação dos conversores. Dessa forma, em alguns parâmetros das equações

desenvolvidas por [61], será considerada a variação da temperatura para alguns parâmetros mais sensíveis a essa perturbação que serão descritos na seção seguinte.

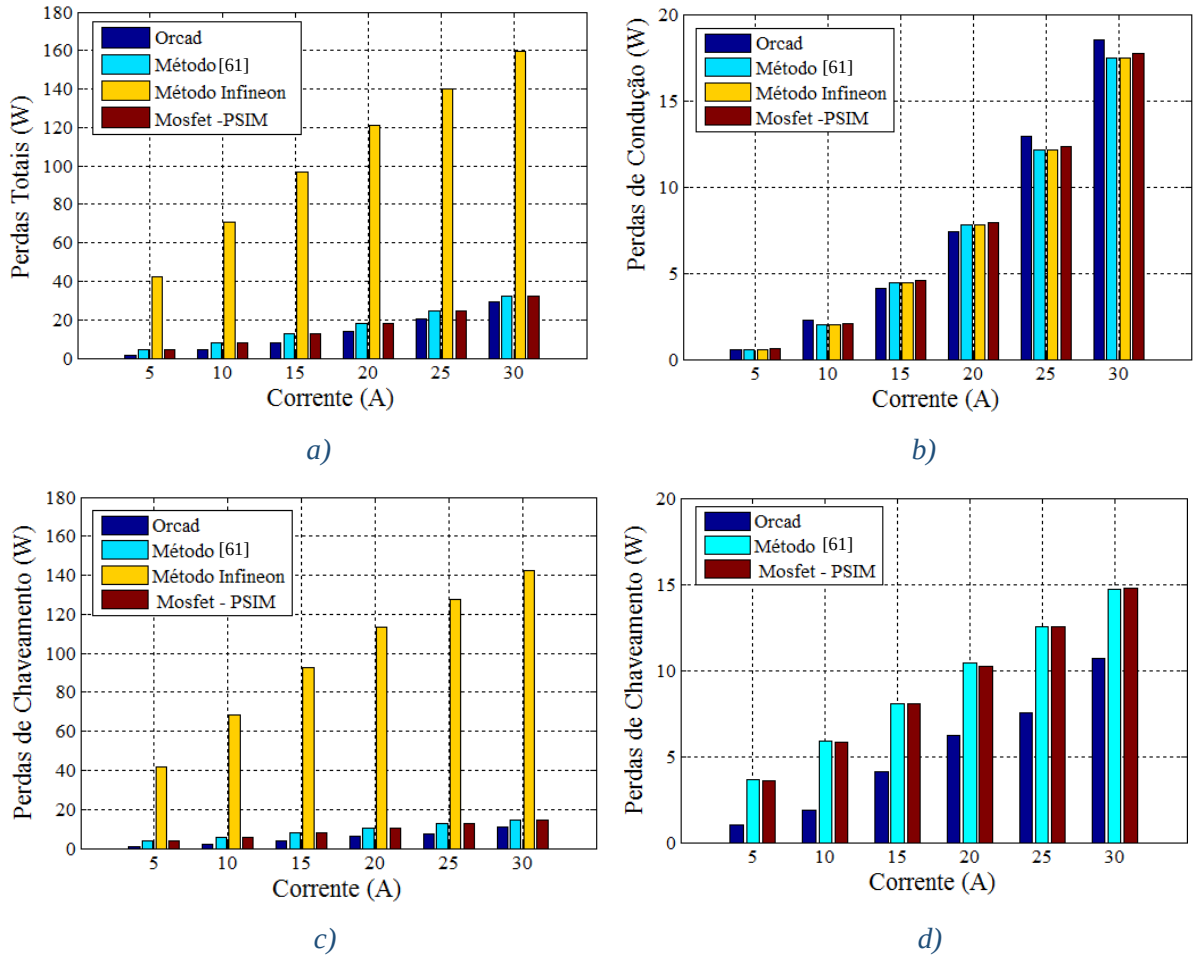


Figura 4.6 a) Perdas totais b) Perdas por condução c) Perdas por chaveamento com e d) sem dados do Método da Infineon.

4.1.3 Efeitos da temperatura

As curvas características apresentadas nas folhas de dados dos semicondutores, assim como os dados tabelados, são levantadas normalmente para as temperaturas de 25°C e para a temperatura máxima suportada pelo dispositivo, que são temperaturas impraticáveis na aplicação do dispositivo. As metodologias propostas por [58] e [61] consideram apenas dados tabelados, sendo que o levantamento das curvas fica atrelado às temperaturas dos dados levantados pelo fornecedor do dispositivo na folha de dados.

A estimativa das perdas levantadas por [61] apresentou valores muito próximos dos contabilizados pela simulação a partir do modelo Spice do dispositivo. Assim, representou de

forma mais fiel as reais perdas do dispositivo sem superestimar o seu valor como visto a partir da metodologia proposta por [58].

Conforme [68], as perdas por chaveamento não se alteram com a temperatura, pois as capacitâncias parasitas dos MOSFETs não sofrem influência desta variável. Entretanto, alguns trabalhos, como [69,70], expressam a dependência de alguns parâmetros com a temperatura. Com o intuito de complementar a metodologia apresentada em [61] e verificar a influência da temperatura nas perdas por chaveamento, serão adicionados os efeitos da temperatura para $R_{DS(on)}$, g_m, V_{th} e $V_{Plateau}$, baseados em [69,70] e nas informações disponíveis nas folhas de dados dos semicondutores.

Para a análise, serão consideradas as informações do MOSFET IPW60R045CP, e as temperaturas consideradas para avaliação do método proposto serão 25°C, 70°C e 150°C.

4.1.3.1 Perdas por Condução

No MOSFET, $R_{DS(on)}$ representa a resistência total entre os terminais de dreno e fonte durante o tempo em que o mesmo está em estado ligado. Seu valor é utilizado para determinar as perdas por condução do dispositivo, sendo possível calcular seu valor ponto a ponto a partir da curva V_{DS} x I_{DS} disponível nas folhas de dados dos MOSFETs. A resistência $R_{DS(on)}$ possui coeficiente de temperatura positivo, sendo que seu valor é aumentado com o aumento da temperatura. Isso ocorre pois, com o aumento da temperatura, a mobilidade das lacunas e dos elétrons é reduzida conforme a Equação 4.11.

$$\frac{D_e}{\mu_e} = \frac{D_p}{\mu_p} = V_T = \frac{kT}{q} \tag{4.11}$$

Onde:

D_e coeficiente de difusão para os elétrons

D_p coeficiente de difusão para as lacunas

μ_e mobilidade dos elétrons

μ_p mobilidade das lacunas

V_T *termal voltage*

k constante de Boltzmann

T temperatura

q carga do elétron

Conforme [69], a resistência $R_{DS(on)}$ pode ser aproximada a partir da Equação 4.12.

$$R_{DS(on)}(T_k) = R_{DS(on)}(25^o C)(\frac{T_k}{300})^{2.3} \quad (4.12)$$

Através da Equação 4.12 e do valor da resistência para uma corrente de 40A em 25°C, é possível verificar para o MOSFET IPW60R045CP, na Figura 4.7, que o comportamento de seu R_{DSon} com a temperatura é praticamente linear. Assim, é possível levantar as curvas V_{DS} x I_{DS} para qualquer temperatura a partir da linearização ponto a ponto das curvas de 25°C e de 150°C para a temperatura desejada e com isso contabilizar as perdas por condução do dispositivo na temperatura desejada.

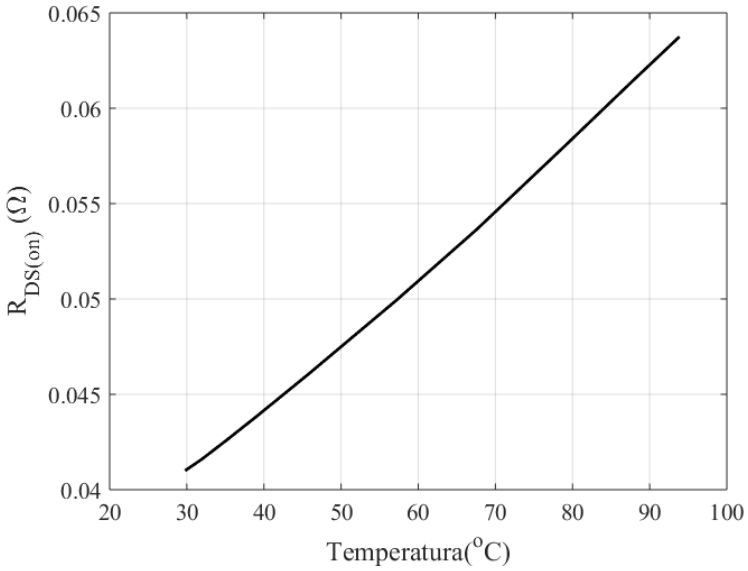


Figura 4.7 $R_{DS(on)}$ para I_{DS} = 40A em função da temperatura – MOSFET IPW60R045CP.

Como verificado nas equações descritas nos tópicos anteriores, para estimar as *perdas por chaveamento*, $R_{DS(on)}$ também é contabilizado. Dessa forma será calculada a resistência para cada ponto de operação (os métodos em [58] e [61] utilizam o valor máximo dado na folha de dados) e para a devida temperatura. A Figura 4.8 apresenta as curvas I_{DS} x V_{DS} para o MOSFET considerado em diferentes temperaturas, em que a curva de 70º foi calculada a partir da linearização das curvas para 25º e 150º ponto a ponto.

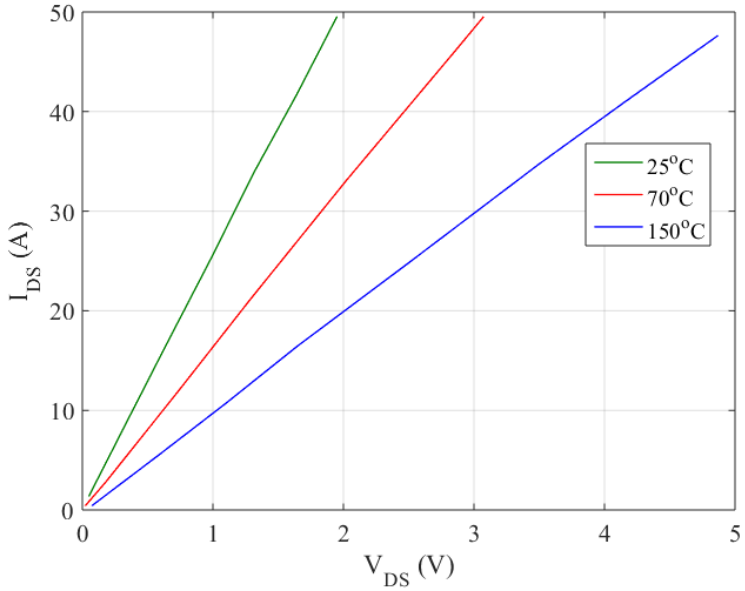


Figura 4.8 I_{DS} x V_{DS} para 25°C, 50°C e 150°C – MOSFET IPW60R045CP.

4.1.3.2 Transcondutância - g_m

O ganho do MOSFET é calculado a partir da transcondutância g_m, representado pela variação da corrente devido à mudança da tensão V_{GS}. Esse ganho cresce até determinado valor de V_{GS}, representado pela linha vermelha na Figura 4.9, e se torna constante a partir de então.

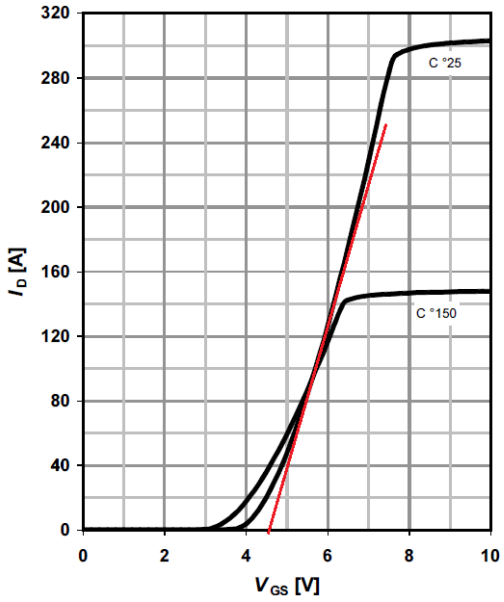


Figura 4.9 Representação de gm a partir da inclinação da curva I_{DS} x V_{GS} do IPW60R045CP.

Como verificado na Figura 4.9, para um determinado valor de V_{GS} o ganho g_m se torna constante, o que caracteriza um comportamento linear. Segundo [69], o ganho decai com o aumento da temperatura devido à redução da mobilidade dos portadores. De forma similar a Equação 4.12 para $R_{DS(on)}$, a transcondutância em função da temperatura pode ser descrita através da Equação 4.13.

$$g_m(T_k) = g_m(25^oC)(\frac{T_k}{300})^{-2.3} \tag{4.13}$$

Com a Equação 4.13, verifica-se que o ganho diminui com a temperatura. Essa informação pode ser constatada a partir das curvas I_{DS} x V_{DS} nas folhas de dados [71], em que a inclinação da reta tangente à curva diminui com o aumento da temperatura. A forma de verificar a relação inversa entre a transcondutância g_m e $R_{DS(on)}$ é feita a partir da Equação 4.14 que apresenta a forma do cálculo da transcondutância. Na região ôhmica do MOSFET, para uma temperatura constante, $R_{DS(on)} = V_{DS}/I_{DS.}$ Substituindo essa relação na Equação 4.14, verifica-se que a transcondutância é inversamente proporcional a resistência entre dreno e *source*. Logo, se existe um aumento de $R_{DS(on)}$ com a temperatura, um comportamento inverso será verificado para g_m.

$$g_m = \frac{I_{DS}}{v_{GS}} = \frac{V_{DS}}{R_{DS(on)}v_{GS}} \tag{4.14}$$

4.1.3.3 Tensão de Limiar V_{th}

A tensão de limiar do MOSFET pode ser calculada diretamente pelos parâmetros construtivos do dispositivo, conforme [70], e possui variação praticamente linear com a temperatura. O coeficiente de temperatura da tensão de limiar apresenta valor negativo, o que caracteriza um decaimento da tensão com a temperatura.

O foco da metodologia proposta nesse trabalho é determinar os efeitos da temperatura no cálculo das perdas do MOSFET com base nos parâmetros disponíveis na folha de dados do semicondutor. Dessa forma, deve-se ater apenas às curvas e dados presentes nesse documento.

É possível relacionar a tensão de limar com a corrente I_{DS} e a tensão V_{GS} a partir da Equação 4.15, conforme [69].

$$I_{DS} = K \cdot (V_{GS} - V_{th})^2 \tag{4.15}$$

Em que $K = \mu_n \cdot C_{OX} \cdot (W/2L)$, e depende dos parâmetros construtivos do semicondutor, como a capacitância de óxido do *gate* (C_{OX}), a largura (W) e comprimento (L) do canal, e está diretamente relacionada com a mobilidade dos portadores majoritários (μ_n). Essas informações construtivas do dispositivo não são disponibilizadas pelos fabricantes, de forma que deve-se recorrer a uma outra metodologia para o cálculo analítico da tensão de limiar.

A partir de dois pontos sobre a curva I_{DS} x V_{DS} disponibilizada na folha de dados, tomados em um intervalo em que se localize o ponto de operação do dispositivo, e um arranjo da Equação 4.15 é possível levantar um valor médio para a tensão de limiar conforme Equação 4.16.

$$V_{th} = \frac{V_{GS1} \cdot \sqrt{I_{DS2}} - V_{GS2} \cdot \sqrt{I_{DS1}}}{\sqrt{I_{DS2}} - \sqrt{I_{DS1}}} \tag{4.16}$$

De posse da tensão de limiar, pode-se calcular o valor de *K* para um ponto da curva I_{DS} x V_{GS}. Com o valor da corrente de operação do semicondutor calcula-se a tensão $V_{Plateau}$ do dispositivo a partir da Equação 4.17.

$$V_{Plateau} = V_{th} + \sqrt{\frac{I_{LOAD}}{K}} \tag{4.17}$$

É comum os fabricantes disponibilizarem duas curvas I_{DS} x V_{DS} para duas temperaturas distintas. A partir dessas curvas, é possível calcular o coeficiente k_T, apresentado na Equação 4.18, que relaciona a variação da tensão de limiar com a temperatura.

$$\frac{\Delta V_{th}}{\Delta T_k} = k_T \tag{4.18}$$

4.1.3.4 Simulações das perdas com o efeito da temperatura

As considerações discutidas sobre o efeito da temperatura nas seções anteriores sobre os parâmetros do MOSFET foram implementadas nas equações apresentadas no tópico 4.1.2.2.

As modificações nas equações propostas em [61] contribuem para uma caracterização mais completa do MOSFET, e compreendem a uma das contribuições dessa dissertação de mestrado, uma vez que não foi verificada essa abordagem em outros trabalhos. Dessa forma, nas simulações seguintes as curvas serão nomeadas com o termo Método Proposto para sinalizar que foi utilizada a técnica proposta em [61] modificada para levar em conta os efeitos da temperatura. O mesmo conversor *buck*, utilizado na avaliação do modelo conforme resultados na Figura 4.6, foi considerado para avaliação das perdas frente à variação da temperatura.

A Figura 4.10 apresenta os resultados das perdas levantadas para as temperaturas de 25°C, 70°C e 150°C, para a rotina implementada e simulação realizada através do software Orcad que considera os parâmetros Spice do componente.

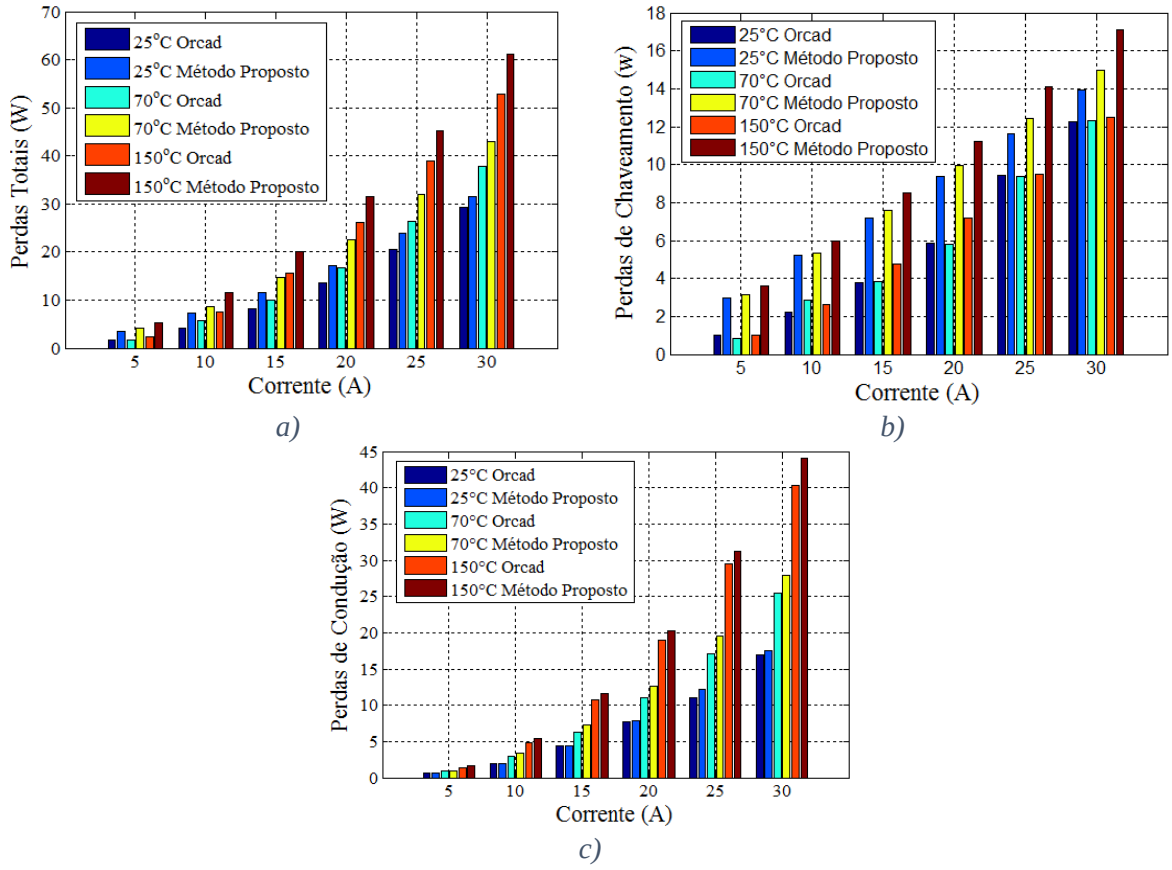


Figura 4.10 Perdas (a) Totais (b) Chaveamento e (c) Condução a 25°C, 75°C e 150°C.

É possível verificar que, através da Figura 4.10 (b), as perdas por chaveamento sofrem alterações significativas (para o Método Proposto), cerca de 25%, para uma variação de temperatura de 25°C até 150°C. As perdas por chaveamento calculadas a partir das curvas do Orcad praticamente não sofreram alteração, o que permite verificar que o software não implementa a influência da temperatura nas perdas por chaveamento. As curvas levantadas pelo

Orcad, para a mesma temperatura, em relação as curvas calculadas pelo Método Proposto chegaram a diferenças de 25% para 70º, e de até 35% para as curvas de 150º (corrente de 30A). Dessa maneira faz-se necessário também, uma validação experimental para verificar a influência direta da temperatura sobre as perdas de chaveamento.

Apesar do software Orcad considerar a influência da temperatura nas perdas de condução, como verificado na Figura 4.10 (c), nota-se também uma diferença entre os valores calculados em relação ao Método Proposto. Essa diferença chega a 10% para uma corrente de 30A e as curvas de 150º.

Para validação do Método Proposto, com as considerações do efeito de temperatura, é necessária a realização de uma validação experimental. Essa validação também deve considerar os resultos apresentados pelo software Orcad com o modelo Spice do componente, para que seja verificado qual metodologia apresenta melhor precisão para cálculo das perdas (condução e chaveamento) sob o efeito da temperatura.

4.2 Perdas nos Diodos de Potência

O diodo de potência apresenta uma dinâmica que atua diretamente na velocidade de comutação e guarda relação direta com as perdas por chaveamento. A Figura 4.11 apresenta a dinâmica da corrente e da tensão sobre o diodo, durante o seu ligamento e desligamento, que é afetada pelas propriedades intrínsecas do diodo.

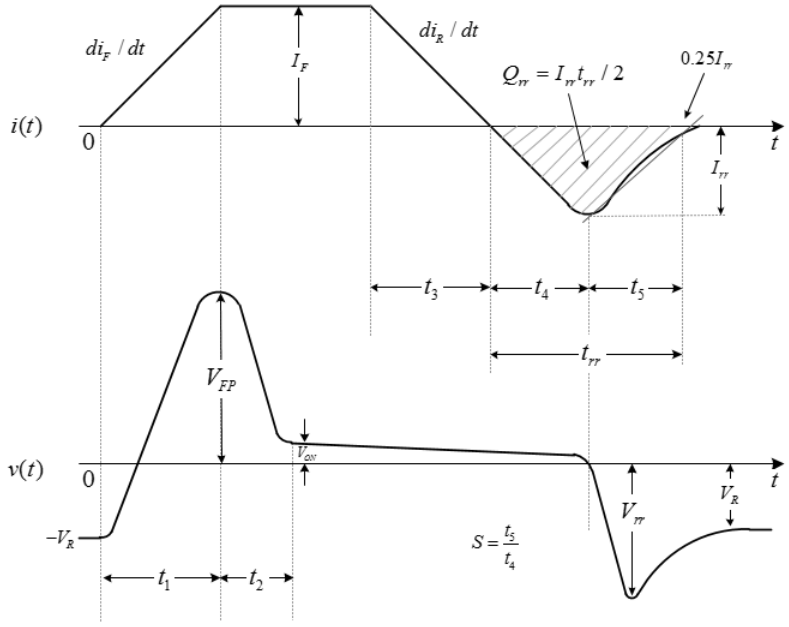


Figura 4.11 Dinâmica que representa a carga associada às perdas devido a recuperação reversa do diodo de potência.

Durante t_1 e t_2, observa-se a dinâmica durante o ligamento do diodo. Esta se relaciona diretamente com a taxa de injeção de corrente no dispositivo, abordada pelos fabricantes nas folhas de dados para determinar as características de chaveamento. Durante t_1, os portadores são injetados na região de depleção, o que diminui a barreira de potencial e esse excesso produz o aumento da corrente. Essa dinâmica de injeção de portadores na região de depleção em conjunto com a indutância parasita da pastilha de silício e a resistência equivalente do dispositivo causa uma sobretensão neste, que atua no carregamento de uma capacitância produzida nessa região quando polarizada reversamente. Quando há um equilíbrio térmico e a corrente no diodo não mais varia, começa a dinâmica determinada por t_2. Esta é representada pela descarga da capacitância parasita carregada durante t_1, até que se atinja o regime, em que a queda de tensão no diodo é dada por V_{on}.

O período compreendido entre t_3 e t_5 representa o processo de desligamento. Primeiramente, o excesso de portadores majoritários na junção é reduzido através dos processos de recombinação. Já os portadores minoritários requerem um tempo maior para se recombinar e serem neutralizados. Devido à esse fato, ocorre uma corrente no sentido contrário da polarização do diodo com valor máximo representado por I_{rr}. Durante esse período, compreendido por t_4 e t_5, ocorre o armazenamento de carga na junção, chamada de "carga de recuperação reversa" representada por Q_{rr}. Essa carga armazenada deve ser consumida durante t_{rr} para que o diodo esteja reversamente polarizado.

Conforme [72], I_{rr} e t_{rr}, descritas nas Equações (4.19) e (4.20) respectivamente, estão diretamente relacionadas com a corrente de condução do diodo, a variação da corrente durante o desligamento, uma constante δ, que contabiliza a temperatura e algumas características de fabricação do dispositivo.

$$I_{rr} \approx \delta\sqrt{I_F di_R / dt} \tag{4.19}$$

$$t_{rr} \approx \delta\sqrt{\frac{I_F}{di_R / dt}} \tag{4.20}$$

A Q_{rr} pode ser calculada a partir da área hachurada na Figura 4.11 e as Equações (4.19) e (4.20), através da Equação 4.21, de forma que este parâmetro é diretamente proporcional à corrente de condução do diodo. Assim, a partir de um ponto (Q_{rr},I_F) disponibilizado na folha de dados do dispositivo é possível determinar a constante δ e levantar a $Q_{rr}(I_F)$.

$$Q_{rr} \approx \frac{\delta^2}{2} I_F \tag{4.21}$$

Conforme [72], as perdas por chaveamento do diodo estão praticamente relacionadas com a carga armazenada na junção, o que ocorre apenas no processo de desligamento do diodo. Assim, as perdas por chaveamento do diodo podem ser consideradas conforme Equação 4.22, como em [58].

$$E_{rr} = \int_0^{tri+tfu} u_D(t) \cdot i_F(t) dt \approx \frac{Q_{rr} \cdot U_{Drr}}{4} \tag{4.22}$$

A partir das Equações (4.20) e (4.22), é possível levantar a curva E_{rr} x I_F com os dados disponibilizados na folha de dados do dispositivo e contabilizar as perdas por chaveamento do diodo. Essa relação se torna importante para levantamento das perdas do diodo antiparalelo presente no MOSFET, uma vez que a curva não é disponibilizada nas folhas de dados.

Apresentados os métodos para caracterização das perdas por condução e chaveamento dos MOSFETs, IGBTs e diodos, é feito então o estudo para levantamento das perdas do conversor BGIC em estudo.

4.3 Eficiência do conversor BGIC

Para calcular a eficiência do conversor BGIC proposto nesse trabalho, serão consideradas as perdas desenvolvidas nos semicondutores e indutores (perdas magnéticas e de condução nos enrolamentos). O estudo para o levantamento da eficiência do conversor se estende ao cálculo das perdas de conversores propostos em outros trabalhos, descritos ao longo da seção. Esse estudo se estende também à verificação da viabilidade de se utilizar MOSFETs no primeiro estágio do conversor e à análise do impacto na eficiência do conversor com esta configuração.

4.3.1 Perdas nos semicondutores do primeiro estágio

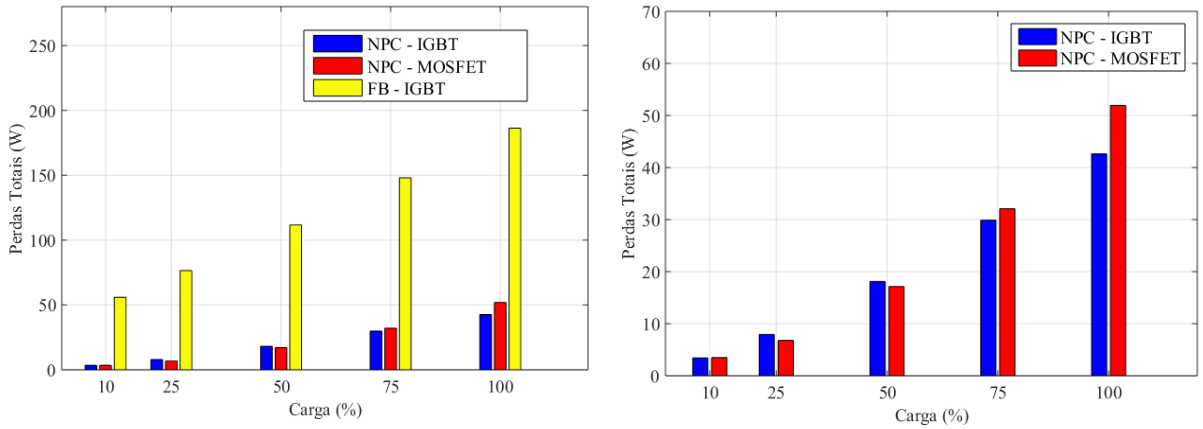
O primeiro estágio do conversor proposto é composto por um NPC meia ponte e para o cálculo das perdas será considerado o uso dos semicondutores listados na Tabela 4.4. A tensão no barramento intermediário na presente aplicação é de 600V e cada chave na topologia NPC está sujeita à metade da tensão do barramento. Assim será avaliado também a viabilidade da

utilização de MOSFET em confronto à tradicional utilização de IGBT, tendo em vista a baixa potência do conversor (2kW). Na avaliação das perdas para o primeiro estágio também é considerado um conversor *Full Bridge* proposto por [41] com o intuito de se verificar qual é a topologia mais eficiente.

Tabela 4.4 Semicondutores utilizados para cada conversor.

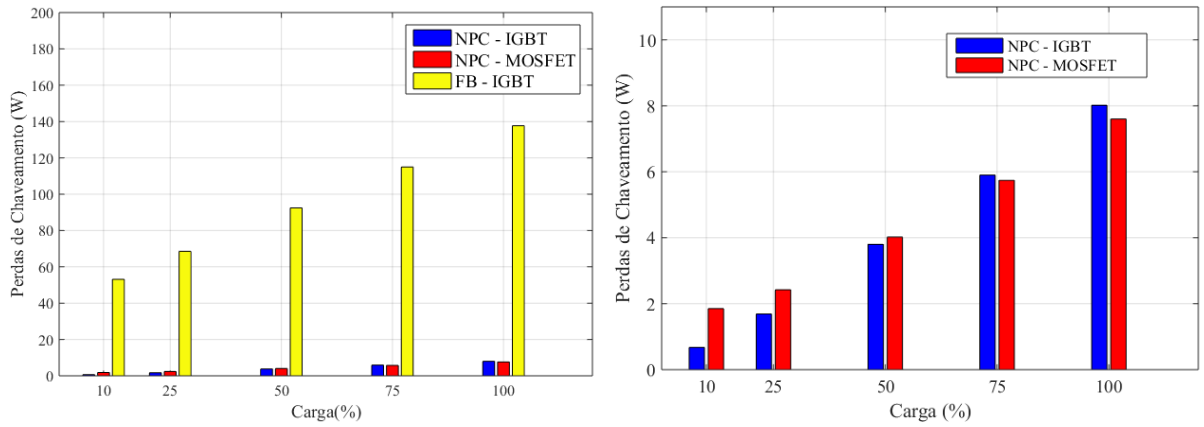
	IGBT	**MOSFET**	**Diodo**
Full Bridge	IRG7PH46UDPbF (1200V/ 57A a 150ºC)	-	-
NPC IGBT	IKW50N65H5 (650V/ 50A a 175ºC)	-	IDW30E65D1 (650V/ 30A a 175ºC)
NPC$_{MOSFET}$	-	IPW60R045CP (650V/ 38A a 100ºC)	IDW30E65D1 (650V/ 30A a 175ºC)

Para se avaliar o pior caso, ou sejaa menor eficiência do conversor, nas simulações realizadas foi considerada uma temperatura de junção de 150°C. As Figuras 4.12, 4.13 e 4.14 apresentam as perdas desenvolvidas pelo primeiro estágio, conforme a Tabela 4.4, para uma tensão de barramento intermediário de 600V, frequência de chaveamento de 20kHz e injeção de 2kW numa rede monofásica de 127V$_{rms}$.



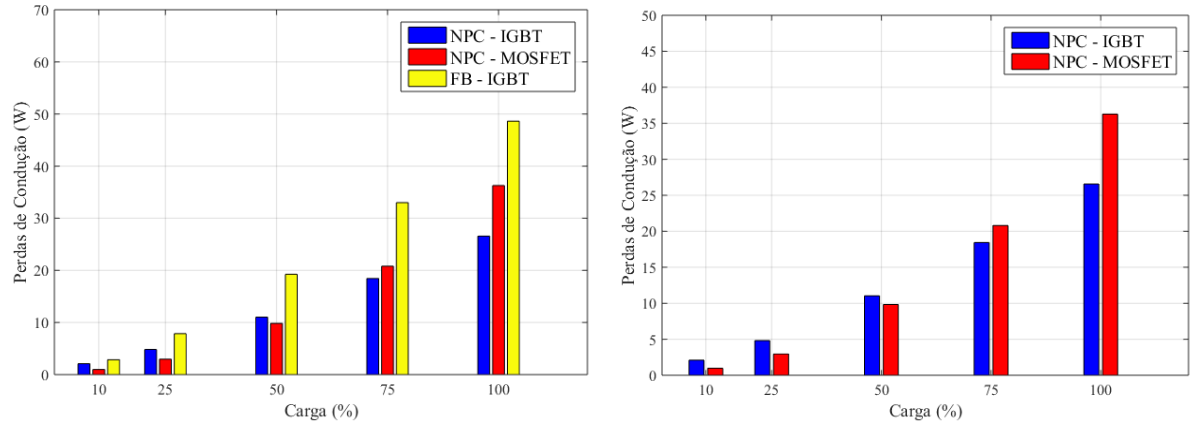
(a) *(b)*

Figura 4.12 Perdas totais para os conversores (a) Full Bridge e NPC e (b) NPC com IGBT e MOSFET.



a) *b)*

Figura 4.13 Perdas por chaveamento para os conversores a) Full Bridge e NPC e b) NPC com IGBT e MOSFET.



a) *b)*

Figura 4.14 Perdas por condução para os conversores a) Full Bridge e NPC e b) NPC com IGBT e MOSFET.

As perdas por chaveamento apresentadas para o conversor NPC, com IGBT e MOSFET, apresentaram valores praticamente iguais e próximos de 8W para carga nominal, conforme Figura 4.13. Por outro lado, para essa mesma condição, as perdas por condução do conversor com MOSFET foram praticamente 10W, valor superior se comparado ao conversor com IGBT, como pode ser visto na Figura 4.14.

Fica evidente que o conversor *Full Bridge* apresenta perdas muito superiores às do NPC, principalmente as relacionadas ao chaveamento, que compreende valores próximos a 5 vezes os valores calculados para o NPC com IGBT, enquanto as perdas por condução apresentam valores até duas vezes superiores. Dessa forma, verifica-se que o conversor NPC apresenta maior eficiência, 99% com IGBT e 97% com o MOSFET, frente aos 90% da topologia *Full Bridge*.

4.3.2 Perdas nos semicondutores do segundo estágio

Como verificado nas perdas do primeiro estágio, o conversor NPC com o IGBT, mostrado na Tabela 4.4, apresentou menores perdas. Dessa forma, apenas o IGBT será considerado para verificação das perdas para o SNPC no segundo estágio.

Também para o segundo estágio, será considerada a topologia *Full Bridge*, conforme a Figura 4.15, com uma tensão do barramento intermediário de 600 V_{dc}, frequência de chaveamento de 20kHz e injeção de 2kW no barramento principal da nanorrede com uma tensão de 380V. Os IGBTs utilizados para as duas topologias foram o SK25GH12T4 de 1200V para o conversor FB e o SK30GBB066T de 600V para a topologia SNPC.

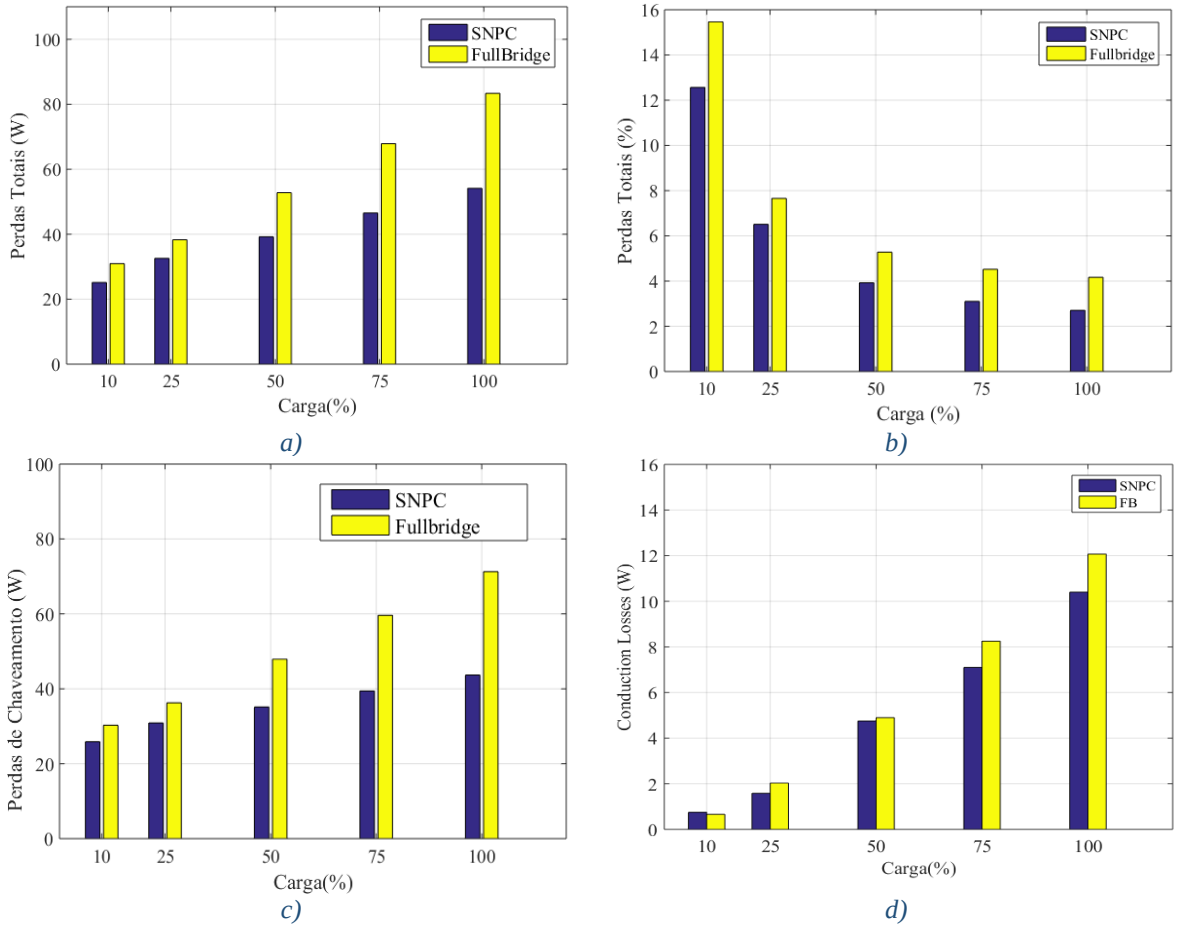


Figura 4.15 (a) Perdas totais, (b) Perdas percentuais, (c) Perdas por condução e (d) Perdas por chaveamento para o segundo estágio em função da carga da nanorrede.

Para a carga nominal da nanorrede, as perdas totais no segundo estágio configurado na topologia FB são de 83W em relação a 53W com a topologia SNPC, como mostrado na Figura 4.15(a). Para essa mesma condição de carga, 86% das perdas na topologia FB são referentes à

parcela de chaveamento, enquanto na topologia SNPC essa parcela representa 80%. Esse resultado foi obtido ao se comparar a Figura 4.15(a) com a 4.15(d).

A distribuição de perdas é similar para ambas as topologias, sendo observadas maiores perdas na topologia FB. Outro comportamento que pode ser observado é que, para baixa carga, a diferença das perdas entre as topologias diminui, mas o conversor SNPC ainda apresenta menores perdas para todos os cenários.

4.4 Perdas nos Indutores do conversor BGIC

A potência dissipada nos indutores presentes nos filtros do primeiro e segundo estágio está diretamente relacionada a duas parcelas: perdas por condução e perdas magnéticas do núcleo. A primeira delas é devida à resistência equivalente dos enrolamentos, que varia com a frequência e com a proximidade dos condutores. A segunda parcela é as perdas magnéticas do núcleo, devido à histerese, às correntes de Foucault e aos efeitos residuais. Em geral, a potência dissipada nos condutores dos enrolamentos devido às correntes distorcidas pode ser estimada através da soma algébrica das perdas associadas aos *n* harmônicos que compõem a forma de onda da corrente conforme [35] e representada pela Equação 4.23.

$$P_{copper} = R_{dc} i_{dc}^2 + \frac{1}{2} \sum_{n=1}^{\infty} R_{ac}[n] i_{ac-pk}^2[n], \tag{4.23}$$

onde R_{dc} e R_{ac} consistem nas resistências que dependem respectivamente da parcela c.c. e da dependente da frequência. A componente i_{dc} corresponde ao valor médio da corrente que passa nos enrolamentos e i_{ac} é o valor rms da componente alternada. O cálculo de R_{dc} se faz a partir das características físicas de resistividade dos enrolamentos, enquanto R_{ac} é calculado a partir dos efeitos pelicular e de proximidade. Para fins de simplificação, a resistência dos indutores foi aproximada a R_{dc}, parcela supostamente dominante.

Para o projeto dos indutores, apresentado na Tabela 4.5, foram considerados os trabalhos [56] e [73]. Foram considerados os núcleos de pó de ferro da família *High flux* do fabricante Magnetics. A Tabela 4.5 apresenta os parâmetros de projeto dos indutores L_{cca1}, L_{cca2} e L_{cc} respeitando os critérios descritos por [73]. Para L_{cc}, foi considerado um indutor de 3,7mH, valor que confere um *ripple* de 20% da corrente para um segundo estágio com uma topologia *Full Bridge*. Esse mesmo indutor foi considerado para o segundo estágio com SNPC.

Tabela 4.5 Parâmetros construtivos dos indutores dos filtros do primeiro e segundo estágio.

f_{sw} = 20kHz; V_{ca} = 127Vrms; V_{cc}= 600V; V_B= 380V e P=2kW			
	Primeiro estágio		Segundo estágio
	L_{ca1}	L_{ca2}	L_{cc}
Indutância (H)	600	200	3700
Número de Unidades em série (unidade)	1	1	1
Número de espiras (unidade)	74	33	183
Número de Fios por espira (unidade)	14	14	3
Bitola do fio (AWG)	19	19	19
Modelo do núcleo (Magnetics)	58099	58617	58110
Permeabilidade Relativa	60	60	60
Resistência DC do enrolamento(ohms)	0,014	0,005	0,081
Fator de preenchimento (%)	26,7	31	35,70%
Volume total (cm^3)	7000	2000	3700

As perdas magnéticas no núcleo do indutor são normalmente calculadas a partir da Equação de Steinmetz [74], representada pela Equação 4.24.

$$P_m = k f^{\alpha} B_{pk}^{\beta} V \tag{4.24}$$

Onde k, α e β representam constantes que dependem do material, e são fornecidas pelos fabricantes, B_{pk} representa o valor de pico da densidade de fluxo e V o volume do núcleo. Entretanto, essa equação é limitada à excitação senoidal e não considera as perdas em indutores de conversores com modulação PWM.

Para contornar as limitações da Equação 4.24, discutidas em [74], algumas formulações foram propostas para cálculo de perdas em indutores sujeitas à correntes distorcidas. A formulação adotada nesse trabalho, proposta por [75] e implementada computacionalmente conforme [76], considera as perdas P_m em função da variação do fluxo. Essa formulação é conhecida como iGSE (*improved Generalized Steinmetz Equation*) e é representada pela Equação 4.25 e pela Equação 4.26.

$$P_m = \frac{1}{T}\int_0^T k_i \left|\frac{dB}{dt}\right|^{\alpha} (\Delta B)^{\beta-\alpha}\, dt \tag{4.25}$$

$$k_i = \frac{k}{(2\pi)^{\alpha-1}\int_0^{2\pi} |\cos\theta|^{\alpha}\, 2^{\beta-\alpha}\, d\theta} \tag{4.26}$$

sendo ΔB a excursão pico a pico da densidade de fluxo com o período T, calculado a partir do inverso da frequência fundamental da corrente no indutor. As constantes k, α e β são as mesmas da equação de Steinmetz e o ângulo θ compreende o ângulo instantâneo de $B(\theta)$. Essa equação é capaz de estimar de forma mais precisa as perdas nos indutores em relação à Equação 4.24 e depende de informações presentes nas folhas de dados de fabricantes. A forma de onda $B(\theta)$ pode ser obtida a partir de simulações em software de circuitos.

4.4.1 Perdas nos indutores do primeiro estágio

Para calcular as perdas nos indutores L_{cca1} e L_{cca2} do primeiro estágio é necessário conhecer a forma de onda da tensão nos seus terminais. Para efeito de simplificação, serão considerados os mesmos indutores para as topologias NPC e FB iguais a 600µH para L_{cca1} e 200µH para L_{cca2}. Sendo assim, obtém-se o pior caso para o conversor FB, pois caso fosse considerado o mesmo *ripple* de corrente, os valores para essa topologia seriam maiores e as perdas seriam menores. A Figura 4.16 apresenta as perdas somadas nos indutores do primeiro estágio, para as duas topologias consideradas, em função da carga da nanorrede.

Conforme a Figura 4.16(a), para carga nominal da nanorrede, as maiores perdas se dão para a topologia FB com 6,7W, enquanto que com o conversor NPC as perdas atingiram aproximadamente 5,24W. Por outro lado, a partir da Figura 4.16(b), verifica-se que as perdas nos indutores do primeiro estágio atingem valores muito baixos se comparadas à potência nominal do sistema. Os valores máximos desenvolvidos foram 1,88% para 10% da carga da nanorrede e 0,34% para 100% da carga, ambos para o conversor FB, sendo que quase a totalidade das perdas se dão no núcleo, como visto na Figura 4.16(c). Assim, entende-se que os valores apresentados para perdas nos indutores nas duas topologias do primeiro estágio são muito próximos e pouco expressivos frente à potência do sistema.

Por fim, a Figura 4.16(d) apresenta a variação de temperatura nos núcleos dos filtros que representa um critério de dimensionamento dos indutores [73]. A temperatura máxima de operação considerada é de 100°C, sendo 45°C a temperatura ambiente. O aumento máximo observado de 11.45°C no indutor L_{cca1} para a topologia FB é muito próximo aos 9.31°C na topologia NPC para carga nominal da nanorrede. Assim, garante-se que os indutores do primeiro estágio não atingirão o limite de operação.

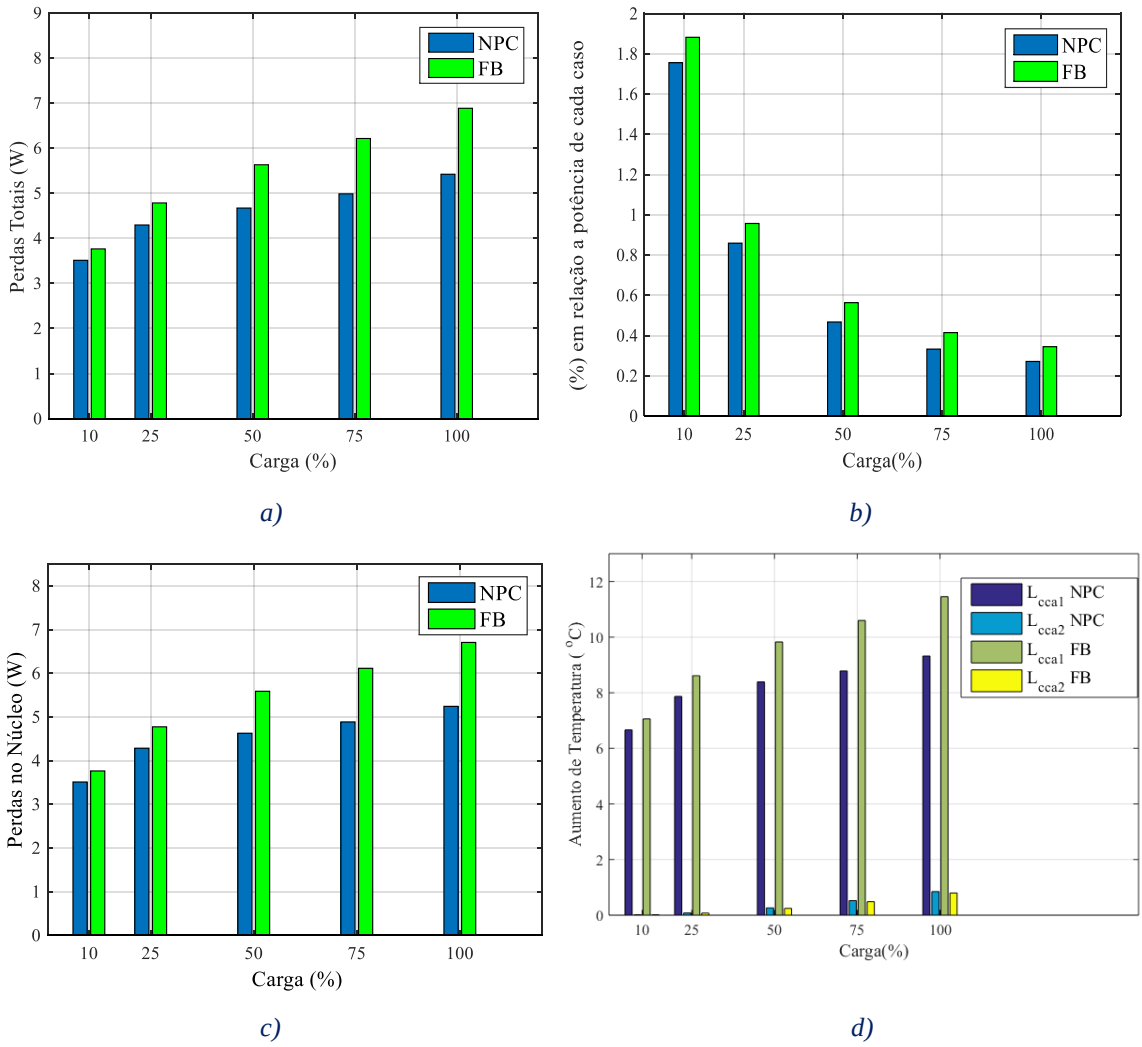


Figura 4.16 Perdas nos indutores do primeiro estágio – (a) Perdas totais (b) Perdas relativas (%) (c) perdas nos núcleos e (d) aumento de temperatura.

4.4.2 Perdas nos indutores do segundo estágio

As perdas no segundo estágio, apresentadas na Tabela 4.6, representam os valores desenvolvidos para o indutor L_{CC} de 3,7mH dimensionado para o conversor FB, que configura o pior caso. Os valores das perdas e aumento de temperatura para o conversor SNPC foram muito próximos dos apresentados na Tabela 4.6, com diferença inferior a 3%. Para carga nominal, as perdas percentuais atingem 0,47% da potência nominal do conversor e conferem um aumento máximo de 35,4°C ao núcleo.

Tabela 4.6 Perdas para o indutor do segundo estágio em função da carga da nanorrede.

Load (%)	Total		Cobre	Núcleo	Temperatura
	(W)	(%)	(W)	(W)	(°C) L_{cc}
10	6,96	3,48	0,02	6,94	27,5
25	7,11	1,42	0,14	6,97	28
50	7,59	0,75	0,5	7,03	29,6
75	8,35	0,55	1,26	7,09	32,1
100	9,40	0,47	2,24	7,15	35,4

4.5 Eficiência global do conversor BGIC

A partir dos dados descritos nos tópicos anteriores sobre os semicondutores e indutores, é possível contabilizar as perdas globais do conversor BGIC para as diferentes topologias e componentes considerados. Os resultados alcançados são mostrados na Tabela 4.7.

Tabela 4.7 Eficiência global do conversor BGIC para as diferentes topologias nos dois estágios.

Eficiência (%)			
Segundo estágio	**Primeiro Estágio**		
	NPC$_{IGBT}$	***NPC$_{MOSFET}$***	***Full Bridge***
Full Bridge	93,10	92,65	86,20
SNPC	94,96	94,51	87,57

O uso do conversor NPC no primeiro estágio apresenta um considerável ganho na eficiência do conversor BGIC, independente da topologia empregada no segundo estágio. A configuração que apresentou melhor eficiência foi o NPC com IGBT no primeiro estágio e a topologia SNPC no segundo estágio, atingindo aproximadamente 95%. Por outro lado, o conversor BGIC com ambos os estágios utilizando a topologia FB representa o pior cenário, com eficiência igual a 86,2%.

A eficiência global alcançada com o primeiro estágio em NPC, para MOSFET e IGBT, apresentou valores equivalentes. Esse fato sugere que os componentes considerados para as mesmas condições de corrente e tensão têm pouca influência sobre a eficiência dos conversores. Para um aumento significativo na eficiência dos conversores, deve-se considerar a utilização de dispositivos de diferentes tecnologias, como Carbeto de Silicio (SiC) e Nitreto de Galio (GaN), que apresentam perdas por chaveamento muito menores [77].

4.6 Conclusões do capítulo

A primeira parte desse capítulo apresentou duas metodologias para levantamento das curvas de E_{on} e E_{off} de MOSFETs de silício, obtidas a partir de informações presentes na folha de dados dos componentes. Estas curvas auxiliam no cálculo das perdas por chaveamento desses componentes, uma vez que estas normalmente não são apresentadas pelos fabricantes.

Conforme resultados apresentados no decorrer do capítulo, a metodologia apresentada pela Infineon superestima em até 20 vezes os valores das perdas por chaveamento de MOSFETs, se comparado às perdas calculadas a partir das formas de onda levantadas por simulação através do modelo SPICE do componente, o que requer uma certificação experimental.

Por outro lado, a segunda metodologia, desenvolvida em [61], apresentou valores relativamente próximos aos contabilizados pela simulação do modelo SPICE. Para complementar essa segunda metodologia, foi investigado o efeito da temperatura sobre os parâmetros utilizados para o cálculo das curvas de E_{on} e E_{off}. Entretanto, a verificação dos resultados não pode ser realizada de forma precisa, pois, o software Orcad considera o efeito da temperatura apenas na resistência entre o dreno e a fonte do MOSFET. A variação das perdas por chaveamento com a temperatura chegou a cerca de 25%, para uma variação de temperatura de 25°C até 150°C e uma corrente de 30A. Para a validação do método e do efeito da temperatura sobre as perdas por chaveamento é necessária a realização de experimentos práticos. O método da oposição modificado proposto em [78] atingiu bons resultados no levantamento das energias relacionadas ao chaveamento de componentes, especificamente para componentes SiC, e poderia ser utilizado.

A segunda parte desse capítulo apresentou um estudo sobre eficiência de diferentes topologias de conversores para implementação do conversor bidirecional em conexão da nanorrede de 2kW em estudo e a rede elétrica. Para cálculo das perdas foi utilizada a ferramenta *Thermal Module* do software PSIM. Esta se baseia nas curvas características dos dispositivos disponíveis nas folhas de dados e representa uma forma rápida e simples para estimar as perdas em semicondutores.

As perdas nos indutores do conversor BGIC foram contabilizadas numericamente conforme o método proposto em [74], que leva em conta parâmetros físicos do núcleo e a forma de onda da tensão entre os terminais dos indutores.

O estudo mostrou que as perdas nos indutores são pouco significativas, se comparadas à potência de saída do conversor BGIC, cerca de 0,27% e 0,47% para o primeiro e segundo estágio, respectivamente. O cenário que atingiu maior eficiência foi o primeiro estágio com a topologia NPC e o segundo estágio com a topologia SNPC (aproximadamente 95%). Também se observa que com os semicondutores escolhidos para o estudo não foi possível verificar uma diferença considerável nas perdas para a utilização de MOSFET ou IGBT na topologia NPC.

Capítulo 5

Arquitetura da Nanorede c.c. e Estudos de Caso

Com o intuito de avaliar o desempenho e a interação do conversor BGIC estudado nessa dissertação com uma nanorrede, são realizadas nesse capítulo simulações do conversor inserido numa nanorrede cuja topologia é apresentada na Figura 5.1. A tensão do barramento da nanorrede é adotada como 380V em um esquema unipolar (a dois fios), afim de eliminar o monitoramento do equilíbrio de tensão entre os barramentos e balanceamento da corrente de carga. Ao barramento principal são conectados a carga de alta potência, o conversor da geração distribuída, o conversor do sistema de armazenamento e o conversor BGIC.

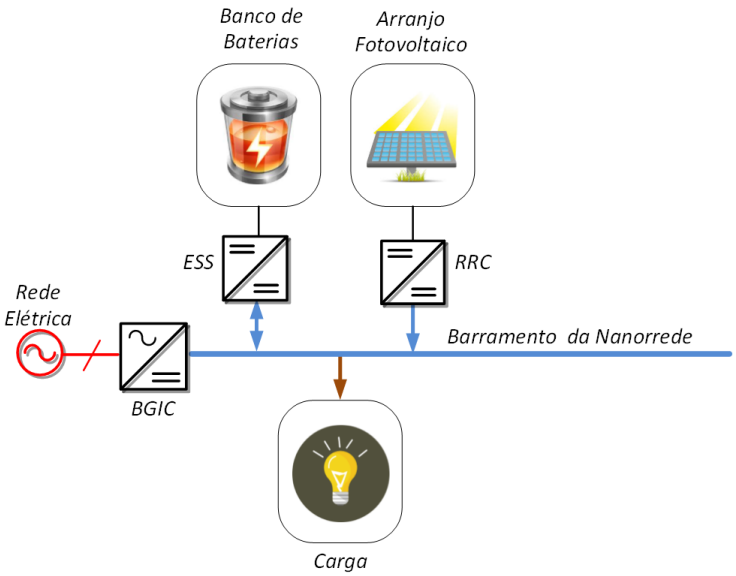


Figura 5.1 Topologia de nanorrede composta pelo conversor BGIC, pela carga da nanorrede, por um sistema de armazenamento e um arranjo fotovoltaico.

Onde:

1) A interface entre a rede elétrica (127 V_{rms}) e o barramento principal da nanorrede (380 V) é feito pelo conversor c.c.-c.a. BGIC de 2,4kW;

2) O sistema de armazenamento de energia é composto por um banco de baterias constituído por 14 módulos de 40Ah/12V, conectados em série, com capacidade de 6,5kWh. A

interface entre o sistema de armazenamento e a nanorrede é realizada através do conversor bidirecional c.c.-c.c. do tipo boost (ESS) dimensionado para 2kW;

3) O sistema de energia renovável considera um arranjo fotovoltaico formado por oito módulos KD185 da fabricante Kyocera conectados em série com características apresentadas na Tabela 5.1. A interface entre o arranjo fotovoltaico e a nanorrede é feita através de um conversor unidirecional c.c.-c.c. do tipo boost (RRC) de 1,5kW.

Tabela 5.1 Características do arranjo fotovoltaico.

Potência máxima (P_{max})	1480 W
Tensão de máxima potência (V_{mp})	188,8 V
Corrente em máxima potência (I_{mp})	7,84 A
Tensão de circuito aberto (V_{op})	236 V
Corrente de curto circuito (I_{SC})	8,58 A

Foram consideradas as estruturas de controle e topologias dos conversores RRC e ESS apresentados em [41]. Como o escopo da dissertação é limitado ao estudo do conversor BGIC, as estruturas dos outros conversores não são discutidas nesse trabalho.

5.1 Controle da nanorrede

O sistema de controle da nanorrede apresentado pelo diagrama da Figura 3.53 se baseia na sinalização do barramento (*DC bus signaling* - DBS). Essa técnica consiste em determinar uma janela de valores em que a tensão do barramento principal da nanorrede pode variar. Essa janela é divida em setores, nos quais cada conversor está em um modo de operação. Cada conversor possui pelo menos dois modos de operação, um modo como fonte de potência ou corrente e outro como modo tensão. É feito o uso do controle em *droop* para permitir o paralelismo dos conversores que operam no mesmo modo.

Essa técnica considera que o barramento principal da nanorrede possui um comportamento médio capacitivo. Assim, um desequilíbrio entre a potência consumida e injetada no barramento principal provoca uma variação de sua tensão média. Um excedente de potência tende a elevar a tensão do barramento, enquanto um déficit leva à sua redução. Para

este trabalho foram considerados quatro setores, listados abaixo, que compõem uma janela de tensão de ±20V centralizada a 380V.

Setor I. 400 V - 390 V.

Excedente de geração. O conversor RRC atua no modo tensão e regula a tensão do barramento principal V_B. O conversor ESS opera em modo carga e as baterias são carregadas na máxima corrente permitida. O conversor BGIC se encontra no modo corrente e exporta a máxima potência permitida para a rede elétrica;

Setor II. 390 V - 380 V.

Excedente de geração. O conversor RRC passa a atuar como fonte de potência constante e injeta máxima potência do arranjo fotovoltaico no barramento da nanorrede. Este modo de operação é denominado Modo MPPT (*Maximum Power Point Tracking*). O conversor ESS atua em modo carga e carrega as baterias na máxima corrente permitida, enquanto o conversor BGIC opera em modo tensão e regula V_B, além de exportar o excedente de potência para a rede elétrica;

Setor III. 380 V - 370 V.

Déficit de geração. O conversor RRC opera em modo MPPT. O conversor BGIC opera em modo tensão, no entanto, importa energia da rede elétrica para a nanorrede. O conversor ESS passa a operar em modo tensão ainda como carga, no entanto, a corrente de carga das baterias é reduzida de acordo com a demanda da nanorrede;

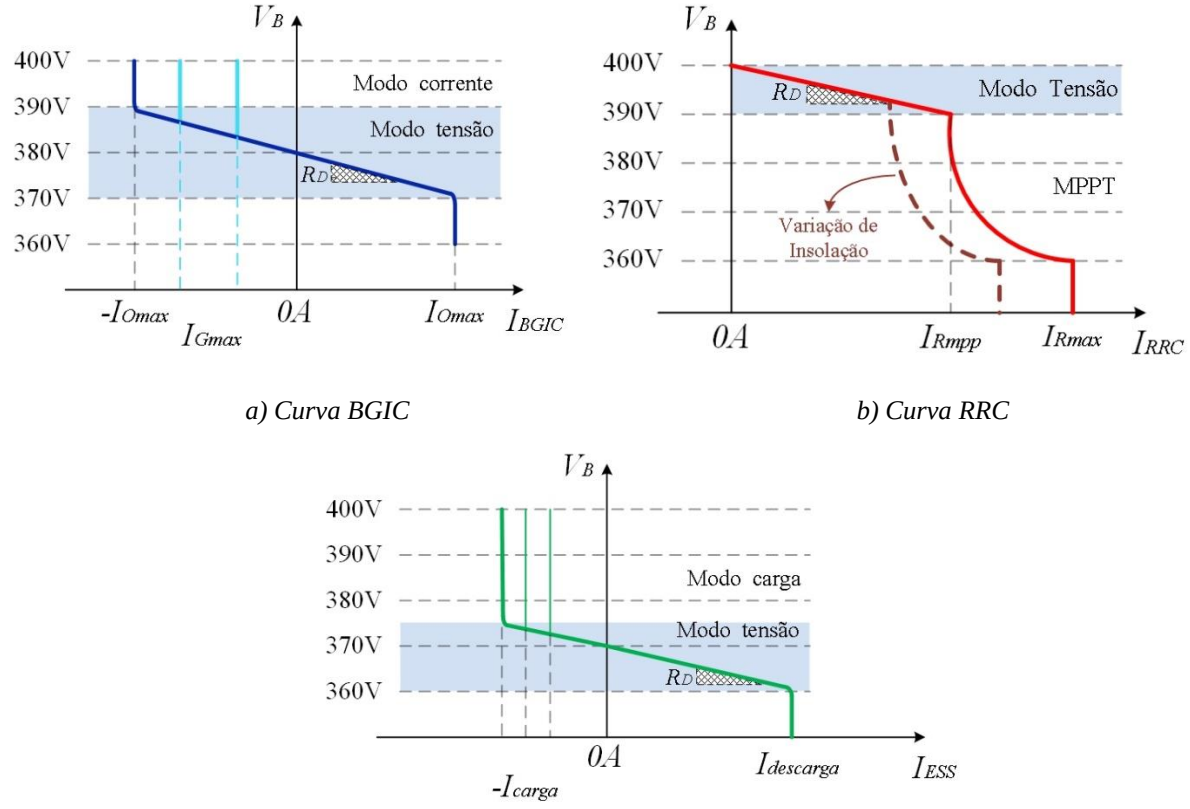
Setor IV. 370 V - 360 V.

Déficit de geração. O conversor RRC atua em modo MPPT, o conversor BGIC entra em modo corrente e importa a máxima potência da rede elétrica e o conversor ESS, em modo tensão, passa a regular o barramento principal.

A estratégia considerada correspondente à divisão dos setores visa a privilegiar a injeção de máxima potência do sistema de geração local e utiliza a energia do sistema de armazenamento apenas quando a carga da nanorrede exceder a capacidade de importação da rede elétrica. A título de exemplo, caso a nanorrede apresente uma carga leve, o sistema tenderá a operar nos setores I ou II e o excesso de geração carregará o banco de baterias e exportará o excedente para a rede elétrica. Por outro lado, uma carga mais elevada pode gerar um déficit de

geração, fazendo com que seja necessária a importação da energia da rede e/ou do sistema de armazenamento e o sistema irá operar nos setores III ou IV.

A partir dos setores de operação descritos, pode-se estabelecer as curvas estáticas de operação dos conversores BGIC, RRC e ESS mostradas na Figura 5.2, onde são apresentados os modos de operação de cada conversor em função da janela de tensão.



a) Curva BGIC

b) Curva RRC

c) Curva ESS

Figura 5.2 Curvas estaticas DBS dos conversores conectados a nanorrede.

Na curva DBS do conversor BGIC, I_{Omax} representa o limite de saturação de corrente imposta ao conversor e é dimensionado a partir da sua capacidade de potência, sendo 6A nesse trabalho. O conversor opera no modo tensão enquanto a potência manipulada é menor que os limites de saturação e, no modo corrente quando os valores estão fora dos limites descritos na curva Figura 5.2 – a). A rede elétrica pode não absorver toda a potência do conversor, valor que corresponde ao limite de $-I_{Omax}$, assim, o sistema deve ser capaz de reduzir esse limite para um valor I_{Gmax} caso a concessionária solicite. Entretanto, esse controle não será abordado no trabalho uma vez que o objeto de estudo é o conversor e não o controle da nanorrede.

O conversor RRC é utilizado em modo tensão caso a potência produzida seja maior que a demandada pela carga da nanorrede, pelo conversor ESS, para carregamento do banco de

baterias e da capacidade de exportação de energia da nanorrede. Nessa situação o conversor não opera no ponto de máxima potência e caso ocorra uma maior demanda de potência do conversor RRC, sua tensão diminui ao passo que a corrente fornecida se eleve até o seu limite I_{Rmpp}. Caso a potência demandada seja superior à que o arranjo é capaz de suprir, o RRC passa a operar no ponto de máxima potência e passa para o modo MPPT. Esse ponto é diretamente influenciado pela radiação incidente no arranjo fotovoltaico, o que reflete em diferentes curvas DBS nesse modo de operação, sendo que a corrente máxima fornecida pelo conversor é limitada a I_{Rmax}.

O conversor ESS pode operar como uma carga de corrente constante ou de potência constante, conforme implementação. A curva DBS para esse conversor apresenta os limites de corrente, $I_{Descarga}$ e I_{Carga}, de descarga do banco de baterias, que é utilizado como critério de projeto do conversor, e a máxima corrente de carga respectivamente, ambas refletidas para a saída do conversor ESS.

A região de atuação em modo tensão dos três conversores conectados no barramento principal da nanorrede depende da resistência de *droop*, R_D e dos limites de potência de cada conversor, em que R_D pode ser calculado conforme a Equação 5.1.

$$R_D = \frac{\Delta V(V_{nom} - \Delta V)}{P_{max}} \tag{5.1}$$

Sendo ΔV a faixa de tensão correspondente ao setor do modo tensão, equivalente a 10V, V_{nom} é a tensão a vazio do conversor e P_{max} a potência máxima de saída do conversor. A Tabela 5.2 apresenta os valores das resistências de *droop* para os três conversores e os parâmetros utilizados para o cálculo a partir de (5.1).

Tabela 5.2 Parâmetros para cálculo de Rdroop.

Parâmetro	**BGIC**	**ESS**	**RRC**
V_{nom} (V)	380	370	400
P_{max}(W)	2400	2000	1500
ΔV(V)	10	10	10
R_{droop}	1.54	1.8	2.6

Dimensionadas as resistências de *droop* para o controle da nanorrede, que gerencia a regulação da tensão do barramento principal a partir da demanda de potência dos converores e suas respectivas limitações, o próximo passo é avaliar o comportamento do conversor BGIC, objeto de estudo desse trabalho, frente a diferentes cenários, como variação de carga, anomalias no ponto de conexão com a rede a.c. e variação da radiação incidente sobre o sistema fotovoltaico, que conferem diferentes dinâmicas no barramento principal da nanorrede e são avaliados na seção.

5.2 Estudos de Casos

Nesta seção serão apresentadas simulações da nanorrede descrita no início desse capítulo referente à configuração, apresentrada na Figura 5.1, frente à distúrbios no ponto de conexão com a rede elétrica, variação de carga da nanorrede e variação da radiação luminosa incidente ao arranjo fotovoltaico. Para cada situação será avaliado o desempenho da nanorrede, com um enfoque maior sobre o conversor BGIC, objeto de estudo desse trabalho.

Para os instantes anteriores às perturbações, serão consideradas as condições de funcionamento listadas abaixo, exceto para a reconexão com a rede, que será apresentada na respectiva seção.

a) A carga nominal (resistiva) da nanorrede é de 2kW para V_B = 380 V;
b) Radiação incidente no arranjo fotovoltaico é de 800W/m^2 à temperatura de 25ºC;
c) O conversor RRC opera no modo MPPT, e entrega aproximadamente 1150W para a nanorrede com uma corrente aproximada de 3A;
d) O conversor BGIC opera no modo tensão, injeta uma potência aproximada de 1628W na nanorrede com uma corrente de 4,35A e 18,57A_p são drenados da rede elétrica. A tensão média do barramento é 374 V, enquanto a tensão no barramento intermediário é de 600 V;
e) O conversor ESS opera no modo carga e absorve 832W a 2,22A para carregamento do banco de baterias.
f) O banco de baterias está descarregado com uma tensão de 151V entre seus terminais e uma corrente de carga máxima igual a 3,56A.

5.2.1 Salto de Frequência

A Figura 5.3 apresenta a dinâmica da nanorrede para um salto de frequência de 60 Hz para 58.8 Hz em t=0,3s.

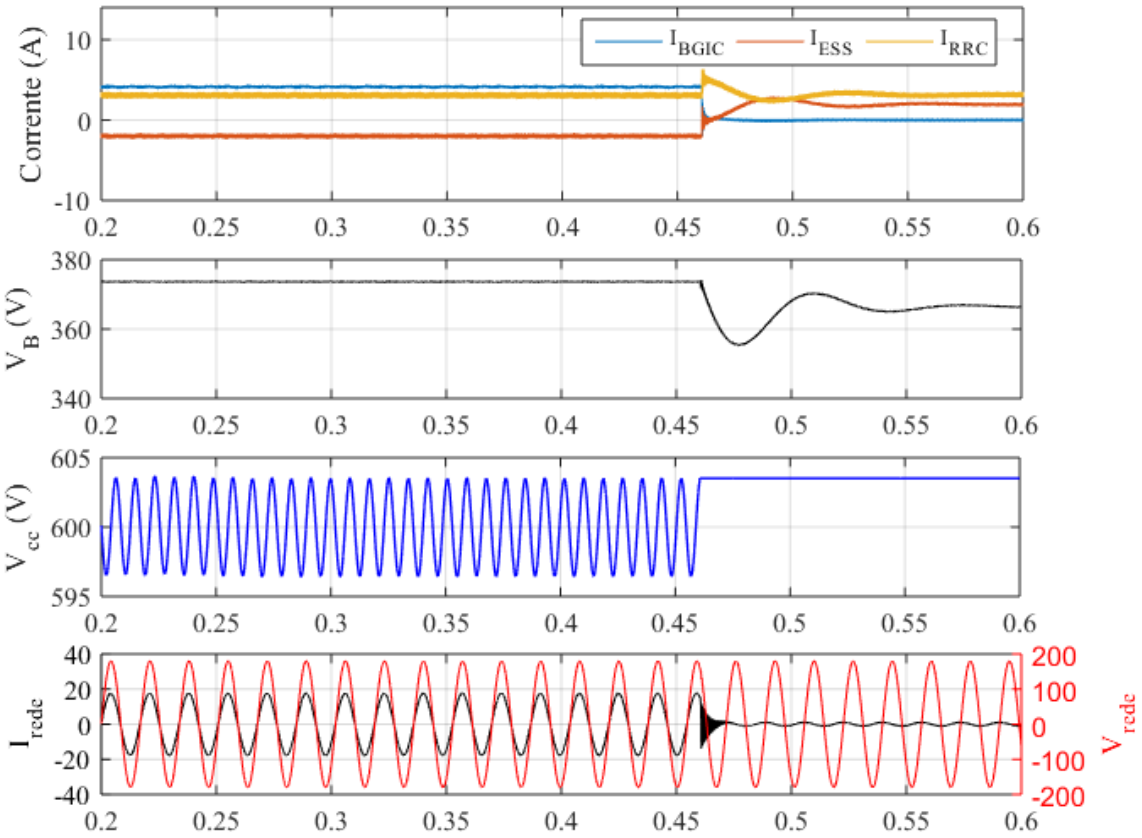


Figura 5.3 Salto de frequência de 60 Hz para 58.8 Hz em t=0,3 s.

Como apresentado na Seção 3.2.5, o sistema de proteção atrelado primário do conversor BGIC foi configurado para desconexão da nanorrede com a rede elétrica após 160ms da detecção da variação de frequência para 58,8Hz. Após a desconexão com a rede elétrica em t=0,460s, o conversor BGIC é desligado, o conversor RRC continua a operar no modo MPPT e fornecer 1150W, enquanto a tensão V_B é regulada em 366V pelo conversor ESS no modo tensão, que passa a fornecer 714W para a nanorrede. Durante o transitório devido ao desligamento do conversor BGIC, a tensão V_B atinge seu vale em 354V e atinge o regime após 130ms.

5.2.2 Afundamento de Tensão

A) Afundamento de Tensão para 0,8pu

A Figura 5.4 apresenta a dinâmica da nanorrede para um afundamento de tensão da rede elétrica para 80% do seu valor nominal em t=0,3s.

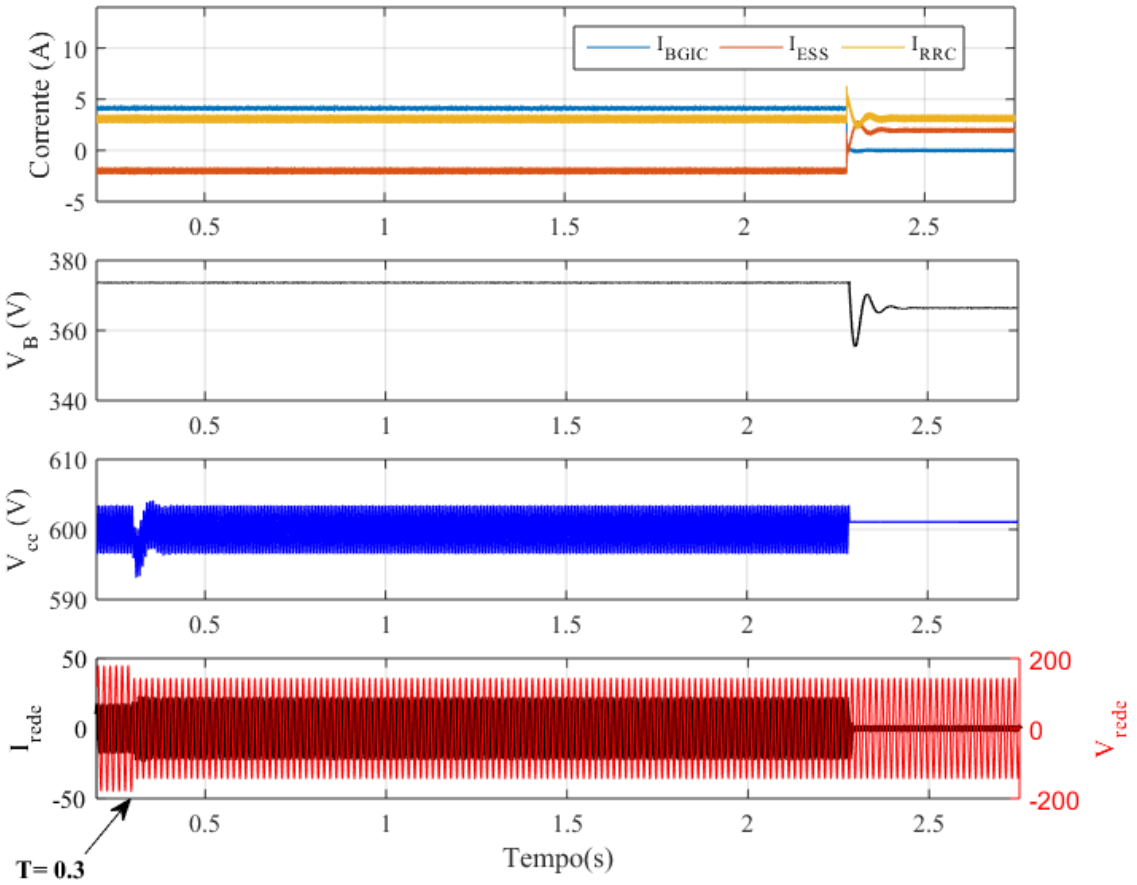


Figura 5.4 Afundamento de tensão para 0,8pu em t=0,3s.

Após o afundamento para 80% da tensão nominal da rede elétrica, os conversores ESS e RRC não sofrem nenhuma alteração e não há nenhuma perturbação no barramento principal. Toda a perturbação é absorvida pelo barramento intermediário durante 100ms com um afundamento de 4V em seu valor médio, que corresponde a 0,6% do seu valor nominal. A corrente no primário do conversor BGIC aumenta para 23,21A_P e mantém a mesma potência absorvida antes do distúrbio. Esse cenário se mantém até que o sistema de proteção desconecta a nanorrede da rede elétrica em t=2,3s. Após esssa desconexão, a nanorrede apresenta as mesmas condições apresentadas para o salto de frequência apresentado na Seção 5.2.1.

B) Afundamento de Tensão para 0,5pu

A Figura 5.5 apresenta a dinâmica da nanorrede para um afundamento de tensão da rede elétrica de 0,5pu em t=0,3s. A partir do afundamento de tensão, a corrente absorvida da rede elétrica é limitada em 26,7A_p através da saturação imposta na malha de controle apresentada no diagrama geral de controle na Seção 3.2.3. Para entregar a potência necessária à nanorrede, o secundário do conversor BGIC passa a retirar energia do barramento intermediário e V_{cc} passa a diminuir.

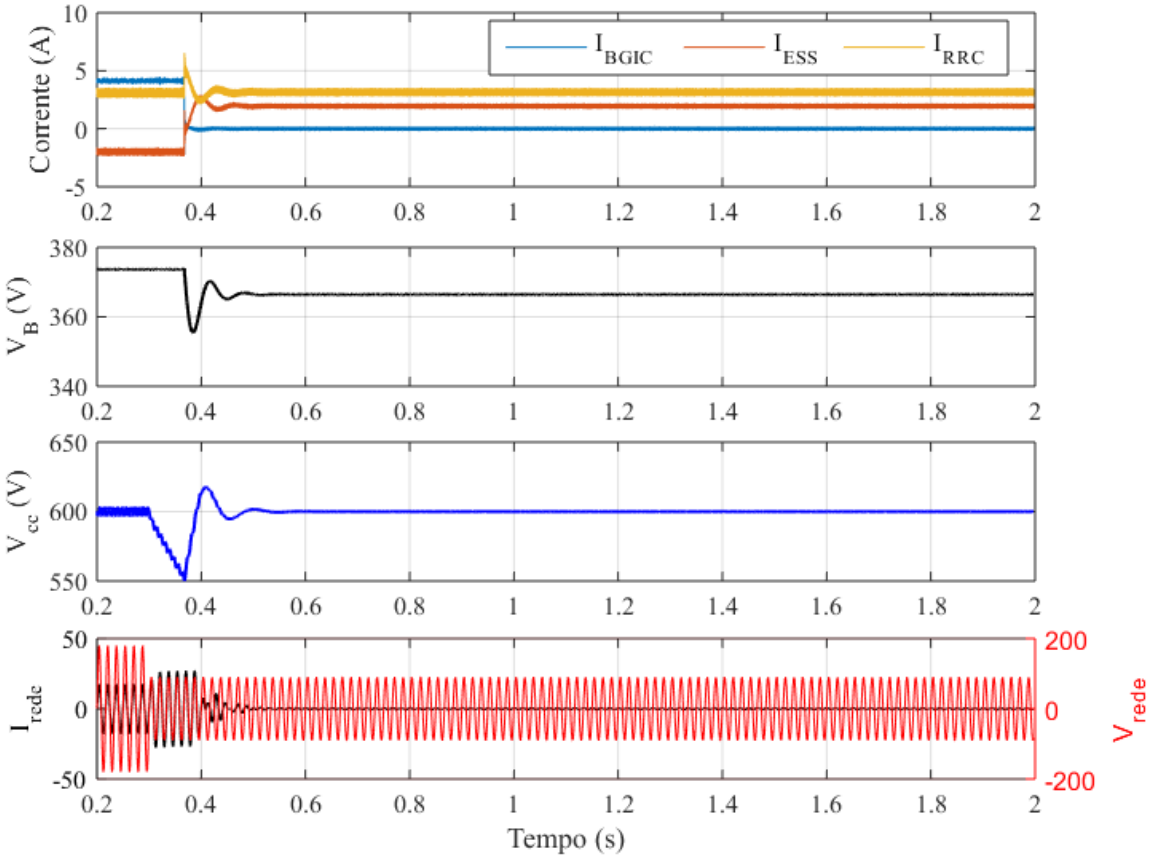


Figura 5.5 Afundamento de tensão de 50% em t=0,3s.

A tensão V_{cc} atinge 550V em t=0,367s e o sistema de proteção do barramento intermediário é ativado. Com isso o secundário do conversor BGIC é desligado, o conversor ESS passa a operar no modo tensão que regula V_B em 366V e passa a fornecer 714W à nanorrede, enquanto o conversor RRC continua a operar no modo MPPT. Durante o desligamento do secundário do conversor BGIC, o transitório permanece por aproximadamente 140ms e a tensão V_B atinge 355V, enquanto V_{cc} chega a 617V. Considerando que a tensão não volta a patamares normais de operação, em t= 0,46s o conversor será totalmente desligado da rede elétrica devido à proteção de subtensão.

5.2.3 Reconexão com a rede elétrica

Conforme discutido na Seção 3.2.5, o conversor BGIC pode reconectar a nanorrede à rede elétrica apenas após garantir que os níveis de tensão e corrente estão dentro dos limites por pelo menos 5 minutos. A título de verificação da dinâmica da nanorrede frente à reconexão com a rede elétrica, foi considerado um intervalo de apenas 140ms entre a detecção de tensão em t=0,3s, no ponto de conexão com a rede elétrica, e a conexão realizada pelo conversor BGIC, conforme apresentado na Figura 5.6.

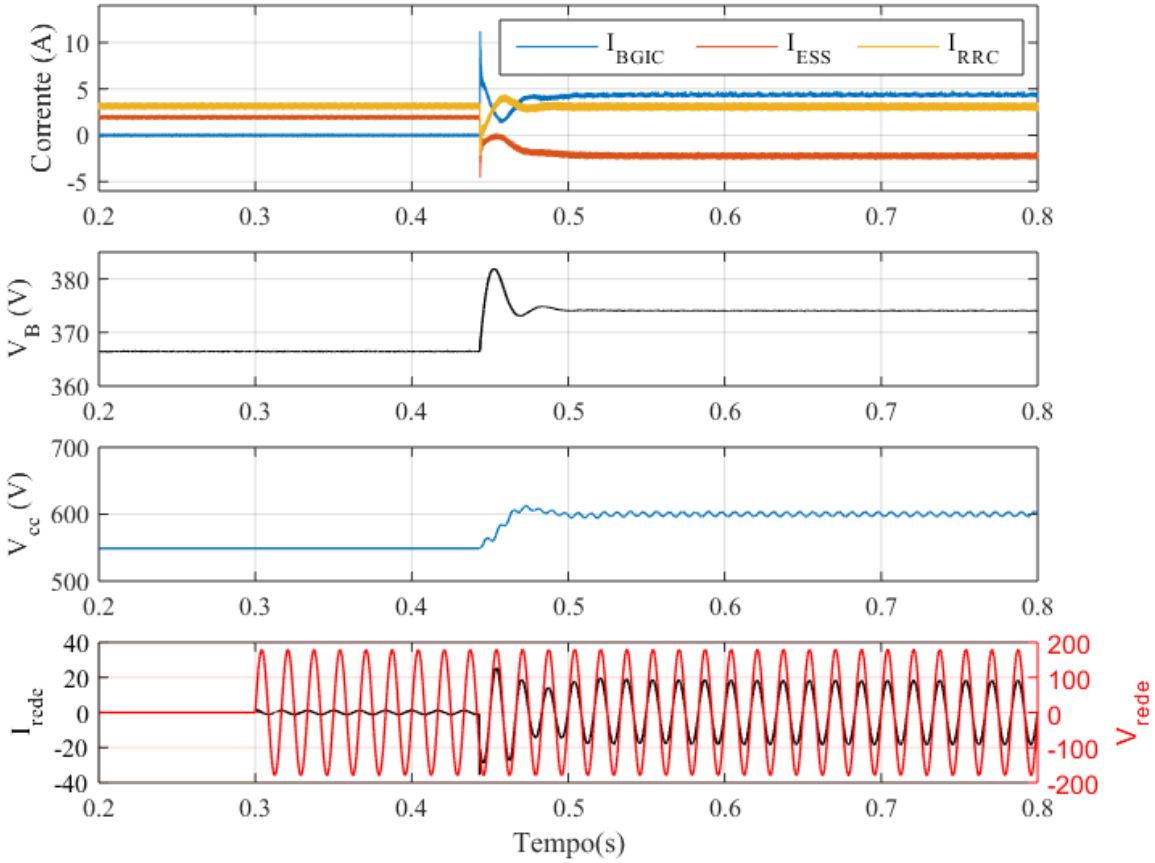


Figura 5.6 Conexão da nanorede com a rede elétrica em t=0,3s.

Até t=0.3s, o conversor RRC injeta 1150W no modo MPPT, enquanto o conversor ESS, no modo tensão, regula o valor de V_B em 366V e injeta 710W no barramento principal, e a tensão no barramento intermediário é mantida em 550V.

A partir de t=0,3s, a corrente drenada da rede alimenta o filtro LCL e nesse momento a PLL passa a localizar o fasor tensão. Em t=0,44s, o conversor BGIC entra em funcionamento no modo tensão, a tensão do barramento intermediário atinge 600V em aproximadamente 100ms enquanto V_B passa para 374V. O conversor ESS passa para o modo carga e absorve

potência do barramento principal da nanorrede e o conversor RRC continua no modo MPPT. Os valores de potência, tensão e corrente em regime permanente após a reconexão são os mesmos descritos nas condições de funcionamento do conversor no início da Seção 5.2.

5.2.4 Variação de carga

A) Variação de carga : 100% para 20%

A Figura 5.7 apresenta a dinâmica da nanorrede para uma variação de carga de 100% para 20% em t=0.3s.

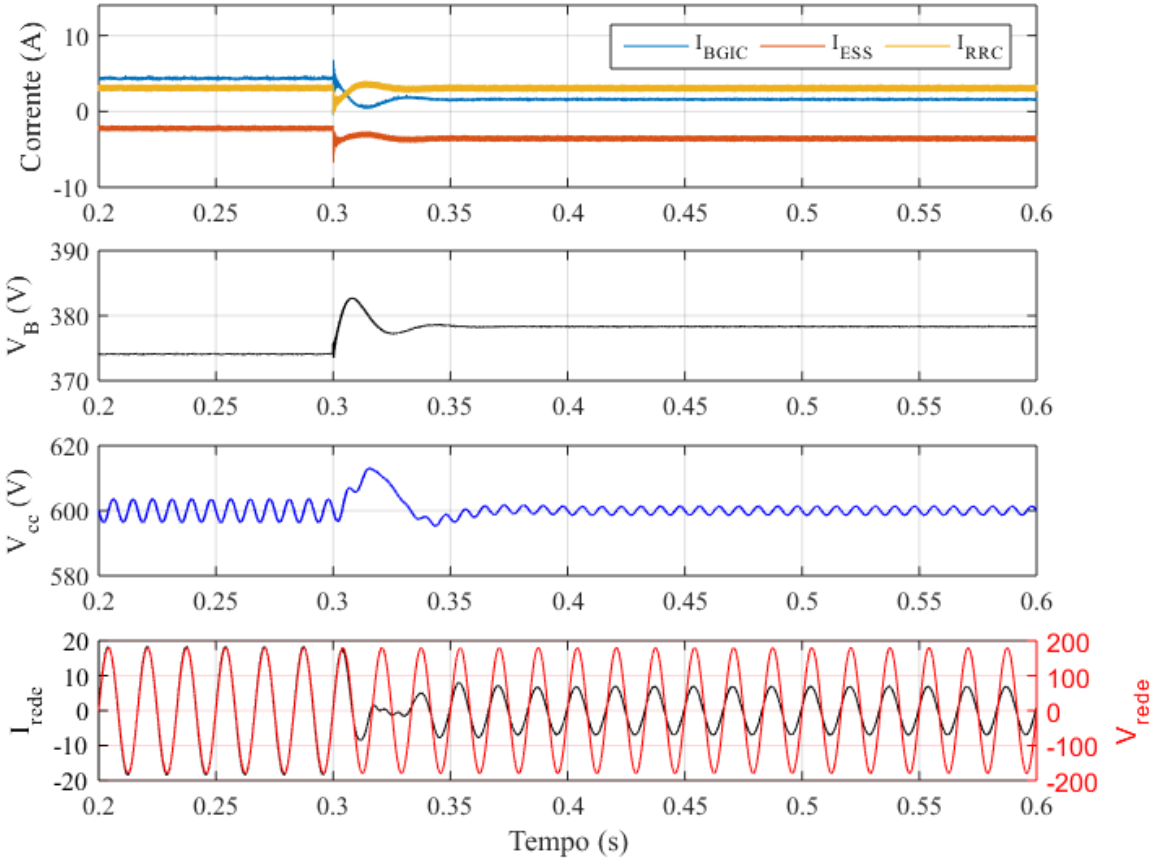


Figura 5.7 Variação de carga de 100% para 20% t=0.3s.

Com diminuição da carga, o conversor BGIC continua a operar em modo tensão, mas passa a injetar apenas 600 W no barramento principal da nanorrede a uma corrente de 6,9A_p da rede elétrica. O conversor RRC continua no modo MPPT e entrega 1150W e o conversor ESS continua no modo carga e passa a absorver 521W a mais que antes do distúrbio. As tensões V_{cc} e V_B durante o distúrbio atingem 613V e 382V respectivamente, essas alcançam o regime permanente com 60ms e V_B passa a 378V.

B) Variação de carga: 100% para 50%

A Figura 5.8 apresenta a dinâmica da nanorrede para uma variação de carga de 100% para 50% em t=0.3s.

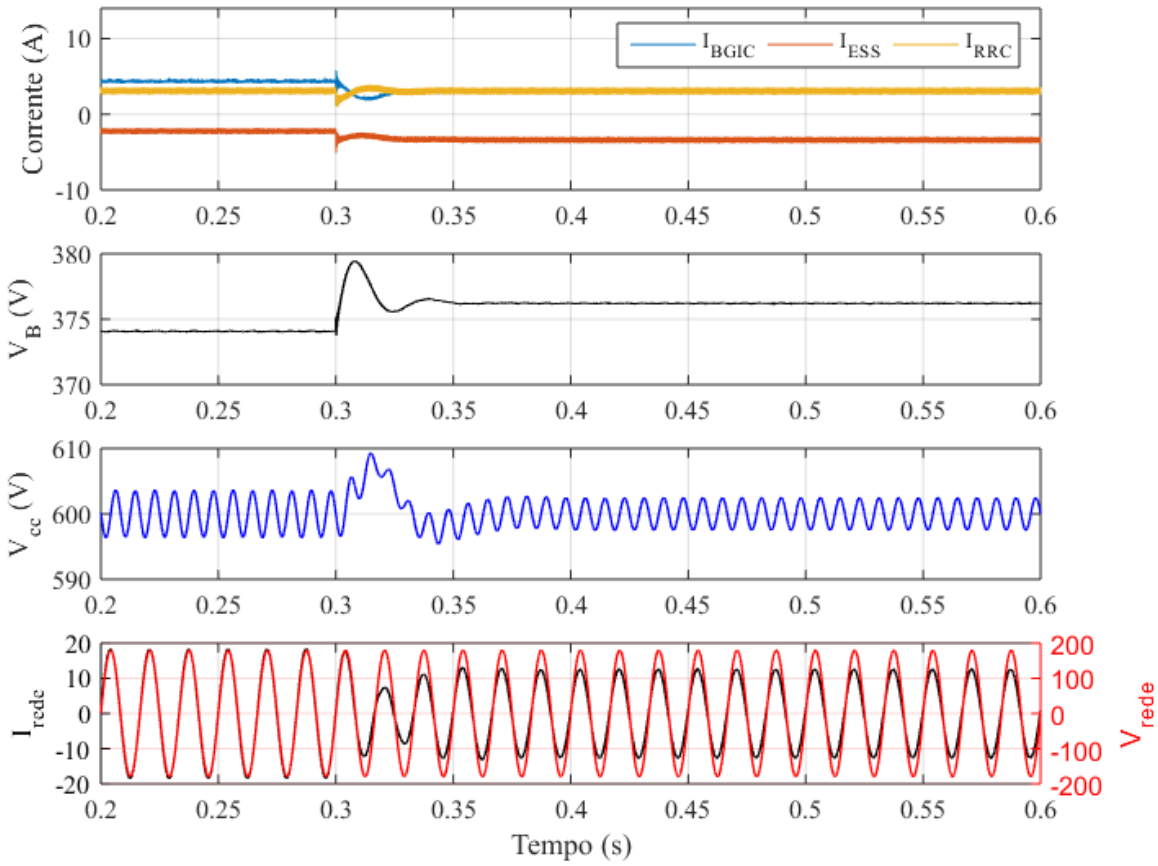


Figura 5.8 Variação de carga de 100% para 50% t=0.3s.

Após a variação de carga, o conversor BGIC continua a operar em modo tensão e passa a injetar 1112 W no barramento principal da nanorrede a uma corrente de 12,5A_p da rede elétrica. O conversor RRC continua no modo MPPT e entrega os mesmos 1150W, enquanto o ESS, no modo carga, passa a absorver 1278W. As tensões V_{cc} e V_B durante o distúrbio atingem 609V e 379V, respectivamente. Essas atingem o regime permanente com 50ms e V_B passa a 376V.

C) Variação de carga: 100% para 120%

A Figura 5.9 apresenta a dinâmica da nanorrede para uma variação de carga de 100% para 120% em t=0.3s. Com o aumento da carga, o conversor BGIC continua a operar em modo tensão, mas passa a injetar 1826 W no barramento principal da nanorrede enquanto a corrente absorvida da rede elétrica passa para 20,4A_p. O conversor RRC continua no modo MPPT e entrega 1150W, e o conversor ESS muda para o modo tensão e passa a absorver 660W, 175W a menos que antes do distúrbio. A tensão V_B atinge seu menor valor em 372V, e atinge o seu valor em regime permanente de 373V em 40ms.

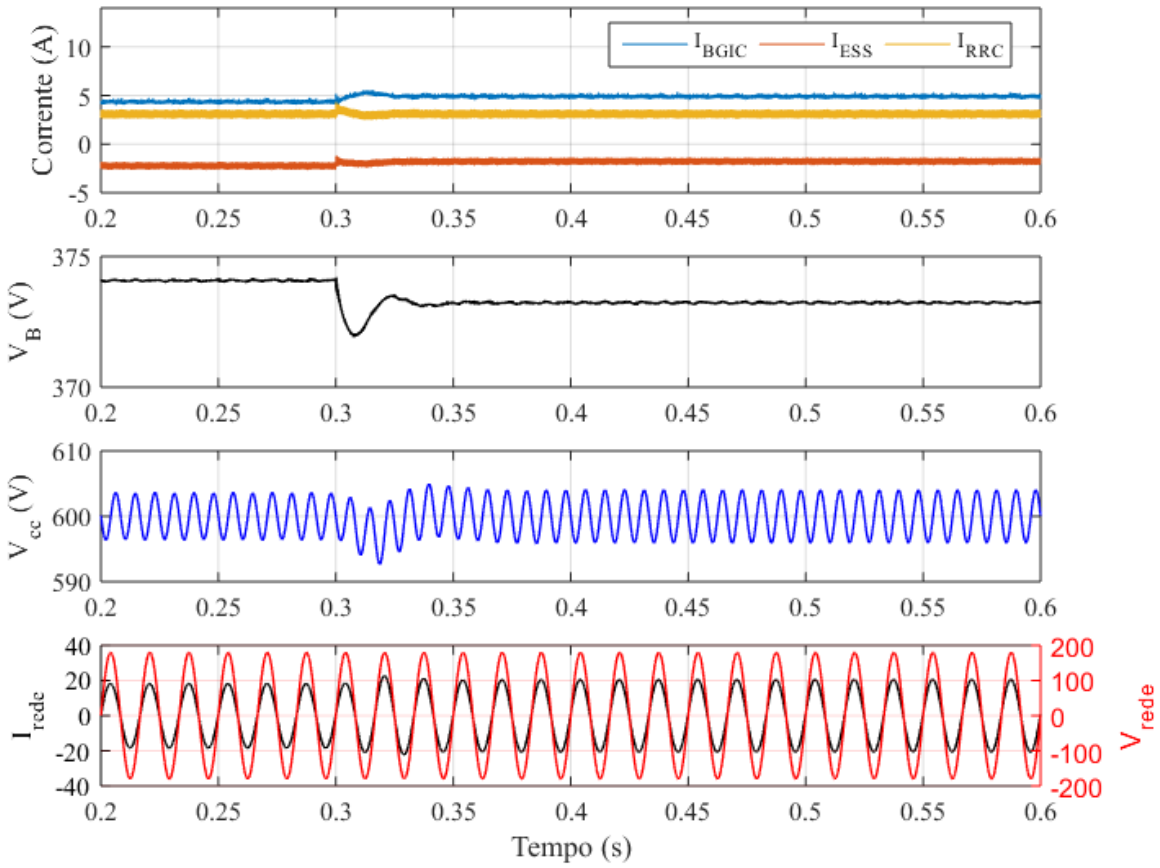


Figura 5.9 Variação de carga de 100% para 120% t=0.3s.

D) Variação de carga: 100% para 150%

A Figura 5.10 apresenta a dinâmica da nanorrede para uma variação de carga de 100% para 150% em t=0.3s. Com o aumento da carga, o conversor BGIC passa a injetar 2125W no barramento principal da nanorrede a uma corrente de 24,1A_p da rede elétrica, ainda no modo tensão. O conversor RRC por sua vez continua no modo MPPT com as mesmas características de antes do distúrbio. O conversor ESS, agora no modo tensão, passa a absorver 400W, enquanto a tensão V_B decai para 372V e atinge seu valor de regime em 54ms.

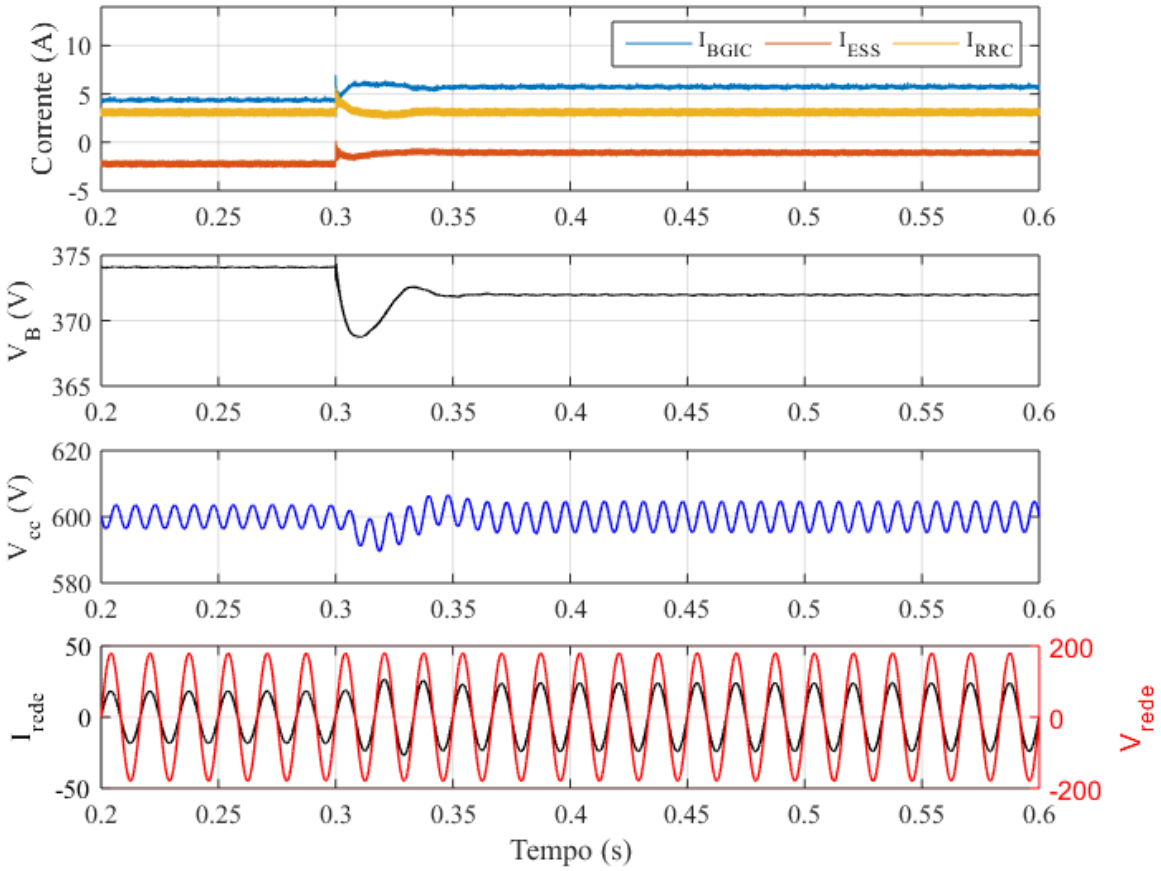


Figura 5.10 Variação de carga de 100% para 150% t=0.3s.

5.2.5 Variação de geração

A Figura 5.11 apresenta a dinâmica da nanorrede para uma variação da geração do sistema fotovoltaico causada pela alteração da radiação incidente de 800 W/m^2 para 1000 W/m^2 em t=0.4s e de 1000 W/m^2 para 400 W/m^2 em t=0.6s.

Em t=0,4s, a radiação incidente no sistema fotovoltaico passa para 1000 W/m^2, assim o conversor RRC passa a injetar 1438W no barramento principal da nanorrede e continua a operar

no modo MPPT. O conversor BGIC opera no modo tensão e diminui a potência injetada para 1475W e a corrente absorvida da rede elétrica passa para 16,55 A_p. O conversor ESS mantém o modo carga e aumenta a absorção de potência para 963,1W para carregamento do banco de baterias. Após o transitório de 35ms, a tensão V_B sofre um aumento de 0,8V e o barramento principal passa a operar em 374,8V.

O decaimento da radiação incidente de 1000 W/m^2 para 400 W/m^2 ocorre em t=0.6s e nessa nova condição a potência injetada pelo conversor RRC passa para 567W. O conversor BGIC opera no modo tensão e passa a injetar 1933W no barramento principal da nanorrede a partir da absorção de 21,98A$_p$ da rede elétrica. Nessa nova situação, a tensão V_B passa para 372V, enquanto durante o transitório de 120ms essa tensão decai até 366V. Já o conversor ESS, passa a operar no modo tensão e absorver 566W.

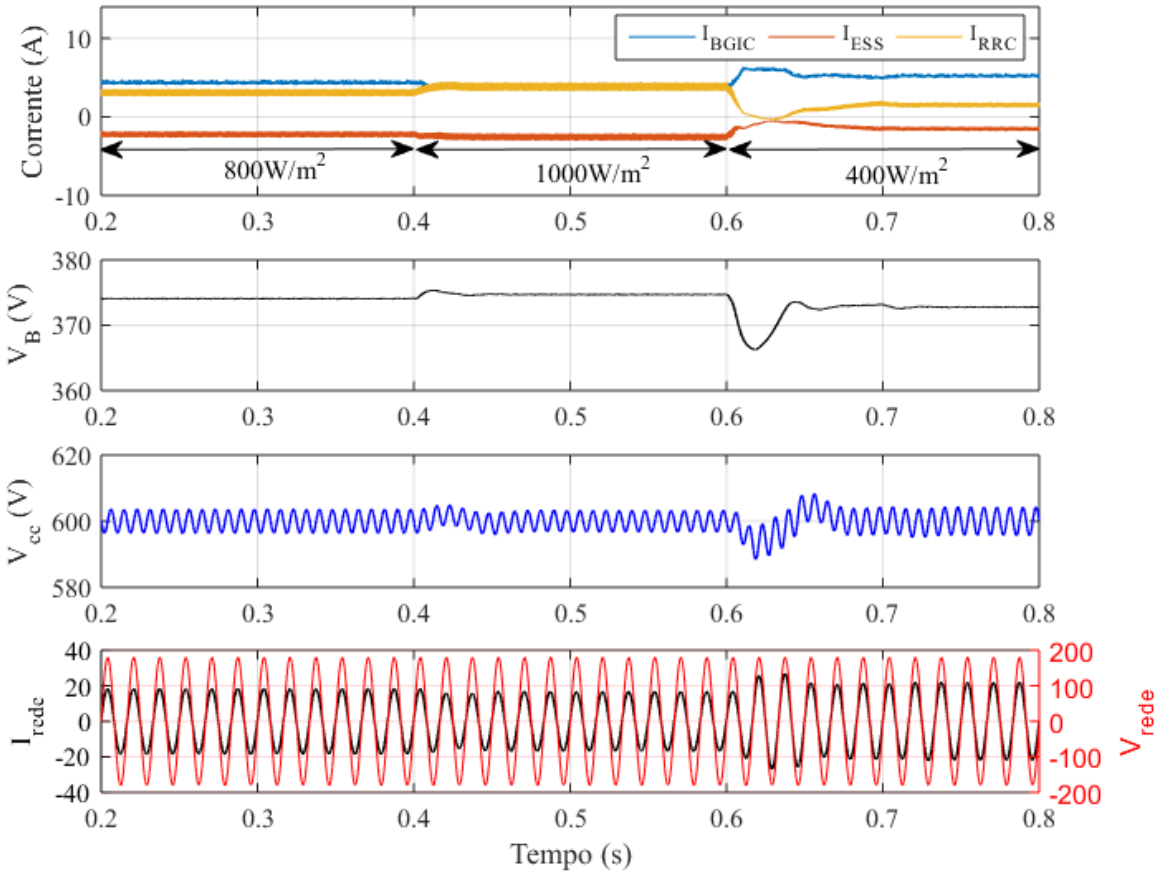


Figura 5.11 Variação da radiação incidente no sistema fotovoltaico de 800 W/m^2 para 1000 W/m^2 em t=0.4s e de 1000 W/m^2 para 400 W/m^2 em t=0.6s.

5.3 Conclusões do capítulo

Esse capítulo discutiu os resultados obtidos por simulação do comportamento do conversor BGIC dimensionado no Capítulo 3, conectado em uma nanorrede para diferentes cenários. A nanorrede possui uma carga de 2kW, um sistema de armazenamento conectado ao barramento principal da nanorrede através de um conversor c.c.-c.c. bidirecional (ESS), e também um sistema de energia renovável conectado ao mesmo barramento por meio de um conversor c.c.-c.c. (RRC).

O controle da tensão do barramento principal da nanorrede é feito a partir da técnica de sinalização de barramento (DBS). Com essa técnica, a tensão do barramento é controlada por um dos três conversores (BGIC, ESS e RRC), e de acordo com a demanda de potência de cada um. Esse controle é implementado em *droop*, e permite o paralelismo dos três conversores com a adição de um termo na malha de controle de tensão de cada conversor.

Os cenários abordados em simulação consistiram na variação de carga da nanorrede, perturbações no ponto de conexão com a rede elétrica (sobre/ subtensão, salto de frequência e reconexão com a rede) e variação de geração do sistema fotovoltaico. Em todos os cenários o conversor BGIC apresentou dinâmica satisfatória, tendo em vista que após as perturbações, as tensões dos barramentos (intermediário e principal) entraram em regime em cerca de 40-60ms, com sobresinais menores que 10% (tanto no barramento principal quanto no intermediário), e atendendo aos limites de tempo discutidos na Seção 3.2.5 para as perturbações no ponto de conexão coma rede elétrica.

Capítulo 6

Conclusões Gerais e Propostas de Continuidade

A partir das discussões apresentadas no Capítulo 1 dessa dissertação, verificou-se a necessidade de flexibilização da matriz energética mundial tendo em vista o grande aumento do consumo de energia elétrica previsto para os próximos anos e a dependência de fontes de energias não renováveis. Nesse contexto, há uma orientação para o aumento da participação de fontes de energias renováveis na matriz global para acompanhar a agenda do desenvolvimento sustentável e ambientalmente responsável.

Esse trabalho se limitou ao estudo e projeto de um conversor c.c.-c.a. bidirecional em potência, também chamado de conversor BGIC, para conexão de uma nanorrede c.c. (2kW) com a rede de distribuição c.a.. O Capítulo 2 apresentou os requisitos para projeto do conversor BGIC e as topologias de conversores que podem ser empregadas, baseadas na literatura disponível. Por se tratar de um sistema de baixa potência, é permitida uma conexão monofásica com a rede de distribuição sem a obrigatoriedade do uso de transformador. O estado da arte sobre conversores bidirecionais aplicados a microrredes apresenta uma tendência na utilização de topologias de dois estágios (um conversor c.c.-c.a. e um c.c.-c.c.) por permitir uma diminuição do banco capacitivo, uma melhor resposta frente a demandas da rede elétrica e a proteção intrínseca contra curto circuito do barramento principal da nanorrede e a rede elétrica. Outra vantagem conferida aos conversores de duplo estágio é a dissociação das malhas de controle de cada estágio, dessa forma o primeiro estágio é responsável pelo intercâmbio de potência entre a nanorrede e a rede de distribuição a partir do controle da tensão V_{cc} do barramento intermediário e da corrente do indutor L_{ca1}, enquanto o segundo estágio se ocupa de controlar a tensão V_B do barramento principal da nanorrede e a corrente no indutor L_{cc}.

A topologia NPC meia ponte foi considerada para o primeiro estágio do BGIC por se tratar de um conversor de três níveis (permite uma redução nos valores dos filtros se comparada à topologia FB bipolar ou HB), possuir estresse de tensão menor nas chaves também em relação às topologias FB e HB. Isso permite a utilização de um barramento intermediário com tensão mais elevada e, com isso, a redução dos capacitores utilizados nesse barramento, o que contribui ainda mais para o aumento da densidade de potência do conversor. A conexão entre o primeiro estágio e a rede elétrica é feita por um filtro LCL que garante uma taxa de distorção harmônica da corrente injetada na rede abaixo de 1%. Os dois estágios do convesor BGIC são conectados

através de um barramento intermediário de 600V composto por um banco capacitivo de 2mF com uma ondulação de 2.4% durante a condição nominal do conversor. Nessa dissertação foi proposta uma modelagem não verificada em outros trabalhos para o conversor NPC meia ponte a partir das variáveis de estados correspondenrtes aos componentes do filtro LCL e da capacitância do barramento intermediário. A modelagem faz uso do modelo de pequenos sinais e auxiliou a escolha dos ganhos dos controladores.

Para o segundo estágio foi proposto um conversor derivado da topologia NPC ponte completa, nomeado de SNPC que também não foi encontrado em outros trabalhos. Topologias de conversores c.c.-c.c. normalmente apresentam filtros indutivos volumosos para atender aos requisitos de *ripple* de corrente. A utilização do conversor SNPC associado à técnica PWM unipolar [35] para comando das chaves permite a redução dos indutores para a mesma consideração de *ripple* de corrente se comparado às topologias FB e Retificador Síncrono. Isso ocorre porque a topologia SNPC pode sintetizar na sua saída a tensão do barramento intermediário V_{cc} e metade do seu valor, dessa forma diminui-se a tensão entre os terminais do indutor pela metade se comparado às topologias citadas. A conexão desse conversor com o barramento principal da nanorrede foi realizada por um filtro LC, com um indutor igual a 1,85mH, capaz de garantir um *ripple* de 20% na corrente injetada nesse barramento. Apesar de permitir uma diminuição do indutor do filtro LC, essa topologia gera uma tensão de modo comum de alta frequência entre o pólo negativo da nanorrede e o neutro da rede elétrica. A partir da utilização de um filtro simétrico na saída do conversor (2x925mH), um em cada terminal do barramento principal da nanorrede) e da inserção de uma nova portadora defasada de 180^{o} do original para comandar as chaves inferiores, foi possível atenuar significativamente as componentes de alta frequência e manter essa tensão praticamente com uma parcela contínua. Desse modo o fator de segurança da nanorrede aumenta, sendo que os danos fisiológicos devido ao choque são atenuados e o sistema sofre menor interferência devido à carga de capacitâncias parasitas. Por outro lado, a modificação da técnica de comando das chaves do secundário do conversor BGIC implica em um aumento nos esforços sobre o indutor do filtro de saída, sendo necessário aumentá-lo. Dessa maneira, deve-se estudar a utilização de outras topologias de filtro com o intuito de manter a técnica de comando proposta na seção 3.2.2.2, e manter o benefício da redução pela metade do indutor do filtro de saída. Esse estudo não é apresentado nessa dissertação de mestrado.

O estudo de eficiência apresentado no Capítulo 4 verificou que as perdas associadas aos indutores são pouco significativas se comparadas às perdas nos semicondutores, cerca de 0,27% e 0,47% para o primeiro e segundo estágios, respectivamente. As perdas no conversor BGIC

foram levantadas considerando diferentes topologias para ambos os estágios (NPC e FB para o primeiro estágio, e SNPC e FB para o segundo), além de utilizarem diferentes semicondutores. O cenário que atingiu maior eficiência considera o primeiro estágio com a topologia NPC e o segundo estágio com a topologia SNPC (aproximadamente 95%, frente aos 86,20% para um conversor *Fullbridge* em ambos os estágios). Também se observa que com os semicondutores escolhidos para o estudo não foi possível verificar uma diferença considerável nas perdas para a utilização de MOSFET ou IGBT na topologia NPC no primeiro estágio. Para avaliar as perdas por chaveamento do MOSFET foi necessária a utilização de um método para calcular as energias de comutação, uma vez que estes dados não estão disponíveis nas folhas de dados. Foram apresentadas duas técnicas para estimação das energias de comutação, a metodologia apresentada pela Infineon superestima as energias cerca de 20 vezes em relação aos valores obtidos a partir da simulação do componente com o modelo SPICE. A segunda metodologia, desenvolvida em [61] apresentou valores relativamente próximos aos contabilizados pela simulação do modelo SPICE e foi considerada no estudo de eficiência dos conversores, ainda que seja necessária uma avaliação experimental do método.

Por fim, o conversor BGIC foi avaliado no contexto de uma nanorrede de 2kW composta por um sistema de armazenamento conectado ao barramento principal da nanorrede através de um conversor c.c.-c.c. bidirecional, e também um sistema de energia fotovoltaica conectada ao mesmo barramento por meio de um conversor c.c.-c.c.. O paralelismo dos três conversores no barramento principal da nanorrede foi realizado a partir da técnica de sinalização da tensão do barramento (DBS), que permite o ajuste da tensão de acordo com a demanda de potência do conversor. O desempenho do conversor BGIC foi avaliado para diferentes cenários, como variação de carga, variação de geração da fonte renovável de energia e perturbações no ponto de conexão com a rede elétrica (sobre/ sub tensão, salto de frequência e reconexão com a rede). Em todos os cenários o conversor apresentou dinâmica satisfatória, com tempo médio entre 40-60ms para atingir o regime após as perturbações, com sobressinais menores que 10% nos barramentos intermediário e principal da nanorrede, confirmando que os limites sugeridos pela IEEE1547 [46] foram atendidos para conexão/ desconexão com a rede elétrica.

6.1 Propostas de continudade

Como propostas de continuidade deste trabalho de dissertação sugere-se:

- Realizar a validação experimental do conversor BGIC.
- Avaliar a utilização de MOSFETs SiC no estudo sobre eficiência dos convesores, para verificar o ganho de eficiência do conversor frente ao uso de IGBT e MOSFETs Si.
- Avaliar experimentalmente a técnica utilizada no Capítulo 4 para estimar as energias de comutação de MOSFETs Si.
- Validar experimentalmente as soluções para diminuição da tensão de modo comum gerada pelo segundo estágio do conversor proposto.
- Avaliar experimentalmente a dinâmica do convesor frente aos distúrbios propostos no Capítulo 5.
- Avaliar a implementação da topologia NPC Half bridge no segundo estágio do conversor BGIC.
- Avaliar a estabilidade da nanorrede com relação aos tempos de resposta/dinâmica do *droop.*

As contribuições dessa dissertação de mestrado resultaram em alguns trabalhos técnico-científicos publicados nos anais de congressos nacionais e internacionais, e são listados abaixo.

H. H. Sathler, L. H. Sathler, F. L. F. Marcelino, T. R. de Oliveira, S. I. Seleme Jr and P. F. Donoso-Garcia, "A comparative efficiency study on bidirectional grid interface converters applied to low power DC nanogrids,". In: XIV Congresso Brasileiro de Eletrônica de Potência (COBEP), 2017, Juiz de Fora – MG.

F. L. F. Marcelino, **H. H. Sathler**, W. W. A. G. Silva, T. R. de Oliveira and P. F. Donoso-Garcia, "A comparative study of Droop Compensation Functions for State-of-Charge based adaptive droop control for Distributed Energy Storage Systems," *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Florianopolis, 2017, pp. 1-8. (Trabalho indireto, apresentado por outro aluno de mestrado vinculado ao controle de conversores aplicados a micorredes c.c.)

F. L. F. Marcelino, **H. H. Sathler**, T. R. de Oliveira and P. F. Donoso-Garcia, "Modeling and control of a Dual Active Bridge for energy storage in DC microgrid

applications," *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Florianopolis, 2017, pp. 1-8. (Trabalho indireto, apresentado por outro aluno de mestrado vinculado a modelagem e controle de conversores aplicados a micorredes c.c.)

H.H. Sathler and B. Cougo, "Improvement of the Modified Opposition Method used for accurate switching energy estimation of WBG transistors". In: 5th IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA), 2017, Albuquerque- USA. (Trabalho indireto, publicado a partir dos resultados desenvolvidos durante o estágio de mestrado realizado no IRT em Toulouse, sobre levantamento experimental das energias de comutação de Mosfets SiC. Essa experiência complementou o estudo desenvolvido no Capítulo 4 sobre perdas de comutação em Mosfets).

Referências bibliográficas

[1] Energy Information and Administration, “International energy outlook 2013,” tech. rep., U.S. Energy Information and Administration (EIA), 2013.

[2] Empresa de Pesquisa Energética, “Plano decenal de expansão da energia 2024,” tech. rep., Ministério de Minas e Energia, Brasília, Brasil, 2015.

[3] M. Costa, Com reajustes de 2014, preço da luz fica 24% acima do de 2012, Folha de São Paulo, São Paulo, 27/04/2014. Disponivel em: http://www1.folha.uol.com.br/mercado/2014/04/1446006-com-reajustes-de-2014-preco-da-luz-fica-24-acima-do-de-2012.shtml. Acesso em 12/09/2017.

[4] R. H. Lesseter, “Smart distribution: Coupled microgrids,” in *Proceedings of the IEEE,* vol. 99 *issue* vol.6, pp. 1074-1082, 2011.

[5] S. Linder, “Energy storage and hvdc: The backbones of a future with more than 30% contribution of wind + solar energy,” in *Power Electronics South America,* 2012.

[6] F. Iov, M. Ciobotaru, D. Sera, R. Teodorescu, e F. Blaabjerg, “Power electronics and control of renewable energy systems," in *7th International Conference on Power Electronics and Drive Systems (PEDS)*, pp. 6-28, Novembro 2007.

[7] Grupo de Trabalho de Redes Eletricas Inteligentes, “Smart Grid”, tech. Rep., Ministério de Minas e Energia, Brasil, 2010.

[8] D.M. Falcao, “Integração de Tecnologias para Viabilização da Smart Grid,” Anais do III Simposio Brasileiro de Sistemas Eletricos (SBSE), Belém, Maio 2010.

[9] S. Chowdhury, S.P. Crossley, “Microgrids and Active Distribution Networks,” IET, in *1st Edition*, London, United Kingdom, 2009.

[10] R.H. Lesseter e P. Paigi, “Microgrid: a conceptual solution,” in *35th Annual Power Electronics Specialists Conference*, vol.6, pp.4285-4290, 2004.

[11] R. Lasseter, “Microgrid and Distributed Generation,” in *Journal of Energy Engineering, American Society of Civil Engineers*, Vol. 133, No. 3, pp. 144-149, Setembro 2007.

[12] J. Schonberger, R. Duke, e S. D. Round, “Dc-bus signaling: A distributed control strategy for hybrid renewable nanogrid,” in *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1453-1460, 2006.

[13] D. Boroyevich, I. Cvetkovic, D. Dong, R. Burgos, F. Wang, e F. Lee, “Future electronic power distribution systems - a contemplative view,” in *12th International Conference on Optimization of Electrical and Electronic Equipment (OPTIM)*, pp. 1369-1380, Maio 2010.

[14] R. Weiss, L. Ott, e U. Boeke, “Energy efficient low-voltage dc-grids for commercial buildings, ” in *DC Microgrids (ICDCM), 2015 IEEE First International Conference*, pp. 154-158, Junho 2015.

[15] H. Kakigano, M. Nomura, e T. Ise, “Loss evaluation of dc distribution for residential houses compared with ac systems,” in *International Power Electronics Conference (IPEC)*, pp. 480-486, Junho 2010.

[16] U. Boeke e M. Wendt, “Dc power grids for buildings,” in *IEEE First International Conference on DC Microgrids (ICDCM)*, pp. 210-214, Junho 2015.

[17] T. de Oliveira e P. Donoso-Garcia, “Perspectives for dc distribution adoption in brazil,” in *IEEE First International Conference on DC Microgrids (ICDCM)*, pp. 359-364, Junho 2015.

[18] H. Kakigano, M. Nomura e T. Ise, “Loss evaluation of DC distribution for residential houses compared with AC system,” in *Power Electronics Conference (IPEC)*, vol., no., pp.480,486, 21-24, Junho 2010.

[19] M. Ton, B. Fortenbery and W. Tschudi., “DC Power for improved Data Center Efficiency”, Lawrence Berkeley National Laboratory report. Março 2008.

[20] W. Setthapun, S. Srikaew, J. Rakwichian, N. Tantranont, W. Rakwichian and R. Singh, "The integration and transition to a DC based community: A case study of the Smart Community in Chiang Mai World Green City," 2015 IEEE First International Conference on DC Microgrids (ICDCM), Atlanta, GA, 2015, pp. 205-209.

[21] Emerge alliance. Disponivel em: <http://www.emergealliance.org>. Acesso em: 16/11/2016.

[22] A. Sannino, G. Postiglione, and M. H. J. Bollen, “Feasibility of a dc network for commercial facilities,” in *IEEE Transactions on Industry Applications*, vol. 39, no. 5, pp. 1499-1507, 2003.

[23] Agência Nacional de Energia Elétrica, “Procedimentos de distribuição de energia elétrica no sistema elétricos nacional (prodist),” tech. Rep., Agência Nacional de Energia Elétrica (ANEEL) - Ministério de Minas e Energia.

[24] T.R. de Oliveira, A.S. BOLZON e P. F. D. GARCIA, “Grounding and safety considerations for residencitial DC microgrids,” in *40th Annual Conference of the IEEE Industrial Electronics Society (IECON*), Dallas/ USA. Pp. 5526-5532, 2014.

[25] S. Araujo, P. Zacharias, e R. Mallwitz, “Highly efficient singlephase transformerless inverters for grid-connected photovoltaic systems,” in *Industrial Electronics, IEEE Transactions on*, vol. 57, no. 9, pp. 3118-3128, Setembro 2010.

[26] L. Zhang, T. Wu, Y. Xing, K. Sun, e J. M. Guerrero, “Power control of dc microgrid using dc bus signaling,” in *26th Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1926-1932, 2011.

[27] K. Sun, L. Zhang, Y. Xing, e J. M. Guerrero, “A distributed control strategy based on dc bus signaling for modular photovoltaic generation systems with battery energy storage,” in *IEEE Transactions on Power Electronics*, vol. 26, no. 10, pp. 3032- 3045, 2011.

[28] F. Chen, R. Burgos e D. Boroyevich, “A transformerless single-phase utility interface converter to attenuate common-mode voltage for DC microgrid,” in *IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*, Kaohsiung, pp. 157-162, 2017.

[29] F. Chen, R. Burgos e D. Boroyevich, “Efficiency comparison of a single-phase grid-interface bidirectional AC/DC converter for DC distribution systems,” in *IEEE Energy Conversion Congress and Exposition (ECCE), Montreal*, QC, pp. 6261-6268, 2015.

[30] F. Chen, R. Burgos, D. Boroyevich e D. Dong, “Control loop design of a two-stage bidirectional AC/DC converter for renewable energy systems,” in *IEEE Applied Power*

Electronics Conference and Exposition - APEC 2014, Fort Worth, TX, 2014, pp. 2177-2183, 2014.

[31] R. Wang, F. Wang, D. Boroyevich, R. Burgos, R. Lai, P. Ning, e K. Rajashekara, "A high power density single-phase pwm rectifer with active *ripple* storage," in *IEEE Transactions on Power Electronics*, vol. 26, no. 5, 2011.

[32] T. Tanaka, T. Sekiya et al, "A new half-bridge based inverter with the reduced-capacity DC capacitors for DC micro-grid," in *Energy Conversion Congress and Exposition (ECCE)*, vol., no., pp.2564,2569, 12-16, Setembro 2010.

[33] M. Calais, V.G. Agelidis, "Multilevel converters for single-phase grid connected photovoltaic systems-an overview," in *Industrial Electronics, 1998. Proceedings. ISIE '98. IEEE International Symposium on*, vol.1, no., pp.224,229 vol.1, 7-10, Julho 1998.

[34] T. Kerekes, R. Teodorescu, e U. Borup, "Transformerless Photovoltaic Inverters Connected to the Grid," in *Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE*, vol., no., pp.1733,1737, Março 2007.

[35] W. Mohan, T. Undeland, e W. P. Robbins, "Power Electronics: Converters, Applications, and Design". New York: Wiley, 2003.

[36] Dong Dong, D. Boroyevich, R. Wang e I. Cvetkovic, "A two-stage high power density single-phase ac-dc bi-directional PWM converter for renewable energy systems," in *Energy Conversion Congress and Exposition (ECCE)*, vol., no., pp.3862,3869, 12-16 Setembro. 2010.

[37] D.G. Holmes, T. A. Lipo, "Pulse Width Modulation for Powers Converters: Principles and Practice", United States of America, Wiley InterScience, 2003.

[38] DONG. D. **Ac-dc bus-interface bi-directional converters in renewable energy systems**. Tese de Doutorado - Virginia Polytechnic Institute and State University, EUA, 2012.

[39] Y. Hahashi and M. Mino, "High-density bidirectional rectifier for next generation 380-v dc distribution system," in *Twenty Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2455-2460, 2012.

[40] BOLZON, A. S. **Estudo e implementaçao de conversor bidirecional c.c.-c.a. monofásico de dois estagios como interface entre uma nanorrede e a rede elétrica.** Dissertaçao de Mestrado - Universidade Federal de Minas Gerais. Belo Horizonte, 2014.

[41] de OLIVEIRA, T. R. **Distribuição Local de Energia em Corrente Contínua: Estudo, Desenvolvimento e Implementação de um Protótipo de Nanorrede c.c. Dedicado aos Setores Residencial e Comercial**. Tese de doutorado - Universidade Federal de Minas Gerais. Belo Horizonte, 2016.

[42] IEEE Standard, "IEEE 519-1992 - IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power System". *Project* IEEE-519, Outubro 1991.

[43] S. V. Araujo, A. Engler, B. Sahan e F. Antunes, "LCL filter design for grid-connected NPC inverters in offshore wind turbines," in *Power Electronics. ICPE '07. 7th Internatonal Conference on*, vol., no., pp.1133,1138, 22-26 Outubro 2007.

[44] R. Teodorescu et al. "GRID CONVERTERS FOR PHOTOVOLTAIC AND WIND POWER SYSTEMS," United States of America, Wiley InterScience, 2011.

[45] Dong Dong; Fang Luo; Wei Zhang; D. Boroyevich, P. Mattavelli, I. Cvetkovic, Li Jiang; Pengju Kong, "Passive filter topology study of single-phase ac-dc converters for DC nanogrid applications," in *Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, vol., no., pp.287,294, 6-11 Março 2011.

[46] IEEE Standard, "IEEE Std. 1547-2003 - IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems", Julho 2003.

[47] T.C.Y. Wang, Zhihong Ye; Gautam Sinha; Xiaoming Yuan, "Output filter design for a grid-interconnected three-phase inverter," in *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, vol.2, no., pp.779,784 vol.2, 15-19 Junho 2003.

[48] M. Liserre, F. Blaabierg, S. Hansen, "Design and Control of an LCL-filter based Three-phase Active Rectifiers," in *Conf. Rec. IAS*, Chicago, USA, 2001.

[49] H.R Karshenas, H. Saghafi, "Basic Criteria in Designing LCL Filters for Grid Connected Converters," in *Industrial Electronics, 2006 IEEE International Symposium on*, vol.3, no., pp.1996,2000, 9-13 Julho 2006.

[50] M.P Mariusz Cichowlas, “Comparison of Current Control Techniques for PWM Rectifier,” in *IEEE International Symposium*, 2002.

[51] R. M. S. Filho, P. F. Seixas, P. C. Cortizo, L. A. B. Torres, and A. F. Souza, “Comparison of three single-phase pll algorithms for ups applications,” in *IEEE Transactions on Industrial Electronics*, vol. 55, no. 8, pp. 2923-2932, 2008.

[52] S. Golestan, M. Monfared, F. D. Freijedo, and J. M. Guerrero, “Advantages and challenges of a type-3 pll,” in *IEEE Transactions on Power Electronics*, vol. 28, no. 11, pp. 4985-4997, 2013.

[53] S. M. Silva, B. M. Lopes, B. J. C. Filho, R. P. Campana, and W. C. Bosventura, “Performance evaluation of pll algorithms for single-phase grid-connected systems,” in *Conference Record of the 2004 IEEE Industry Applications Conference*, 2004. *39th IAS Annual Meeting*., vol. 4, pp. 2259-2263 vol.4, Outubro 2004.

[54] K. N. E. K. Ahmad, J. Selvaraj, and N. A. Rahim, “A review of the islanding detection methods in grid-connected fPVg inverters,” in *Renewable and Sustainable Energy Reviews*, vol. 21, no. 0, pp. 756-766, 2013.

[55] D. Dong, B. Wen, P. Mattavelli, D. Boroyevich, and Y. Xue, “Modeling and design of islanding detection using phase-locked loops in three-phase grid-interface power converters,” in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, pp. 1032-1040, Dezembro 2014.

[56] COTA, A. P. L. **DESENVOLVIMENTO DE FERRAMENTAS COMPUTACIONAIS PARA A ANÁLISE DE PERDAS EM CONVERSORES ESTÁTICOS: APLICAÇÃO AO CÁLCULO DE RENDIMENTO DE UPSs TRIFÁSICAS DE DUPLA CONVERSÃO**. Dissertaçao de Mestrado – Universidade Federal de Minas Gerais. Belo Horizonte, 2016.

[57] M. H. Rashid, “Power Electronics Handbook,” USA: Elsevier, 2007.

[58] INFINEON, “Mosfet Power Losses Calculation Using the Data-Sheet Parameters,” Nota de aplicação, V 1.1, Julho 2006.

[59] B. J. Baliga, “Fundamentals of Power Semiconductor Device, USA: Springer Science + Business Media,” LLC, 2008.

[60] A. D. Grant e J. Gowar, “Power Mosfet Theory and Applications,” USA: John Wiley & Sons, Inc., 1989.

[61] Lírio, L. E. A. **CONTRIBUIÇÕES PARA ANÁLISE DE PERDAS EM CONVERSORES DE POTÊNCIA COM MOSFET**. Dissertação de Mestrado – Universidade Federal do Rio de Janeiro. Rio de Janeiro, 2013.

[62] EBERLE, W. **Mosfet Current Source Gate Drives, Switching Loss Modeling and Frequency Dithering Control for MHz Switching Frequency DC/DC Converters**. Tese de Doutorado – Queen’s University. Kingston, Ontario, 2008.

[63] CHEN, Z. **Characterization and Modeling of High-Switching-Speed Behavior of SiC Active Devices**. Dissertação de Mestrado - Virginia Polytechnic Institute and State University. Virginia, USA, 2009.

[64] ZHANG, Z. **MOSFET Current Source Gate Drivers and Topologies for High Eficiency and High Frequency Voltage Regulator Modules**. Tese de Doutorado – Queen’s University. Kingston, Ontario, 2009.

[65] Y. Xiong, S. Sun, H. Jia, P. Shea e Z. J. Chen, “New Physical Insights on Power MOSFET Switching Losses,” in *IEEE Transactions on Power Electronics*, vol. 24, n. 2, pp. 525-531, 2009.

[66] L. Balog, “Texas Instruments,” Disponível em: <http://www.ti.com/lit/ml/slup169/slup169.pdf>. Acesso em 23/10/2016.

[67] Infineon, IPW60R045CP Datasheet. Disponível em: <http://www.infineon.com/dgdl/Infineon-IPW60R045CP-DS-v02_02-en.pdf?fileId=db3a304412b407950112b42d8e55489b>. Acesso em 23/10/2016.

[68] “Power Mosfet Tutorial, Advanced Power Tecnology,” Application Note 0403 rev b, 2006.

[69] “AN 9010 Mosfet Basics,” FairChild Semiconductor Corporation, 2000.

[70] V. Kilchytska, N. Collaert, M. Jurczak, and D. Flandre, “Specific features of multiple-*gate* MOSFET threshold voltage and subthreshold slope behavior at high temperatures,” *Solid-State Electron*., vol. 51, pp. 1185–1193, Setembro 2007.

[71] “AND8199/D Thermal Stability of MOSFETs,” ON Semiconductor, 2014.

[72] “AN2386 How to achieve the threshold voltage thermal coefficient of the MOSFET acting on design parameters,” STMicroeletronics , 2006.

[73] “MAGNETICS. Powder cores,” Pittsburg, PA, 104 p., 2006.

[74] J. L. J. LI, T. ABDALLAH, C. R. SULLIVAN, “Improved calculation of core loss with nonsinusoidal waveforms,” in *IEEE Industry Applications Conference*. [S.l.: s.n.], v. 4, p. 2203–2210, 2001.

[75] J. MÜHLETHALER, J. W. KOLAR, A. ECKLEBE, “Loss modelling of inductive components employed in power electronic systems,” in *IEEE Energy Conversion Congress and Exposition (ECCE)*, p. 945–952, 2011.

[76] K. VENKATACHALAM, et al. “Accurate prediction of ferrite core loss with nonsimisoidal waveforms using only Steinmetz parameters,” in *Proceedings of the IEEE Workshop on Computers in Power Electronics*. [S.l.: s.n.], p. 36–41, 2002.

[77] F. Chen, R. Burgos and D. Boroyevich, “Efficiency comparison of a single-phase grid-interface bidirectional AC/DC converter for DC distribution systems,” in *IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, pp. 6261-6268, 2015.

[78] B. Cougo, H. Schneider and T. Meynard, “Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications,” in *15th European Conference on Power Electronics and Applications (EPE)*, Lille, pp. 1-10, 2013.

Anexos

Artigos originais publicados e/ou aceitos em anais de congressos.

H. H. Sathler, L. H. Sathler, F. L. F. Marcelino, T. R. de Oliveira, S. I. Seleme Jr and P. F. Donoso-Garcia, "A comparative efficiency study on bidirectional grid interface converters applied to low power DC nanogrids,". In: XIV Congresso Brasileiro de Eletrônica de Potência (COBEP), 2017, Juiz de Fora – MG.

F. L. F. Marcelino, **H. H. Sathler**, W. W. A. G. Silva, T. R. de Oliveira and P. F. Donoso-Garcia, "A comparative study of Droop Compensation Functions for State-of-Charge based adaptive droop control for Distributed Energy Storage Systems," *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Florianopolis, 2017, pp. 1-8. (Trabalho indireto, apresentado por outro aluno de mestrado vinculado ao controle de conversores aplicados a micorredes c.c.)

F. L. F. Marcelino, **H. H. Sathler**, T. R. de Oliveira and P. F. Donoso-Garcia, "Modeling and control of a Dual Active Bridge for energy storage in DC microgrid applications," *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Florianopolis, 2017, pp. 1-8. (Trabalho indireto, apresentado por outro aluno de mestrado vinculado a modelagem e controle de conversores aplicados a micorredes c.c.)

H.H. Sathler and B. Cougo, "Improvement of the Modified Opposition Method used for accurate switching energy estimation of WBG transistors". In: 5th IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA), 2017, Albuquerque- USA. (Trabalho indireto, publicado a partir dos resultados desenvolvidos durante o estágio de mestrado realizado no IRT em Toulouse, sobre levantamento experimental das energias de comutação de Mosfets SiC. Essa experiência complementou o estudo desenvolvido no Capítulo 4 sobre perdas de comutação em Mosfets).

A comparative efficiency study on bidirectional grid interface converters applied to low power DC nanogrids

H. H. Sathler[1], L. H. Sathler[1], F. L. F. Marcelino[1], T. R. de Oliveira[2],S. I. Seleme Jr.[2] and P. F. D. Garcia[2]

[1]Graduate Program in Electrical Engineering - Federal University of Minas Gerais

Av. Antônio Carlos 6627, 31270-901, Belo Horizonte, MG, Brazil

[2] Department of Electronic Engineering of Federal University of Minas Gerais

Av. Antônio Carlos 6627, 31270-901, Belo Horizonte, MG, Brazil

e-mail: hanshs@ufmg.com,lhsathler@gmail.com,fredericolferm@eng-ele.grad.ufmg.br,

troliveira@cpdee.ufmg.br and pedro@cpdee.ufmg.br

***Abstract* - This paper describes a comparative efficiency study of different topologies for the bidirectional grid interface converter (BGIC) for applications in DC microgrids, which manage the power flow between the utility grid and the DC microgrid with the intent to regulate the main DC bus voltage and simultaneously ensure grid code compliance at the point of common coupling. In this area a lot of studies emerged to improve renewable energy integration with electrical grid and increase the entire system efficiency. For efficiency analysis, semiconductors and inductors losses were considered based on datasheets information. MOSFETs usage was considered in order to verify the efficiency increasing against IGBTs for BGIC application.**

***Keywords* – DC Microgrids; Bidirectional converter; fullbridge; NPC.**

I. INTRODUCTION

Distributed generation (DG) systems introduce new concepts to the electrical grid, such as microgrids and nanogrids [1]. Nanogrids can be defined as small scale power systems which consist of two or more local power generation, usually based on renewable DG with installed load below 25 kW and limited to a maximum distance of 5 km from the generation sources [2, 3].

Nanogrids are commonly associated with residential and commercial buildings and they can be divided into two categories: ac (alternated current) and dc (direct current). Recent studies estimate that dc systems can improve buildings overall efficiency by 15% to 22%, comparison to ac based systems [4, 5]. This gain mainly occurs due to the elimination of ac-dc power conversion stages in renewable sources and loads.

Figure 1 illustrates a generic dc nanogrid architecture. The main bus interlinks the several power converters which interface distributed generation, energy storage, loads, secondary dc busses and the utility grid, serving as the backbone for the building distribution network. The bidirectional grid interface converter (BGIC) is responsible for the integration of the dc nanogrid and the utility distribution system, managing the power exchange, complying with grid requirements and protecting the nanogrid from grid disturbances. Features such as reliability, high efficiency, reduced volume and weight, and low cost are desirable for the nanogrid interface converters.

978-1-5090-6248-5/17/$31.00 © 2017 IEEE

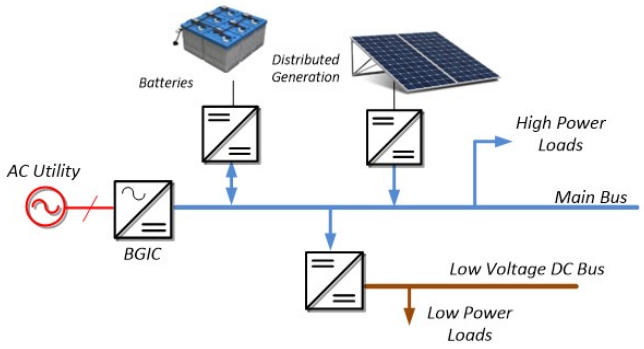


Fig. 1. DC Nanogrid

The BGIC converter must have high efficiency to justify the usage of dc distribution system since this represents the most part of the system total loss [6]. Therefore, the study of the efficiency of different converter topologies suitable for the BGIC implementation becomes relevant, in order to develop a feasible dc nanogrid.

The main goal of the this paper consists in the efficiency study of different single phase ac-dc bidirectional converter topologies applied to the grid interface of a 2 kW dc nanogrid. The topologies Neutral Point Clamped (NPC) and Fullbridge (FB) were considered for the arrange of the single phase ac-dc bidirectional converter. In order to examine the converters efficiency, it was considered that the most significant losses are concentrated at the semiconductors and filter inductors, thus other potential loss sources were disregarded.

The remainder of the paper is organized as follows: Section II presents the considered BGIC structure and the topologies that will be used for the efficiency investigation. Section III discusses the methodology employed in estimating the converter power losses, which rely in datasheet information. Section IV presents the study results and discussions regarding the most efficient converter topology. Section V presents the paper conclusions.

II. GRID INTERFACE CONFIGURATION

The nanogrid grid interface set up considered in this paper is illustrated in Figure 2, which is composed by one ac filter connected to the grid, a two stage Bidirectional Grid Interface Converter (BGIC), and a LC filter linked to the nanogrid main bus.

The nanogrid rated power is 2 kW, and it is coupled to a

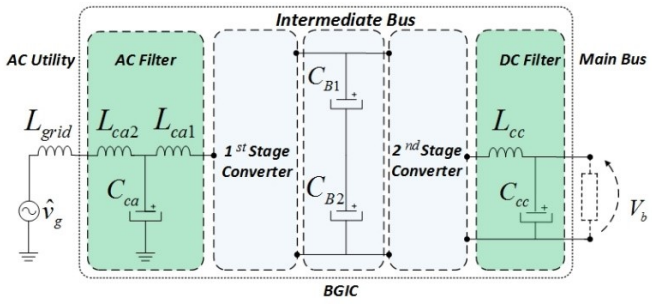


Fig. 2. BGIC Converter

single-phase utility grid, which is the preferred grid connection for microgenerators up to 10 kW [7]. The switching frequency is set in 20 kHz in both converter stages. The nanogrid main bus presents a voltage level of 380V, which according to [3, 5, 8] has shown better outcomes regarding system efficiency and also are being considered for commercial dc distribution standards.

A two stage BGIC provide current limiting capability at both grid and main dc bus sides, enabling the converter to withstand faults in both networks. A higher voltage intermediate bus also allows the reduction of the capacitor bank (C_{B1} and (C_{B2}) [9]. Moreover, the dynamics of the two stages are decoupled, hence the system operation is maintained even under precarious utility grid conditions. The intermediate bus voltage is considered as 600 V and with a 2mF capacitance, which provides a voltage ripple of about 2.5%. The BGIC connection to the utility grid uses a LCL filter, which provides better harmonic component attenuation, allowing inrush current limitation and reduced current ripple in relation to conventional LC filters [10]. At the dc bus side, a LC filter is employed to connect the BGIC second stage and the nanogrid.

A. BGIC Topologies

The converter configuration, presented in Figure 2, consents to disassociate the control loops of both stages [9]. The first stage is responsible for interfacing with the ac utility and the second, with the nanogrid main dc bus, which limits its maximum output current and keeps the voltage at 380 V. This arrangement also permits different converters topologies in its stages, what confers a better project flexibility. The topologies used in the efficiency study for the first stage, fullbridge and NPC, are depicted in Figure 3 and Figure 4 respectively.

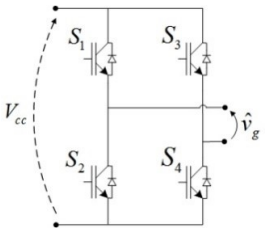


Fig. 3. Fullbridge Converter

The fullbridge arrangement, proposed in [11] to compose the first stage, is traditional, and it has low complexity. Like

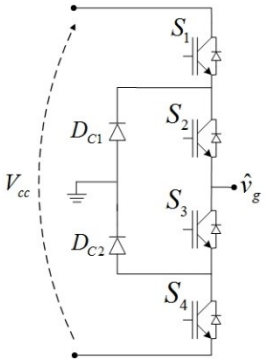


Fig. 4. NPC Converter

the NPC configuration, fullbridge can synthesize three voltage levels [12], with low current THD, which reduces the filter current efforts. The unipolar modulation is considered as the command technique of this converter. The advantage of NPC, cited by industrial applications, is the possibility of using semiconductors designed with half the voltage ratings of the dc bus, whereas for the fullbridge the total bus voltage shall be considered. Therefore, 600 V MOSFETs and IGBTs are suitable for the NPC implementation, whereas only 1200 V IGBTs could be employed in a fullbridge converter, which introduces higher switching losses. Moreover, unlike the fullbrigde, the NPC does not present a common mode voltage between the nanogrid main bus and the utility grounding system, thus no leakage current is generated, increasing nanogrid safety. However, the maximum output voltage of the NPC is only half the one synthesized by the fullbridge, which limits the application of the considered solution to 127 V_{rms} utility grids. For 220V -240V_{rms} systems, the intermediate bus voltage of the NPC converter must be increased. In the second stage, the investigated topologies are the fullbridge, also employed in [12], and the Four Switch Bidirectional dc-dc converter shown in Figure 5.

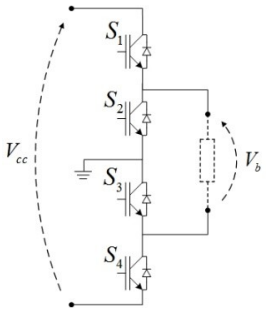


Fig. 5. SNPC Converter

The converter depicted in 5 is a topology derived from a fullbridge NPC converter as described in 6-(a. As the second stage performs a dc-dc conversion, some switches of the NPC topology will be fully on or off, therefore they can be suppressed. Fig. 6-(b shows those switches. In this paper, this topology will be referred as Simplified NPC converter (SNPC).

In the SNPC converter, the switches pair S1-S2 and S3-S4

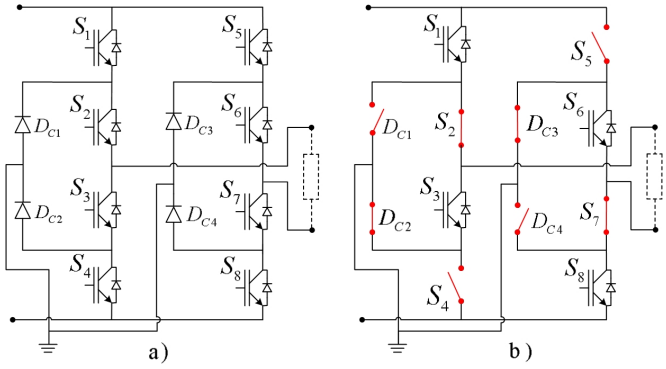


Fig. 6. a) Fullbridge NPC b) Suppressed switches of the NPC)

are complementary. An unipolar PWM is considered for the SNPC, where each switch pair is controlled as a fullbridge converter switching leg would be. Considering that the duty cycle is $-1 \leq D \leq 1$, for $D > 0$, the converter output will switch between 600V and 300 V, and for $D < 0$, it will switch between 300 V and 0V. The converter duty cycle can be calculated by (1)

$$D = \frac{2V_b - V_{cc}}{V_{cc}} \tag{1}$$

Since the nanogrid output voltage under study is 380 V, the SNPC operates with a D higher then 0, as a result the output voltage of this converter would vary between 300 V and 600V, generating a dv/dt of 300 V. Meanwhile, the fullbridge generates a dv/dt of 600 V. As the inductor value depends directly on the voltage derivative [13], its value for SNPC is half of the one considered for the fullbridge topology. As a result, a converter with greater power density can be achieved.

III. POWER LOSSES ESTIMATION

A. Inductor Losses

The power dissipation in inductors are mainly related to two mechanisms: copper losses, due to non-null series resistance, which can vary with the switching frequency and cable proximity; and core magnetic material losses, due to hysteresis, Foucault and residual effects. In a general way, the power dissipated in an inductor winding with distorted current can be estimated by an algebraic sum of the ohmic losses associated with nth-order harmonics, as proposed in [14]. The copper losses are described by (2).

$$P_{copper} = \frac{1}{2} R_{dc} i_{dc}^2 + \frac{1}{2} \sum_{n=1}^{\infty} R_{ac}[n] i_{ac}^2[n] \tag{2}$$

where R_{dc} and R_{ac} consist in winding dc and frequency dependent resistances, respectively; i_{dc} the current average value and i_{ac} the rms value of the alternating component R_{dc} is calculated from physical parameters and wire resistivity, and R_{ac} is computed from skin and proximity effects. As skin and proximity effects in the considered switching frequency are very small, in this, the inductors wire resistance will be considered equal to R_{dc}. In contrast, the mean core losses are estimated from [15, 16], which represents an optimization from what is proposed in [17].

B. SEMICONDUCTOR LOSSES

The calculation of semiconductor losses is done through the Thermal Module tool embedded in PSIM software. This tool provides a fast and simple way to estimate semiconductors conduction and switching losses (Diodes, IGBTs and MOSFETs) during the converter simulation. The Thermal Module tool allows the insertion of curves and data informed by the semiconductors datasheet, which results in very good estimation of real semiconductor losses. In the case of diodes and IGBTs, the user can add curves for different operating temperatures, which allows the thermal simulation to incorporate the influence of the thermal circuit on the semiconductor losses. For MOSFETs, however, only a few data points are inserted, therefore, the model does not consider the influence of temperature variation, resulting in very conservative estimations. In this paper, in order to obtain a more accurate estimation of power MOSFETs losses, the information displayed in the datasheet were used to compile I_{DS} x V_{DS}, I_{DS} x E_{on} and I_{DS} x E_{off} curves for different temperature and gating conditions, mimicking the data available for IGBTs. These curves were later include in an IGBT Thermal Model, which presents a better temperature dependent simulation. The main obstacle in building such curves are associated with the MOSFET input capacitance non-linearity during turn-on and turn-off. Therefore, it was necessary to resort to the techniques described in [18, 19] in order to perform the required numerical calculations.

IV. RESULTS

The BGIC efficiency calculation considered the semiconductor losses estimated by PSIM during the simulation of each converter configuration and the inductor losses, calculated separately through the inductor currents provided by the simulations. In the NPC topology, the impact of the utilization of CoolMOS devices over conventional IGBT in the converter efficiency was also assessed. The electrical characteristics of the 2kW nanogrid and components values used during simulation are presented in Table I.

TABLE I
Electrical characteristics of the nanogrid

Variable	Value
f_{sw}	20 kHz
V_{cc}	600 V
V_b	380 V
v_g	127 V_{rms}
L_{ca1}	600 μH
L_{ca2}	200 μH
C_{ca}	16 μF
L_{cc}	3.7 mH
C_{cc}	100 μF
C_{B1-B2}	2 mF

A. Fist Stage Semiconductor Losses

The semiconductors used in the first and second stages, for NPC, FB, and SNPC are presented in Table II. As in the NPC topology each switch will be submitted to a voltage level of 300 V, half the intermediate bus voltage, 600V MOSFET and IGBT were considered for the NPC simulations. In the other

hand, for the FB topology, 1200V IGBT were used, since this converter applies the whole intermediate bus voltage on the power switches.

TABLE II
Semiconductors used in each converter

Converter	Semiconductor	
1^{st}Stage-Fullbridge	IRG7PH46UDPbF (1200V IGBT)	
1^{st}Stage-NPC IGBT	IKW50N65H5 (650V IGBT)	IDW30E65D1 (650V Diode)
1^{st}Stage-NPC Mosfet	IPW60R045CP (650V Mosfet)	IDW30E65D1 (650V Diode)
2^{nd}Stage-Fullbridge	SK25GH12T4 (1200V IGBT)	
2^{nd}Stage-SNPC	SK30GBB066T (600V IGBT)	

In order to evaluate the worst case scenario, regarding the converter efficiency, all simulations assumed a semiconductor junction temperature of 150^{o}C. Figure 7 presents the total calculated losses for all three BGIC first stage topologies, assuming a switching frequency of 20 kHz and an injection of 2 kW in an 127 V_{rms} single-phase utility grid.

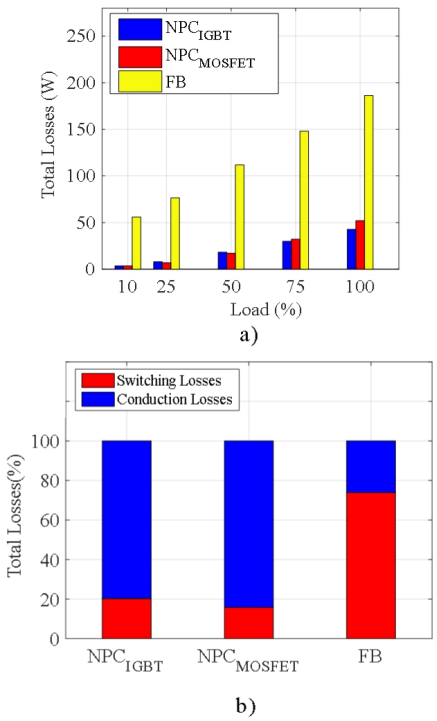


Fig. 7. Losses for Fullbridge, NPC with IGBT and NPC with MOSFET converters in the first stage: a) Total losses b) Percentage losses.

According Fig.7-a), e.g., in a full load situation, the FB converter dissipates approximately 180 W, which is about 4 times more power than the NPC topologies. It can also be observed that for lower output powers the disparity between topologies is accentuated. Regarding the comparison between the utilization of MOSFETs and IGBTs in the NPC topology, also in full load, the MOSFET NPC dissipated 4 W more power than the IGBT NPC. This small difference suggests that, for the used semiconductors, a topology with IGBTs can provide about 10% less losses than a MOSFET NPC. Fig.7-b) shows the percentage loss ratio for 100% load. It can be noticed that 73% of the FB converter semiconductor losses are related to switching losses, whereas the IGBT NPC presents 20% of switching losses and the MOSFET NPC, 16%. This loss distribution was expected, since devices with higher voltage blocking capability, such as the ones employed in the FB converter, tend to present slower transition times, which increases switching losses. On the other hand, for the same operating conditions MOSFETs present lower switching losses and higher conduction losses than IGBTs, as was indicated by the NPC simulation. As a conclusion, it can be said that the excessive switching losses presented by the FB topology can significantly affect the overall efficiency of the grid interface converter, compromising the benefits of employing a dc power distribution in residential and commercial buildings. Therefore, multilevel topologies as the NPC are more suitable for such application. Moreover, for the current silicon based device technology, the utilization of CoolMOS showed no improvement in the converter efficiency in relation to IGBT devices.

B. Second Stage Semiconductor Losses

For the topologies presented for the second stage, it is considered only IGBTs for SNPC, since the previous results showed that the losses generated by 600V MOSFETs and IGBTs has similar values. Fig.8 illustrates the derived losses from second stage converters. According to the BGIC converter section, it is possible to use an inductor in the SNPC with half of calculated value for FullBridge. Nevertheless, it is selected the same inductor for both topologies in the simulation in order to calculate the losses.

The FB converter dissipates about 83 W against 53 W of SNPC in full load. At the same load condition, 86% of the FB topology losses are related to switching losses, whereas in the SNPC, the switching losses represents 80% of the total power dissipation, as can be seen in Fig.8-(b. Although the observed distribution of losses is similar to both converters, the magnitude of the power dissipation is higher for the FB topology. Another behavior that can be observed is that for lower output powers, the difference between topology losses is reduced, notwithstanding, the SNPC shows better efficiency than the FB in all evaluated situations.

C. Inductors

The filter inductors of the BGIC are designed considering iron powder cores from the high flux family, manufactured by Magnetics [20]. Table III presents the inductors design parameters for the regarding the criteria suggested in [20].

Table IV shows the losses derived from the inductor of the first stage . In a general manner, the losses are too small when compared to the total power delivered to the load. The maximum obtained value is 1.77% for 10% load and minimum of 0.20% for 100% load, noting that the most significant part of those losses is related to core losses.

According to [20], in order to evaluate the design of the inductor core, it is necessary to verify its temperature increase.

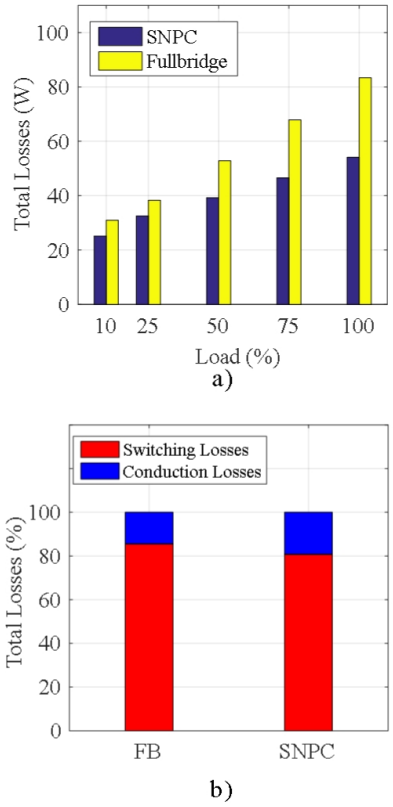


Fig. 8. Losses for Fullbridge and SNPC converters in the second stage: (a) Total losses (b) Percentage losses

TABLE III
Semiconductors used in each converter

Parameter	L_{ca1}	L_{ca2}	L_{cc}
Inductance(μH)	600	200	3700
Number of series units	1	1	1
Number of turns	74	33	183
Number of wires per turn	14	14	3
Wire gauge (AWG)	19	19	19
Core Model(Magnetics)	58099	58617	58110
Relative Permeability	60	60	60
Resistence (Ω)	0.014	0.005	0.081
Fill factor (%)	26.7	31	35.70
Overall volume(m^3)	0.007	0.002	0.0037

TABLE IV
First stage inductors losses

Load	**Total**		**Copper**	**Core**	**Temperature Inc.**	
(%)	(W)	(%)	(W)	(W)	(^{o}C)$_{L_{ca1}}$	(^{o}C)$_{L_{ca2}}$
10	3.51	1.77	0.002	3.51	6.66	0.01
25	4.29	0.86	0.011	4.28	7.86	0.08
50	4.67	0.47	0.045	4.63	8.39	0.26
75	4.99	0.33	0.101	4.89	8.78	0.52
100	5.42	0.27	0.180	5.24	9.31	0.84

The same author describes the procedure for calculating this temperature rise, thus, this is omitted here. A maximum core operating temperature of 100^oC is considered as the design criterion, and the room temperature at which the device is located is 45^oC. The maximum temperature increase of 9.31^oC ensures that the device does not reach the limit considered in the design and makes it feasible to be used. For the second stage, the losses in the inductor presented in Table V also suggest a low significance against the converter total power, e.g., about 0.47% losses for 100% load. The core losses are still superior to copper losses as well as in the first stage, however, for the second stage the conduction losses represent about a quarter of the total losses while in the first stage the conduction losses are practically disregarded.

TABLE V
Second stage inductor losses

Load	**Total**		**Copper**	**Core**	**Temperature Inc.**
(%)	(W)	(%)	(W)	(W)	(^{o}C)$_{L_{cc}}$
10	6.96	3.48	0.02	6.94	27.5
25	7.11	1.42	0.14	6.97	28
50	7.59	0.75	0.5	7.03	29.6
75	8.35	0.55	1.26	7.09	32.1
100	9.4	0.47	2.24	7.15	35.4

Knowing that the losses in the inductors are related to the voltage integral between their terminals (Magnetic Field) [15, 16], it is understood that the losses developed in the inductor for SNPC and FB are different, but the meaningfulness of those losses in relation to the converter output power is still very small as shown in Table V (0.47% for 100% of the load). Therefore, considering the worst case scenario, the inductor losses obtained with the FB topology were assumed for the remainder of this study. Considering the inductor operating temperature criterion, the maximum temperature rise of 35.4^oC credits the possibility of using the inductor since it reaches a maximum temperature of 80.4^oC.

D. Global Efficiency

From the data described in Tables IV, V, and the converters losses, it is possible to account for the global efficiency of the BGIC different possible configurations. The obtained results are shows in VI.

TABLE VI
Total Efficiency

1^{st} Stage	**2^{nd} Stage**	**Efficiency(%)**
Fullbridge	Fullbridge	86.20
Fullbridge	SNPC	87.57
NPC Mosfet	Fullbridge	93.65
NPC Mosfet	SNPC	94.51
NPC IGBT	Fullbridge	93.51
NPC IGBT	SNPC	94.96

The use of NPC in the first stage presents a considerable gain in converter efficiency independently of the second stage topology. The configuration that presented the best efficiency is the NPC with IGBT in the first stage and SNPC in the second stage, reaching approximately 95% efficiency. Whereas the worst case scenario, 86.2%, is achieved with the use of the FB topology in both stages. The overall efficiency achieved with first stage in NPC, for MOSFET and IGBT, is nearly the same. It suggests that, considering the current generation of silicon devices and under the same voltage and current requirements, the power switch model has little influence on the converter efficiency. Further improvements, however, can be expected

with the employment of different device technologies, such as Silicon Carbide (SiC) and Gallium Nitride (GaN), which present very small switching losses [6].

V. CONCLUSIONS

This work presented an efficiency study comparing the performance of different converter topologies for the implementation of a two-stage bidirectional grid interface converter applied to a 2kW dc nanogrid. The Thermal Module tool of the software PSIM was used to survey the losses of the semiconductors used in the topologies, which is based on the devices characteristic curves available in the datasheets, and represents a fast, simple and accurate method to estimate losses. The losses in the inductors were raised from a numerical calculation proposed in [18] as a function of the physical parameters of the core and the voltage between the inductor terminals. The study has showed that inductor losses are relatively small, compared to the converter output power, presenting percentage losses of 0.27% and 0.47% for the converter first and second stage, respectively. The highest efficiency scenario is achieved with the first stage composed by a NPC topology and second with a SNPC, approximately 95% This second stage topology were derived from a fullbridge NPC structure, considering that for dc-dc operation some switches are inoperative. It is also observed that, for the chosen semiconductors, it is not possible to verify a considerable difference in the losses for use of MOSFET or IGBT in the NPC topology.

ACKNOWLEDGEMENT

The authors acknowledge CAPES for the continued support. Also, we are grateful to Fapemig for the financial support on the research activities.

REFERENCES

[1] R. H. Lasseter. Smart distribution: Coupled microgrids. *Proceedings of the IEEE*, 99(6):1074–1082, June 2011.

[2] J. Bryan, R. Duke, and S. Round. Decentralized generator scheduling in a nanogrid using dc bus signaling. In *IEEE Power Engineering Society General Meeting, 2004.*, pages 977–982 Vol.1, June 2004.

[3] D. Boroyevich, I. Cvetkovi, D. Dong, R. Burgos, F. Wang, and F. Lee. Future electronic power distribution systems a contemplative view. In *2010 12th International Conference on Optimization of Electrical and Electronic Equipment*, pages 1369–1380, May 2010.

[4] S. Anand and B. G. Fernandes. Optimal voltage level for dc microgrids. In *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, pages 3034–3039, Nov 2010.

[5] H. Kakigano, M. Nomura, and T. Ise. Loss evaluation of dc distribution for residential houses compared with ac system. In *The 2010 International Power Electronics Conference - ECCE ASIA -*, pages 480–486, June 2010.

[6] F. Chen, R. Burgos, and D. Boroyevich. Efficiency comparison of a single-phase grid-interface bidirectional ac/dc converter for dc distribution systems. In *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, pages 6261–6268, Sept 2015.

[7] R. H. Lasseter and P. Paigi. Microgrid: a conceptual solution. In *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, volume 6, pages 4285–4290 Vol.6, June 2004.

[8] Berkeley Laboratorie. Dc power for improved data center efficiency. `https://energy.lbl.gov/ea/mills/HT/documents/data_centers/DCDemoExecutiveSummary.pdf`, 2007. Accessed: 2017-04-10.

[9] D. Dong, I. Cvetkovic, D. Boroyevich, W. Zhang, R. Wang, and P. Mattavelli. Grid-interface bidirectional converter for residential dc distribution systems. *IEEE Transactions on Power Electronics*, 28(4):1655–1666, April 2013.

[10] M. Liserre R.Teodorescu and P. Rodriguez. *GRID CONVERTERS FOR PHOTOVOLTAIC AND WIND POWER SYSTEMS*. Wiley-IEEE Press, 1^{st} edition, 2011.

[11] T. R. de Oliveira, A. S. Bolzon, and P. F. Donoso-Garcia. Grounding and safety considerations for residential dc microgrids. In *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, pages 5526–5532, Oct 2014.

[12] S. V. Araujo, A. Engler, B. Sahan, and F. L. M. Antunes. Lcl filter design for grid-connected npc inverters in offshore wind turbines. In *2007 7th Internatonal Conference on Power Electronics*, pages 1133–1138, Oct 2007.

[13] N. Mohan, T. M. Undeland, and W. P. Robbins. *Power electronics: converters, applications and design*. John Wiley & Sons, 2^{nd} edition, 1995.

[14] N. Kondrath and M. K. Kazimierczuk. Inductor winding loss owing to skin and proximity effects including harmonics in non-isolated pulse-width modulated dc-dc converters operating in continuous conduction mode. *IET Power Electronics*, 3(6):989–1000, Nov 2010.

[15] J. Mhlethaler, J. W. Kolar, and A. Ecklebe. Loss modeling of inductive components employed in power electronic systems. In *8th International Conference on Power Electronics - ECCE Asia*, pages 945–952, May 2011.

[16] K. Venkatachalam, C. R. Sullivan, T. Abdallah, and H. Tacca. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only steinmetz parameters. In *2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings.*, pages 36–41, June 2002.

[17] Jieli Li, T. Abdallah, and C. R. Sullivan. Improved calculation of core loss with nonsinusoidal waveforms. In *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*, volume 4, pages 2203–2210 vol.4, Sept 2001.

[18] B. J. Baliga. *Fundamentals of Power Semiconductor Devices*. NY USA:Springer, 2^{nd} edition, 2008.

[19] Y. Xiong, S. Sun, H. Jia, P. Shea, and Z. John Shen. New physical insights on power mosfet switching losses. *IEEE Transactions on Power Electronics*, 24(2):525–531, Feb 2009.

[20] Magnetics. Magnetics powder core catalog, 2015. Accessed: 2017-04-10.

A Comparative Study of Droop Compensation Functions for State-of-Charge Based Adaptive Droop Control for Distributed Energy Storage Systems

Frederico L. F. Marcelino, Hans H. Sathler, Waner W. A. G. Silva
Graduate Program in Electrical Engineering
Federal University of Minas Gerais-Av. Antonio Carlos 6627, 31270-901, Belo Horizonte, MG, Brazil
fredericolferm@.ufmg.br, hanshs@ufmg.br, waner@unifei.edu.br

Thiago R. de Oliveira, Pedro F. Donoso-Garcia
Department of Electronic Engineering
Federal University of Minas Gerais - UFMG
Belo Horizonte, Brazil
troliveira@cpdee.ufmg.br, pedro@cpdee.ufmg.br

***Abstract*—DC microgrid applications normally use Distributed Energy Storage Systems (DESS) to smooth out energy balance due to the non-dispatchable characteristics of renewable resources. Since the State of Charge (SoC) of each energy storage unit (ESU) can differ significantly SoC based adaptive droop control methods for SoC equalization has been proposed in literature. A droop compensation function is used to vary the DESS converter droop resistance according to each storage unit SoC, which promotes gradual SoC equalization and power sharing. In previous works power and exponential functions have been used to implement the droop compensation, however, no information can be found regarding the performance of other mathematical functions on DESS SoC balancing. This paper investigates the employment of a set of basic mathematical functions in SoC based adaptive droop control and discusses the influence of tuning parameters on equalization speed and voltage deviation.**

***Keywords*—State of charge, energy storage, adaptive droop control.**

I. Introduction

Typical dc microgrids are described as small distribution power systems which employ renewable distributed generation and power management to supply a set of local loads and that can operate connected to or isolated from the utility grid. Due to the intermittent nature of the renewable resources, distributed energy storage units (DESU) are used to smooth out energy balance [1]. A typical configuration of a dc microgrid is shown in Fig. 1, which a Bidirectional Grid Interface Converter (BGIC) is used to connect the dc microgrid to the utility grid. Renewable generation is represented by a photovoltaic (PV) array and a wind turbine. The energy storage system is accomplished with distributed ESUs.

This work has been supported by the Brazilian agency CAPES.

The microgrid dc bus serves as a backbone, which interconnects all interface converters, hence those converters must be capable of operating in parallel. Parallel operation of dc power converters can be accomplished through various centralized or distributed approaches. In centralized methods, usually one of the converters behaves as a voltage source regulating the dc bus voltage whereas the remainder of the converters are controlled as current sources. A high bandwidth communication link is needed in order to guarantee accurate current sharing between the converters, which introduces a single point of failure and may lead to system instability due to communication delays and data loss. The most common distributed parallelism method is the voltage droop control, which relies basically on local voltage and current measurements, no communication network is needed. However, droop control imposes an intrinsic trade-off between dc bus voltage deviation and current sharing [2]. In order to improve droop controlled distribution systems performance, regarding a project's specific set of requirements, adaptive droop approaches have been proposed.

In [3] the droop resistance is modified based on a Droop Index (DI), which is calculated using the normalized current sharing difference and converter losses in order to improve performance. In [4] the droop characteristics of distributed generation are dynamically defined according to an energy cost-based function prioritizing power generation marginal cost reduction. In [5] a droop surface is designed using the SoC and the dc bus voltage for control of multiterminal dc bus. SoC based adaptive droop control of a microgrid ESU for SoC balancing is discussed in [1],[6]-[7].

From the DESS point of view, each ESU must inject/consume an amount of power according to the operation point of the microgrid. When there is an excess of produced

978-1-5090-5339-1/17/$31.00 ©2017 IEEE

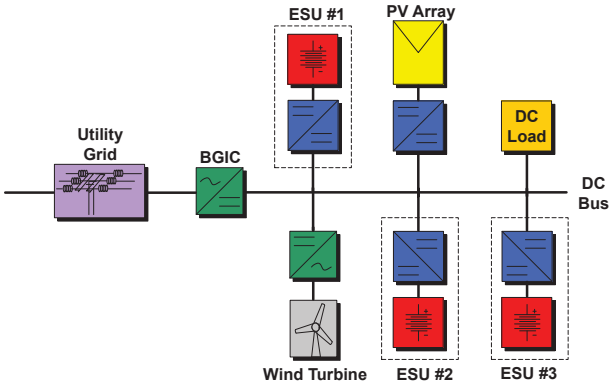


Fig. 1. Typical configuration of a dc microgrid

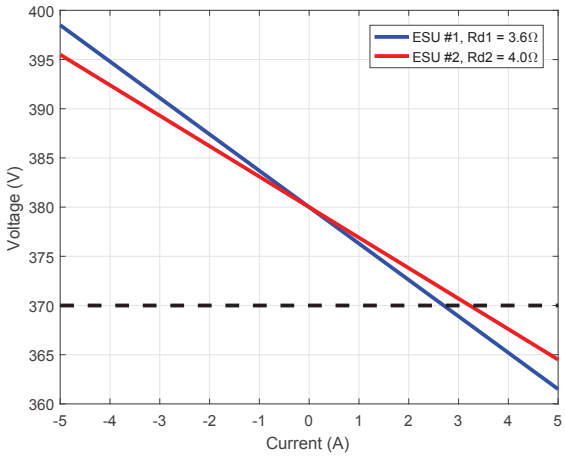


Fig. 2. Current imbalance due to different droop resistances

energy, the ESUs operate in charging mode. When the power injected into the dc bus is lower than the power demand, the ESUs operate in discharging mode. In both operations the SoC of the ESUs may be very different from each other due to many reasons such as initial conditions, age and accumulator type. Thus, in order to avoid overuse of an ESU, it is reasonable that the unit with more stored energy injects more power in discharging mode and consumes less power in charging mode when compared with a unit with lower stored energy. Therefore, the SoC based adaptive droop control can be seen as a good procedure to extend the storage system lifetime.

Since power sharing depends on the droop coefficient, SoC balancing methods modify this coefficient according to a compensation function to make the ESU output power proportional to the unit SoC in discharge mode and inversely proportional to it in charge mode. The approaches presented in literature used power [1],[7] and exponential functions to vary the droop coefficient under the statement that these functions produce higher droop coefficient differences among the ESUs for a given SoC imbalance than linear or low order polynomial functions would promote [6]. However, comparisons are not addressed. In order to fill the lack of information about system performance for other types of functions, this paper investigates a set of basic mathematical functions to be used in SoC based adaptive droop control. The influence of a dimensionless parameter used to vary the SoC equalization speed of each function is also investigated.

II. Fundamentals of State of Charge Based Droop Control

For a given dc-dc converter with droop control the output voltage is expressed as

$$v_o = V_{nom} - R_d \cdot i_o \tag{1}$$

where V_{nom} is the open circuit voltage, i_o is the output current and R_d is the droop converter resistance. Fig. 2 shows the droop lines of two converters with different droop resistances $R_{d1} = 3.6\Omega$ and $R_{d2} = 4.0\Omega$ respectively. Considering that they are connected to a 370V microgrid dc bus, for example, it can be clearly seen that the output currents will be different. Therefore, modifying the droop coefficients individually current sharing can be achieved. However, in this method good load sharing is achieved degrading voltage regulation and vice-versa, which means a trade-off.

The basic idea behind adaptive droop control based on SoC is to vary each ESU droop coefficient using a function of its own SoC. For the cases where the droop coefficient is a resistance, the final modified i-th converter droop resistance R_{df_i} can be redefined as

$$R_{df_i} = R_{d_i} \cdot k_{d_i} \tag{2}$$

where R_{d_i} is the droop resistance and k_{d_i} is the compensation factor of the i-th ESU. If the compensation factor is generalized as a function of SoC and a convergence factor p, then k_{d_i} can be expressed as

$$k_{d_i} = f(SoC_i, p) \tag{3}$$

where SoC_i is the i-th ESU SoC.

Therefore, many types of functions can be used to implement the compensation factor, which can be termed as Droop Compensation Functions (DCF). In [1], [7] the droop coefficient m_d and m_c are adjusted to $m_d \propto 1/(SoC)^n$ during discharge and $m_c \propto (SoC)^n$ in charge mode. In [6] the coefficient is varied based on exponential function. During charge mode the droop resistance is modified to $R_d \propto exp(p \cdot SoC)$ and to $R_d \propto exp(-p \cdot SoC)$ for discharge mode. The n and p used in [1], [7] and [6] respectively are dimensionless integer positive parameters to adjust the speed of SoC equalization. Both are equivalent and can be classified as convergence factors.

The power and exponential functions can be grouped in a set of basic functions. The compensation factor for discharging and charging modes based on the functions are shown in Table I. For both modes, the forms are designed to produce $k_d = 1$ for SoC=1. This combination would lead to no modification of the droop coefficient. Fig. 3 shows the compensation factor for discharging mode across the feasible range of SoC. In this

TABLE I
DROOP COMPENSATION FUNCTIONS FOR DISCHARGE AND CHARGE MODES

Function	Compensation factor k_d	
	Discharge mode	***Charge mode***
Linear	$p \cdot (1 - SoC) + 1$	$p^{-1} \cdot (SoC - 1) + 1$
Power	SoC^{-p}	SoC^{p}
Exponential	$e^{-p \cdot (SoC-1)}$	$e^{p \cdot (SoC-1)}$
Hyp. Sine	$sinh(-p(SoC-1)) + 1$	$sinh(p^{-1}(SoC-1)) + 1$
Logarithmic	$-p \cdot ln(SoC) + 1$	$p^{-1} \cdot ln(SoC) + 1$

type of operation the ESU with less storage energy will have its droop coefficient increased, hence it will contribute with less current and less power. On the other hand the ESU with more SoC will feed the load with higher power. In Fig. 4 the curves of the compensation factor for charging mode are depicted. In this mode, the compensation factor is decreased as the SoC is decreased, hence the ESU with less stored energy will have its droop coefficient decreased and, consequently, will receive more charging current. Thus, for both modes of operation SoC equalization will be gradually accomplished.

The influence of p on k_d is also depicted in Fig. 3 and 4 for $p = 1, 4, 7$. The values of p were chosen to provide a significant variation of k_d. Hence, p has great influence on the current distribution, power sharing and SoC equalization speed. It is important to emphasize that curves obtained for charging mode do not follow the same pattern. In fact, for high values of p the power and exponential functions lead to $k_d \to 0$ as SoC decreases whereas the other functions produce high values of k_d. This is due to the signal of the convergence factor adopted for each DCF. As the operation region of the SoC of an ESU ranges typically from 0.35 to 1, significant variation of k_d must also be in this range. Changing the signals of p in power and exponential functions would lead to better behavior in low SoC, which are out of interest. Changing the signals of the other functions would lead to exaggerated variation, which lead to $k_d < 0$ for SoC in the feasible range. Therefore, the better choice for compensation factor forms is shown in Table I with behavior depicted in Fig. 3 and Fig. 4.

Equation (1) shows how the output voltage of the ESU behaves as function of the open circuit voltage V_{nom}, droop resistance R_d and output current i_o. When the droop resistance is modified by the compensation factor k_d, (1) can be rewritten as

$$v_{dc} = V_{nom} - R_d k_d i_o = V_{nom} - R_d f(SoC, p) i_o \quad (4)$$

Equation (4) shows that the dc bus voltage depends of two variables, the SoC and the output current. Knowing that both variables can vary in a range such as $SoC_{min} \leq SoC \leq SoC_{max}$ and $0 \leq i_o \leq I_{max}$, where SoC_{min} is the minimum SoC, SoC_{max} is the maximum SoC, I_{max} is the maximum output current of the ESU, a droop surface can be determined. As the DCFs produce different droop coefficient values for the same SoC for a given convergence factor, each function will

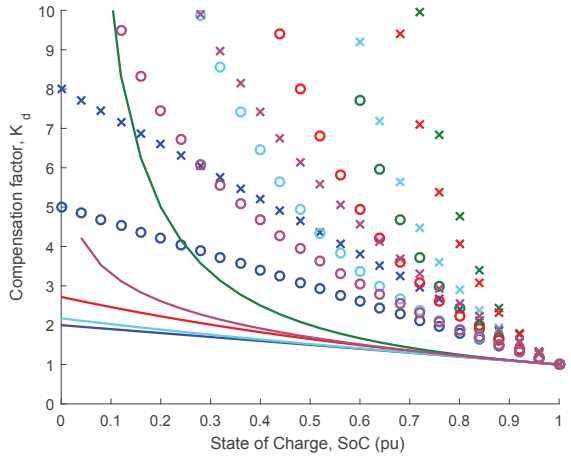


Fig. 3. Compensation factor for different convergence factors p in discharge mode. Linear function is in blue, power is in green, exponential is in red, hyperbolic sine is in cyan and logarithmic is in magenta. Curves with "-" represent $p = 1$, with "o" represent $p = 4$ and "x" represent $p = 7$.

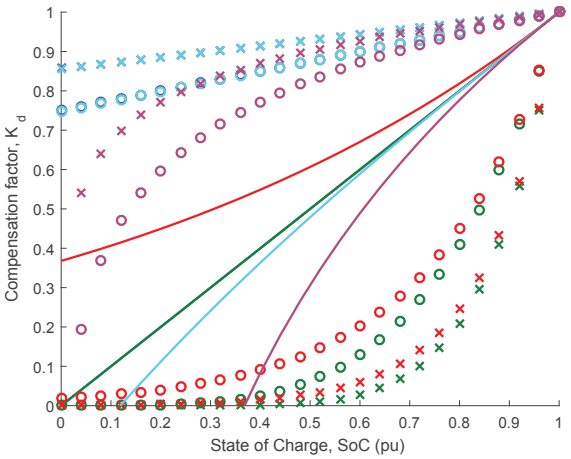


Fig. 4. Compensation factor for convergence factors p in charge mode. Linear function is in blue, power is in green, exponential is in red, hyperbolic sine is in cyan and logarithmic is in magenta. Curves with "-" represent $p = 1$, with "o" represent $p = 4$ and "x" represent $p = 7$

generate different droop surfaces, e.g. Fig. 5 depicts the droop surface for the power function with $p = 4$.

Fig. 5 show that the dc bus voltage will be limited to a maximum variation range, which in this paper was defined as $380V \pm 20V$. The maximum and minimum voltage values for the dc bus can be derived from (4) into (5) and (6) [7].

$$R_d k_d i_o \leq \Delta V_{dc,max} \quad (5)$$

$$R_d k_d i_o \geq \Delta V_{dc,min} \quad (6)$$

where $\Delta V_{dc,max}$ and $\Delta V_{dc,min}$ are the maximum and minimum voltage deviation allowed. The value of k_d is affected by the convergence factor and substantially modifies the voltage deviation at nominal current. Therefore, it is necessary to recalculate the original droop resistance R_0 to keep the

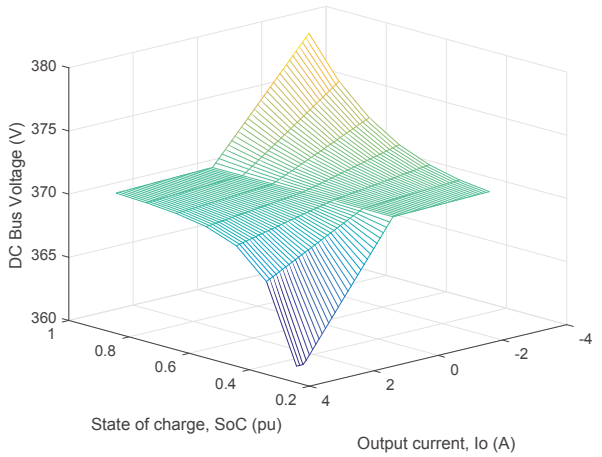


Fig. 5. Droop surface of an ESU using a power DCF and convergence factor $p = 4$.

voltage deviation inside the desired region for all DCFs and convergence factors. Thus, the droop resistance R_d becomes (7) for discharging and (8) for charging mode.

$$R_d = \frac{R_0}{f(SoC_{min}, p)} \tag{7}$$

$$R_d = \frac{R_0}{f(SoC_{max}, p)} \tag{8}$$

The original droop resistance R_0, which is not modified according to the ESU SoC, can be calculate as

$$R_0 = \frac{\Delta V(V_{nom} - \Delta V)}{P_{omax}} \tag{9}$$

where ΔV is the voltage deviation and $P_{o,max}$ is the maximum converter output power.

III. Comparative Study of Droop Compensation Functions to Achieve State of Charge Equalization

The SoC of each ESU can be expressed as [1],[6],[7]

$$SoC_i = SoC_i^{t=0} - \frac{1}{C_{batt_i}} \int i_{o_i} dt \tag{10}$$

where $SoC_i^{t=0}$ is the initial SoC_i, C_{batt_i} is the battery capacity of the i-th ESU and i_{o_i} the output current of the i-th ESU. For two ESUs with equal capacities tied to the microgrid dc bus, the SoC imbalance ($\Delta SoC = SoC_1 - SoC_2$) is expressed as

$$\Delta SoC_i = \Delta SoC_i^{t=0} - \frac{1}{C_{batt}} \int \Delta i_{o_i} dt \tag{11}$$

where $\Delta SoC^{t=0}$ is the initial SoC imbalance, C_{batt} is the battery bank capacity and Δi_o is the output current imbalance ($\Delta i_o = i_{o1} - i_{o2}$). Here it is assumed that each ESU have the same capacity. The circuit in Fig. 6 is used to compare the impact of DCFs and the convergence factor in ΔSoC. It is composed of two ESUs in parallel modeled by a voltage source $V_{o,ESU} = 370V$, with nominal power of 1kW and a

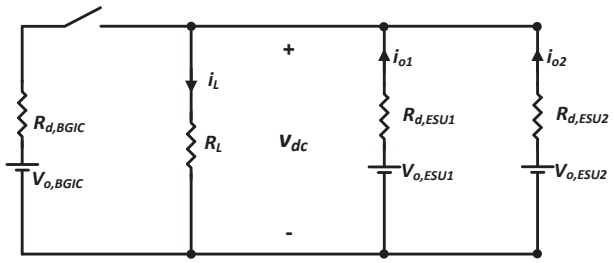


Fig. 6. DC microgrid simplified circuit used to investigate the DCFs and convergence factor influence on SoC equalization.

nominal droop resistance $R_{d,ESU} = 3.6\Omega$. The capacity of the battery bank of each ESUs is $C_{batt} = 115Ah$. The load is modeled using a resistor $R_L = 120\Omega$. A BGIC, represented by voltage source $V_{o,BGIC} = 380V$, with nominal power of 3kW and a nominal droop resistance $R_{d,BGIC} = 1.23\Omega$ is considered connected to the microgrid dc bus only in charging mode for analysis purposes.

A. Discharging operation mode

In discharging mode both ESUs may contribute to supply power to the load. For the circuit in Fig. 6, the output current of each unit is expressed as (12), the equivalent droop resistance $R_{d,ESS}$ of the DESS is calculated with (13) and the dc bus voltage with (14). Substituting (13) and (14) in (12) the current imbalance can be calculated resulting in (15). Finally, the SoC imbalance can be calculated using (15) and (11) according to the DCFs and convergence factors. For discharging mode, $SoC_1^{t=0} = 0.95$ and $SoC_2^{t=0} = 0.7$ were used in simulation.

$$i_{o_i} = \frac{V_{o,ESU}^* - v_{dc}}{R_{df_i}} \tag{12}$$

$$\frac{1}{R_{d,ESS}} \sum_{j=1}^{n} \frac{1}{R_{df_i}} \tag{13}$$

$$v_{dc} = V_{o,ESU}^* \frac{R_L}{R_L + R_{d,ESS}} \tag{14}$$

$$\Delta I_o = \frac{V_{o,ESU}^*[f(SoC_2) - f(SoC_1)])}{R_L[f(SoC_1) + f(SoC_2)] + R_{d,ESU} f(SoC_1) f(SoC_2)]} \tag{15}$$

The SoC_1 and SoC_2 as function of time for $p = 4$ are depicted in Fig. 7. As can be noted all DCFs contribute toward SoC balance, but power and exponential functions exhibit the best results. Fig. 8 shows more clearly the ΔSoC for all DCFs and with $p = 1, 4, 7$. For all DCFs, increasing the convergence factor the SoC equalization speed is also increased. Looking at the output currents imbalance in Fig. 9 and 10, it is possible to understand easily how this equalization is accomplished. Since $SoC_1^{t=0} > SoC_2^{t=0}$, the DCFs increase the initial output current of ESU_1 and decrease of ESU_2 for increasing values of p, causing higher initial output current imbalance. In an extreme scenario, for higher p, ESU_1 would supply almost all the power to the load, whereas ESU_2 would be idle. However, depending on the circumstances, the load power

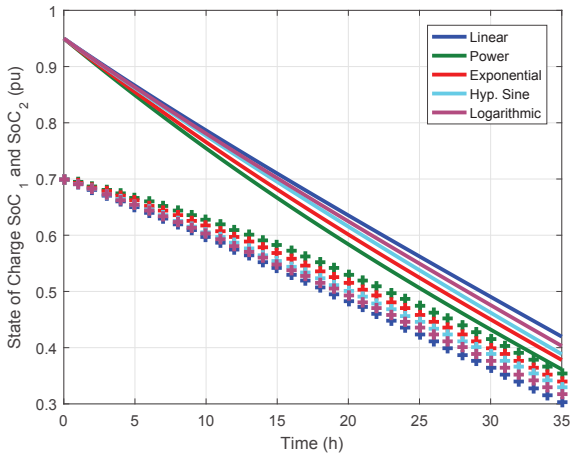


Fig. 7. State of charge SoC_1 and SoC_2 in discharge mode with $p = 4$. The curves with "-" represent SoC_1 and with "+" represent SoC_2.

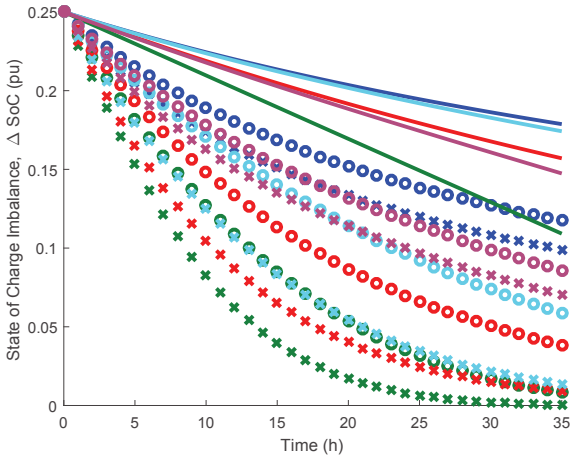


Fig. 8. State of charge imbalance in discharge mode for different DCFs and convergence factors. Linear function is in blue, power is in green, exponential is in red, hyperbolic sine is in cyan and logarithmic is in magenta. Curves with "-" represent $p = 1$, with "o" represent $p = 4$ and "x" represent $p = 7$.

can exceed the output power capacity of a single ESU, which would saturate and be unable to regulate the dc bus voltage. Therefore, the convergence factor must be designed in such a way that saturation of the converters is avoided.

Fig. 11 and 12 show the relative dc bus voltage deviation. Altough the values seems to be small, 2.0% of voltage deviation represents 18.5% of dc microgrid droop voltage deviation. As the SoC of the ESUs decreases while discharging, the compensation factor k_d will increase the droop resistance. Consequently, the $R_{d,ESS}$ will increase and the dc bus voltage tends to decrease as well. For a given discharge period, the design of p needs to take into account keeping the dc bus voltage deviation in a feasible range.

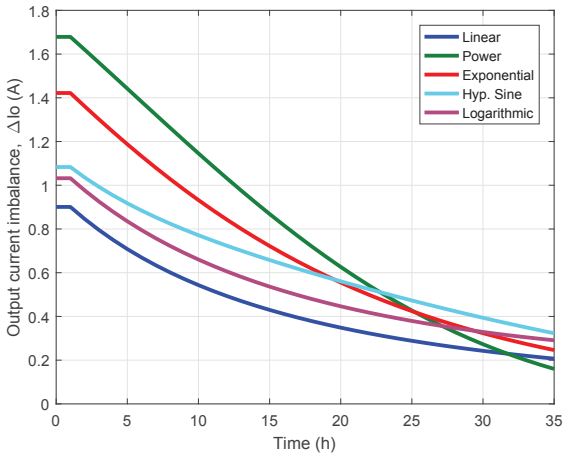


Fig. 9. Output current imbalance in discharge mode with $p = 4$.

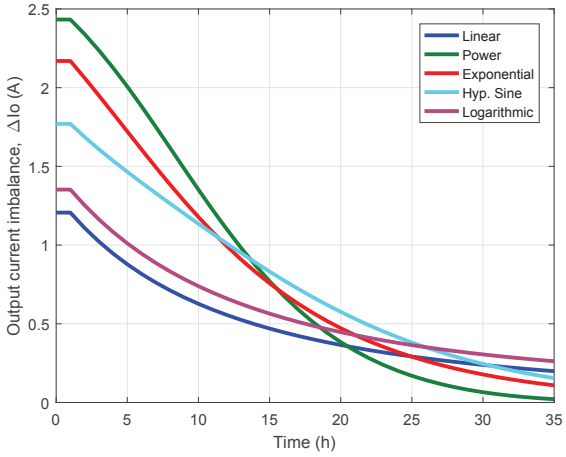


Fig. 10. Output current imbalance in discharge mode with $p = 7$.

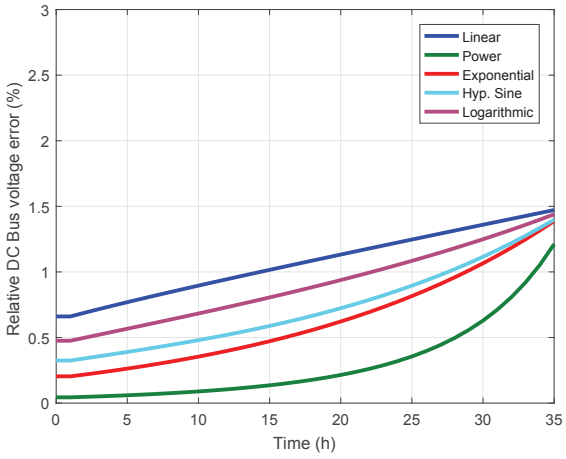


Fig. 11. Relative dc bus deviation in discharge mode with $p = 4$.

B. Charging operation mode

In order to evaluate the charging mode it is considered that the BGIC is connected to the microgrid dc bus, supplies the

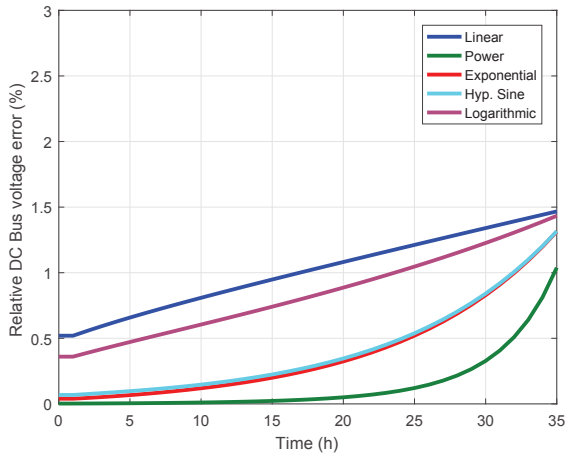


Fig. 12. Relative dc bus deviation in discharge mode with $p = 7$.

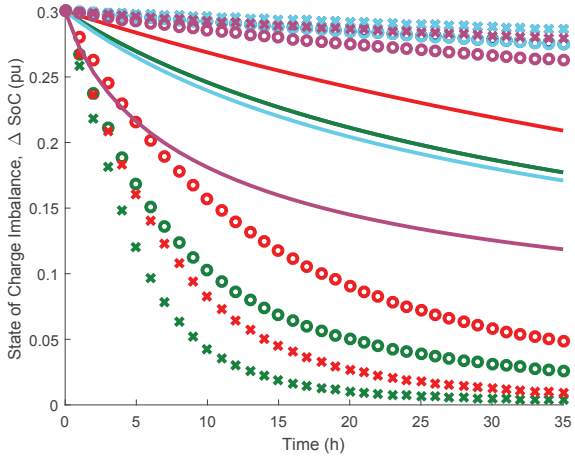


Fig. 13. State of charge imbalance in charge mode for different DCFs and convergence factors. Linear function is in blue, power is in green, exponential is in red, hyperbolic sine is in cyan and logarithmic is in magenta. Curves with "-" represent $p = 1$, with "o" represent $p = 4$ and "x" represent $p = 7$.

load and charges the ESUs. The output current of each ESU and the $R_{d,ESS}$ are calculated using (12) and (13) respectively. For charging mode, it can be shown that the dc bus voltage of the ESUs can be calculated as

$$v_{dc} = \left(\frac{1}{R_L} + \frac{1}{R_{d,BGIC}} + \frac{1}{R_{d,ESS}}\right)^{-1} \cdot \left(\frac{V_{o,BGIC}}{R_{d,BGIC}} + \frac{V_{o,ESU}}{R_{d,ESS}}\right) \tag{16}$$

Manipulating (11), (12), (13) and (16) the ΔI_o and $\Delta SoC(t)$ for charging mode can be calculated. Simulation results for ΔSoC are shown in Fig. 13. In this operation mode all DCFs contribute toward SoC equalization as well, but the power and exponential functions exhibit the best results. For a given time the curves show that increasing p the SoC convergence increases for power and exponential functions, whereas for the other functions the speed is decreased. The best performance of linear, hyperbolic sine and logarithmic functions are achieved with $p = 1$, but they are still worse than the results for power and exponential functions. This behavior is due to the convergence factor signal adopted, as previously detailed.

The output current imbalance in charging mode follows the same principle of the discharging mode. To accelerate SoC equalization a higher initial output current imbalance is required, as depicted in Figs. 14 and 15 for $p = 4$ and $p = 7$ respectively. It can be noted that for low values of p the $\Delta i_o^{t=0}$ is higher for linear, hyperbolic sine and logarithmic functions and for increasing values of p the $\Delta i_o^{t=0}$ also increases.

Figs. 16 and 17 show the relative dc bus voltage deviation for $p = 4$ and $p = 7$ respectively. In both cases linear, hyperbolic sine and logarithmic functions presented higher deviation results when compared with power and exponential functions. For power and exponential functions $p = 7$ presented better results than for $p = 4$.

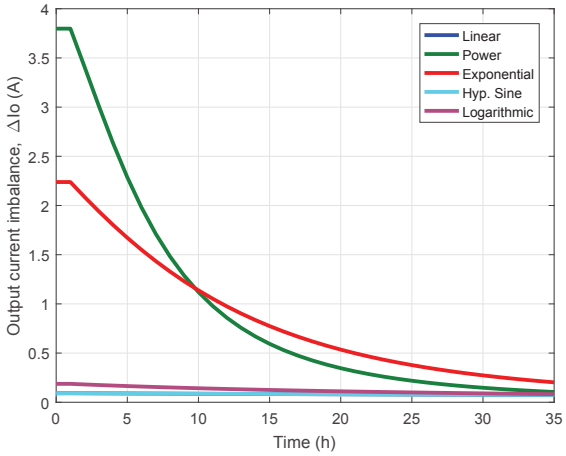


Fig. 14. Output current imbalance in charge mode with $p = 4$.

C. Discharging to charging transition

Fig. 18 shows the SoC curves for 3 ESUs with $SoC_1^{t=0} = 0.95$, $SoC_2^{t=0} = 0.8$ and $SoC_3^{t=0} = 0.7$. At $t = 0$ the microgrid operates in islanded mode. The ESUs operate in discharging mode supplying the total load connected to the microgrid dc bus. At $t = 20h$ the microgrid is tied to the utility grid through the connection of the BGIC, which supplies the load and charges the ESUs. With the convergence factor set to 7, for discharging mode all DCFs contributes toward SoC equalization. Initially, ESUs with more SoC contributes with more power, which can be seen by the slope of the curves. After the BGIC connection the ESUs operate in charging mode and the droop control is capable of maintaining the SoC equalization for power and exponential functions. The SoC equalization were not well achieved for the other functions due to the value of convergence factor used. For linear, hyperbolic sine and logarithmic functions better results in charging mode

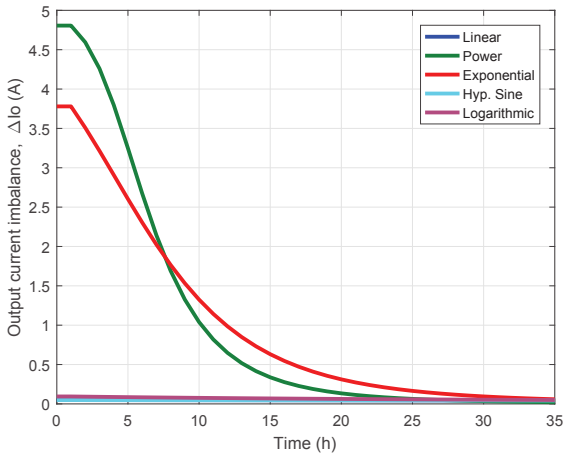


Fig. 15. Output current imbalance in charge mode with $p = 7$.

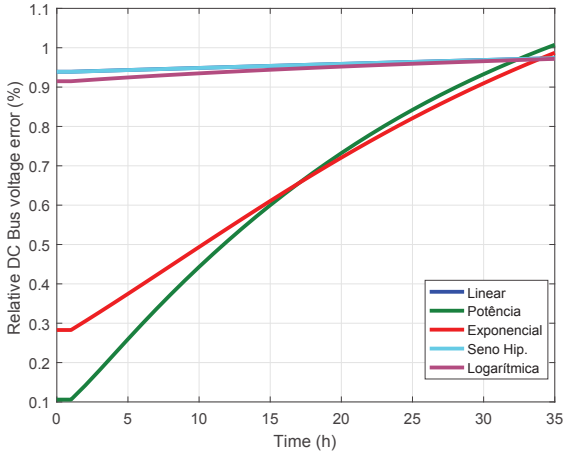


Fig. 16. Relative dc bus deviation in charge mode with $p = 4$.

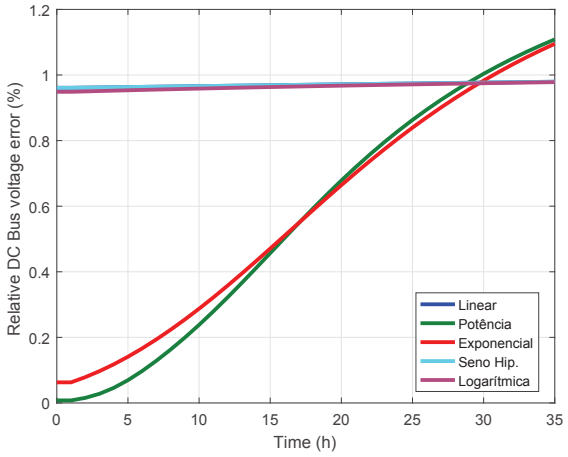


Fig. 17. Relative dc bus deviation in charge mode with $p = 7$.

are achieved only for low values of convergence factor.

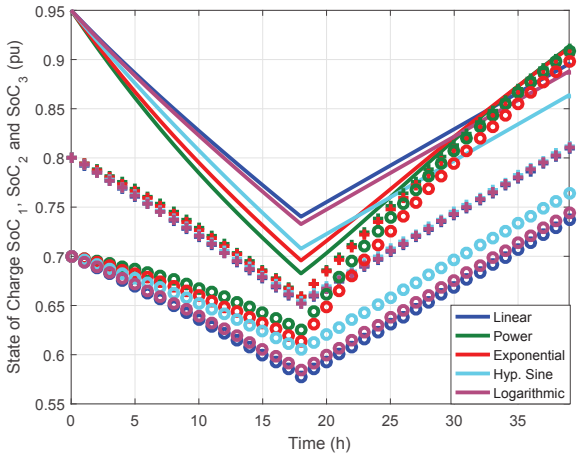


Fig. 18. Discharge to charge transition with p=7. SoC_1 is represented with "-", SoC_2 is represented with "+" and SoC_3 is represented with "o".

IV. Conclusion

A generalization of the adaptive droop coefficient based on SoC of ESUs was developed. Besides traditional power and exponential function, other types of functions were evaluated. All the functions investigated are able to help toward SoC equalization. The power function exhibited the fastest response in terms of speed of equalization for the set of functions and convergence factors considered for both operation modes. The lower values of relative dc bus voltage deviation were also achieved with power function. Therefore, for the set of DCFs considered, this paper showed that the power and exponential functions that have been used in literature are in fact the best choice to use as DCF in droop control to promote SoC equalization. The other functions showed to be slower in discharging mode and little effective in charging mode.

Although speed response is very important, it is not the only parameter that must be investigated. The limits associated with the selection of the convergence factors such as output power of the converters and dc voltage deviation must also be taken into account.

Acknowledgment

This work has been supported by the Brazilian agency CAPES.

References

[1] X. Lu, K. Sun, J. M. Guerrero, J. C. Vasquez and L. Huang, "State-of-Charge Balance Using Adaptive Droop Control for Distributed Energy Storage Systems in DC Microgrid Applications," in *IEEE Transactions on Industrial Electronics*, vol. 61, no. 6, pp. 2804-2815, June 2014.

[2] Zhihong ye, D. Boroyevich, Kun Xing and F. C. Lee, "Design of parallel sources in DC distributed power systems by using gain-scheduling technique," *30th Annual IEEE Power Electronics Specialists Conference*. Record. (Cat. No.99CH36321), Charleston, SC, 1999, pp. 161-165 vol.1.

[3] S. Augustine, M. K. Mishra and N. Lakshminarasamma, "Adaptive Droop Control Strategy for Load Sharing and Circulating Current Minimization in Low-Voltage Standalone DC Microgrid," in *IEEE Transactions on Sustainable Energy*, vol. 6, no. 1, pp. 132-141, Jan. 2015.

[4] U. Nutkani, W. Peng, P. C. Loh and F. Blaabjerg, "Cost-based droop scheme for DC microgrid," *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, Pittsburgh, PA, 2014, pp. 765-769.

[5] C. Gavriluta, J. I. Candela, J. Rocabert, A. Luna and P. Rodriguez, "Adaptive Droop for Control of Multiterminal DC Bus Integrating Energy Storage," in *IEEE Transactions on Power Delivery*, vol. 30, no. 1, pp. 16-24, Feb. 2015.

[6] T. R. Oliveira; W. W. A. G. Silva; P. F. Donoso-Garcia, "Distributed Secondary Level Control for Energy Storage Management in DC Microgrids," in *IEEE Transactions on Smart Grid* ,vol.PP,no.99,pp.1-11.

[7] X. Lu, K. Sun, J. M. Guerrero, J. C. Vasquez and L. Huang, "Double-Quadrant State-of-Charge-Based Droop Control Method for Distributed Energy Storage Systems in Autonomous DC Microgrids," in *IEEE Transactions on Smart Grid*, vol. 6, no. 1, pp. 147-157, Jan. 2015.

[8] T. Ouchi, A. Kanoda and N. Takahashi, "Parallel Bi-directional DC-DC converter for energy storage system," *2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA)*, Hiroshima, 2014, pp. 3920-3927.

Modeling and Control of a Dual Active Bridge for Energy Storage in DC Microgrid Applications

Frederico L. F. Marcelino, Hans H. Sathler
Graduate Program in Electrical Engineering
Federal University of Minas Gerais-Av. Antonio Carlos
6627, 31270-901, Belo Horizonte, MG, Brazil
fredericolferm@.ufmg.br, hanshs@ufmg.br

Thiago R. de Oliveira, Pedro F. Donoso-Garcia
Department of Electronic Engineering
Federal University of Minas Gerais-Av. Antonio Carlos
6627, 31270-901, Belo Horizonte, Brazil
troliveira@cpdee.ufmg.br, pedro@cpdee.ufmg.br

***Abstract*—In the present paper the modeling and control of a Dual Active Bridge (DAB) converter with input and output filters for energy storage systems (ESS) applied to DC microgrids has been described. The small-signal equivalent models are derived from the averaged circuit of the converter. Since the DAB converter with filters exhibit distinct transfer functions for charge and discharge modes, a double loop control and a method for smooth transition have been proposed. Simulations results are presented in order to evaluate the proposed control technique.**

***Keywords*—Dual Active Bridge, dc-dc converter, dc microgrid, energy storage.**

I. Introduction

Microgrids are described as small distribution power systems which employ distributed generation and power management to supply a set of local loads and that can operate connected to or isolated from the utility grid. Lately, they have become an important topic in power electronics and electrical power systems fields, since they can promote greater penetration of renewable resources (RES) to the power grid, reducing the dependency on fossil fuels, and enhance local consumer power quality, since local network dynamics can be decoupled from the utility grid. Moreover, the microgrid paradigm allows the development of local dc distribution, usually associated with residential and commercial buildings, which can substantially increase the energy efficiency of the buildings, since most loads in these environments are intrinsically dc or may operate easily from a dc bus. Therefore, dc microgrids can contribute towards net zero energy buildings.

Renewable resources have a disadvantage of being strongly dependent on climate and environmental conditions and therefore the power generation may vary considerably. Isolated microgrids based on RES may experience instability in case of a mismatch between supply and demand. In order to mitigate this problem and to smooth out energy balance, ESS in microgrids have been considered independently of utility grid connection. Due to the natural dc behavior of the accumulators, batteries and supercapacitors, a dc-dc converter must be used to interface the ESS and the microgrid dc bus.

This work has been supported by the Brazilian agency CAPES.

The energy storage converter must exhibit mainly bidirectional power flow capability and a high conversion rate depending on the voltage levels employed. Many topologies have been proposed to this sort of application with special attention to the DAB converters. A DAB converter consists of two full bridges connected to a high frequency transformer and an auxiliary inductor. Bidirectional power flow can be achieved controlling both bridges to apply phase-shifted square or quasi-square voltage waveforms across the terminals of the transformer, which depend on the modulation techniques. The most simple and traditional modulation scheme is the Phase Shift Modulation (PSM) used in [1]. More elaborated schemes have been developed to improve figures of merit such as zero voltage switching (ZVS) and conduction/switching losses across the entire operation range but at the expense of complexity [2].

Besides the minimum requirements for ESS applications, the DAB converters have advantages over other dc-dc topologies such as high power density, high power efficiency and low number of devices [3], [4], which makes this converter a very attractive candidate to interface an ESS and a microgrid dc bus. On the other hand, a relevant drawback is the high ripple content of the converter input/output currents. To suppress the injected/output current ripples into the microgrid dc bus and ESS, low pass filters are connected to both sides of a DAB converter. The circuit of the proposed converter with filters is shown in Fig. 1.

The control of the converter must take into account the bidirectional power flow according to the microgrid operating point. Since the DAB converter exhibit different transfer functions for charging and discharging modes, one current controller with adaptive parameters or two current controllers with fixed parameters must be used. In this paper two current controllers are employed. The microgrid dc bus and the ESS voltages are also controlled while discharging and charging respectively. Seamless mode transition are achieved with a finite state machine (FSM) based on [5].

This paper is organized as follows: Section II discusses the modeling of the DAB converter. Section III describes the control of the DAB converter. Section IV presents the FSM

978-1-5090-5339-1/17/$31.00 ©2017 IEEE

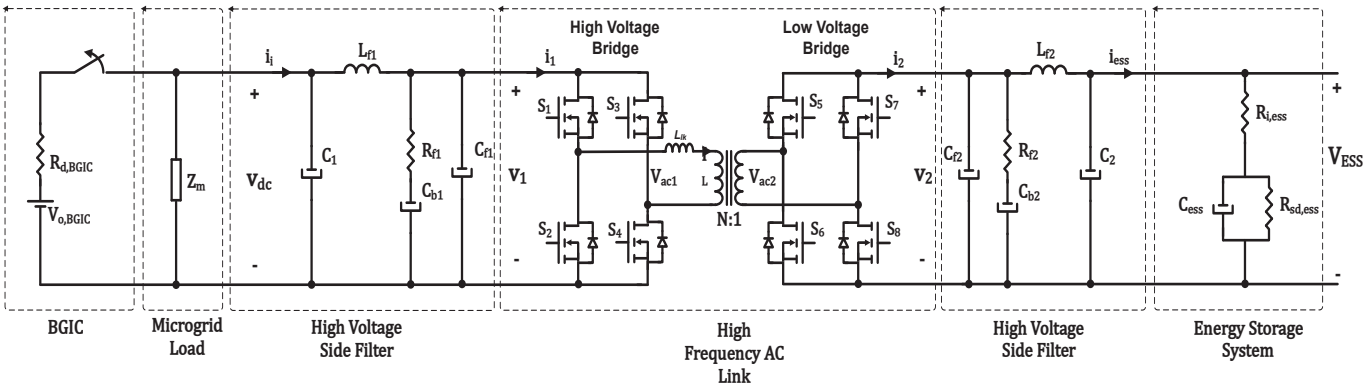


Fig. 1: DC microgrid and DAB converter with proposed filters.

used for smooth transition. Section V presents case studies. Finally, Section VI summarizes the contribution of this work.

II. Small signal model of the Dual Active Bridge

The modeling of the DAB converter has been presented in the literature using different techniques, which can be divided into simplified averaged model, continuous-time model and discrete-time model. In [3],[6],[7] the simplified averaged model is obtained from the input and output average currents, related to each other by the transformer ratio. The small signal model is extracted through conventional perturbation and linearization techniques [8]. In [9] an averaged model that considers conduction and transformer power losses is presented. In [10] the modeling and control of the DAB converter has been achieved with gyrator theory, which resembles the method employed in [3],[6],[7]. A continuous-time averaged model of the DAB converter which uses the dc and first order terms of transformer current and capacitor voltage as state variables is presented in [4]. In [17] employed state-space averaged over onde half cycle to derive the small-signal transfer functions. In [11] an accurate small-signal model discrete time for automotive DAB converter is detailed. The model yields highly accurate results at the expense of more mathematical effort. Discrete-time modeling is also discussed in [12],[13].

This paper uses the averaged model presented in [3],[7]. In this approach, the auxiliary inductor, high frequency transformer and switches are substituted by dependent current sources and the converter is represented by its terminal average currents I_1 and I_2, which are identified in Fig. 1. In fact, neglecting those devices will lead to a model lower accurate than the others. However, a simpler model facilitates the design of the controllers and may serve as the starting point for the design of the converter after defining the microgrid and ESS at system-level.

The terminal average currents can be calculated from the power flow expression for the DAB converter. Considering fixed terminal voltages V_1 and V_2, it has been demonstrated in [14] that the power transferred with PSM can be expressed as

$$P = \frac{NV_1V_2d(1-|d|)}{2L_{lk}f} \quad 0.5 \leq d \leq 0.5 \tag{1}$$

where N is the transformer voltage ratio, V_1 and V_2 are the terminal voltages of the DAB converter, L_{lk} represents the auxiliary inductor plus the transformer leakage inductance, f is the switching frequency and d is the phase shift. The literature also uses the phase shift φ, which is given in radians. The relation between d and φ is $d = \varphi/\pi$. From (1) the average terminal currents are expressed as

$$I_1 = \frac{NV_2d(1-|d|)}{2L_{lk}f} \tag{2}$$

$$I_2 = \frac{NV_1d(1-|d|)}{2L_{lk}f} \tag{3}$$

Perturbing the average currents around an operation point, we need to consider the variables as averaged values plus a small-signal such as: $v_1 = V_1 + \hat{v}_1$, $v_2 = V_2 + \hat{v}_2$ and $d = D + \hat{d}$, where the upper case letters are the dc operating points and the hatted letters are the small-signals variables. As only small-signal behavior is under evaluation, the dc terms are ignored. Assuming that the first order terms will be significantly more predominant than second order terms, the model nonlinearities can be neglected [8]. Therefore, the linearized small-signal model can be described as (4) and (5). The small-signal model equivalent circuit is shown in Fig. 2.

$$\hat{i}_1 = G_{i1d}\hat{d} + G_{i1v2}\hat{v}_2 \tag{4}$$

$$\hat{i}_2 = G_{i2d}\hat{d} + G_{i2v1}\hat{v}_1 \tag{5}$$

where

$$G_{i1d} = \left.\frac{\hat{i}_1}{\hat{d}}\right|_{\hat{v}_2=0} = \frac{NV_2(1-2|D|)}{2L_{lk}f} \tag{6}$$

$$G_{i1v2} = \left.\frac{\hat{i}_1}{\hat{v}_2}\right|_{\hat{d}=0} = \frac{ND(1-|D|)}{2L_{lk}f} \tag{7}$$

$$G_{i2d} = \left.\frac{\hat{i}_2}{\hat{d}}\right|_{\hat{v}_1=0} = \frac{NV_1(1-2|D|)}{2L_{lk}f} \tag{8}$$

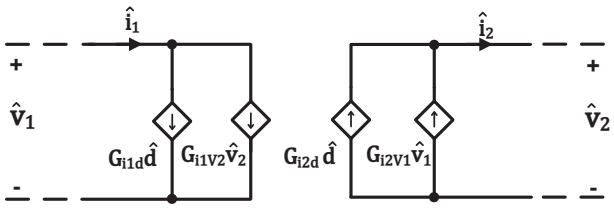


Fig. 2: Dual Active Bridge small-signal model.

Table I: Low-pass filters parameters

Parameters	Values	
	High side filter	***Low side filter***
L_f	$5\mu H$	$0.3\mu H$
C_f	$10\mu F$	$220\mu F$
C_b	$33\mu F$	$660\mu F$
R_f	0.5Ω	0.026Ω

$$G_{i2v1} = \left.\frac{\hat{i}_2}{\hat{v}_1}\right|_{\hat{d}=0} = \frac{ND(1-|D|)}{2L_{lk}f} \tag{9}$$

Since the DAB is a bidirectional converter, the direction of the power flow must be considered when using the small-signal model. According to Fig. 1 and (1)-(2), if the phase shift d is positive the power flow is from V_1 to V_2 and the small-signal model is identical to the circuit shown in Fig. 2. On the other hand, if the power flow is from V_2 to V_1, the directions of all dependent currents of the small-signal model shown in Fig. 2 are reversed, which are particularly important for transfer functions extraction.

The DAB converter input and output currents i_1 and i_2 exhibit high current ripples, which are undesirable from the point of view of the microgrid and the ESS. Thus, input/output LC low-pass filters with a RC parallel damping branches have been used to mitigate current and voltage ripples [8]. Calculations have been done to keep the maximum harmonic currents of i_1 and i_2 at twice the switching frequency equal to approximately one fourth of their nominal values. The design procedure employed is based on [14], but with a RC parallel damping branch. The filter topology is shown in Fig. 1 and the values are listed in Table I.

With the small-signal model and the filter topology we can finally derive the control-to-output transfer functions. The control to ESS current transfer functions for charging and discharging modes G^c_{iessd} and G^d_{iessd} respectively are shown in Fig. 3 and 5 respectively, whereas the control to ESS voltage transfer function for charging G^c_{vod} and the control to microgrid dc bus G^d_{vid} for discharging mode are shown in Fig. 4 and 6 respectively for $D = 0.3$. The parameters used are shown in Table III. For comparison purposes the analytical transfer functions are compared with the transfer functions extracted from the small-signal model, averaged circuit model and complete circuit, which were obtained through ac sweep with PSIM. The Bode plots show that the averaged circuit, small-signal model and the analytical expressions have approximately the same results for magnitude response. The complete

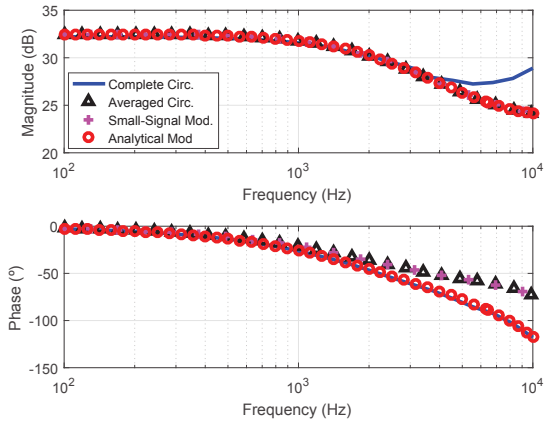


Fig. 3: Frequency response of the control to ESS current G^c_{iessd} transfer function for charging mode. Curve with "-" represent the complete model, "Δ" represent the averaged circuit,"+" represent the small-signal model and "o" represent the analytical model.

circuit presents similar magnitude response until about 4kHz, but deviates from the other after this frequency. The small-signal model phase response is identical to the averaged circuit phase response. The complete circuit exhibit significative phase deviation from the others due to the presence of the modulator and switches. In order to adequately account the phase deviation the analytical expressions must include a time delay transfer function $e^{-s\tau}$.

As shown in (6)-(9), the transfer functions derived from the small-signal model are essentially static gains, which values are highly dependent of the average phase shift D. Fig. 7 shows this dependence for $0 \leq D \leq 0.5$. The parameters used are shown in Table III. As can be seen, the gains can vary significantly according to the power flow of the converter.

III. Control of Dual Active Bridge Converter

This paper considers a DAB converter modulated with PSM to interface an ESS and a droop based microgrid dc bus. When the Bidirectional Grid Interface Converter (BGIC) and/or RES connected to the microgrid supply enough energy to charge the ESS, both current and voltage of the ESS are controlled during the process. On the other hand, if a lack of energy exists the ESS must discharge to supply the remaining power to the load connected to the microgrid dc bus. When discharging, the output current of the ESS and the dc bus are the controlled variables. Therefore, an inner current loop and an outer voltage loop for charge and discharge modes are employed, consisting of a double loop control as shown in Fig. 8. In Fig. 8 G^c_i and G^c_v are the current and voltage controllers for charging mode, respectively; G^d_i and G^d_v are current and voltage controllers for discharging mode, respectively; G^c_1 is the ESS current to ESS voltage transfer function for charging mode; G^d_1 is the ESS current to microgrid dc bus transfer function for discharging

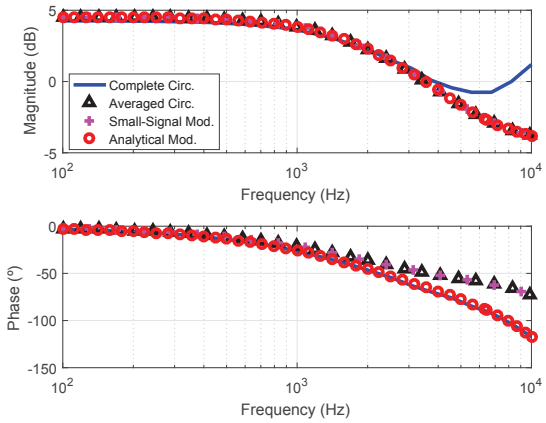


Fig. 4: Frequency response of the control to ESS voltage G^c_{vod} transfer function for charging mode. Curve with "-" represent the complete model, "Δ" represent the averaged circuit, "+" represent the small-signal model and "o" represent the analytical model.

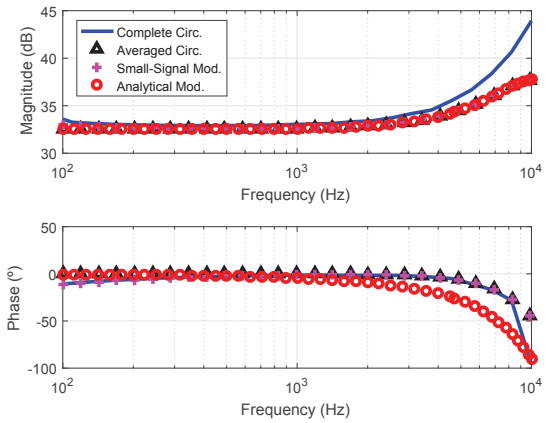


Fig. 5: Frequency response of the control to ESS current G^d_{iessd} transfer function for discharging mode. Curve with "-" represent the complete model, "Δ" represent the averaged circuit, "+" represent the small-signal model and "o" represent the analytical model.

mode; G_{mod} is the modulator gain, R_d is the droop resistance of the DAB converter.

The transfer functions G^c_{iessd} and G^d_{iessd} can be calculated as (10) and (11) respectively, where Z_{Lf2}, Z_{Cf2}, Z_{Cb2} are the low side voltage filter branch impedances, Z_{C2} is the capacitor C_2 impedance and Z_{ess} is the ESS equivalent RC circuit. Since G^c_{iessd} and G^d_{iessd} are different, separate current control have been proposed. The compensated current open loop transfer functions for charging and discharging modes T^c_i and T^d_i respectively, are described as

$$T^c_i = G^c_{iessd} G_{mod} G^c_i \tag{12}$$

$$T^d_i = G^d_{iess} G_{mod} G^d_i \tag{13}$$

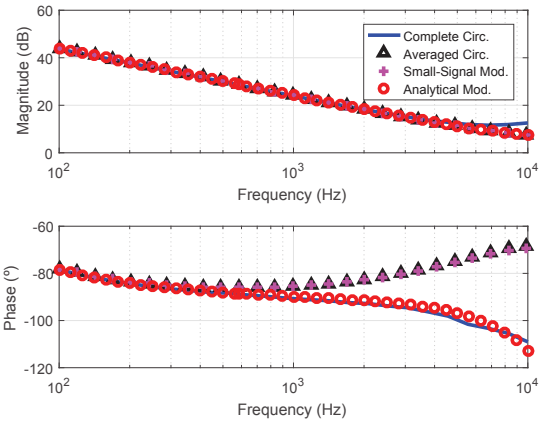


Fig. 6: Frequency response of the control to microgrid dc bus voltage G^d_{vid} transfer function for discharging mode. Curve with "-" represent the complete model, "Δ" represent the averaged circuit, "+" represent the small-signal model and "o" represent the analytical model.

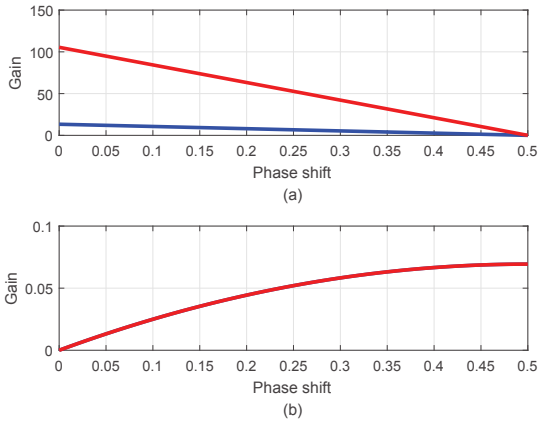


Fig. 7: Small-signal transfer functions variation with phase shift for (a) G_{i1d} in blue and G_{i2d} in red and (b) G_{i1v2} in blue and G_{i2v1} in red.

As the static gains of the small-signal model transfer functions vary with D, the design procedure of the current controller must take this variation into account. For both operation modes the current controllers must guarantee adequate crossover frequency and minimum phase margin across the entire operation range. In this paper PI controllers are proposed for current control and were tuned using the pole placement method with parameters shown in Table II.

The compensated voltage open loop transfer functions for charging and discharging modes T^c_v and T^d_v respectively, are described as

$$T^c_i = G^c_1 I^c_{ess,cl} G^c_v \tag{14}$$

$$T^d_i = G^d_1 I^d_{ess,cl} G^d_v \tag{15}$$

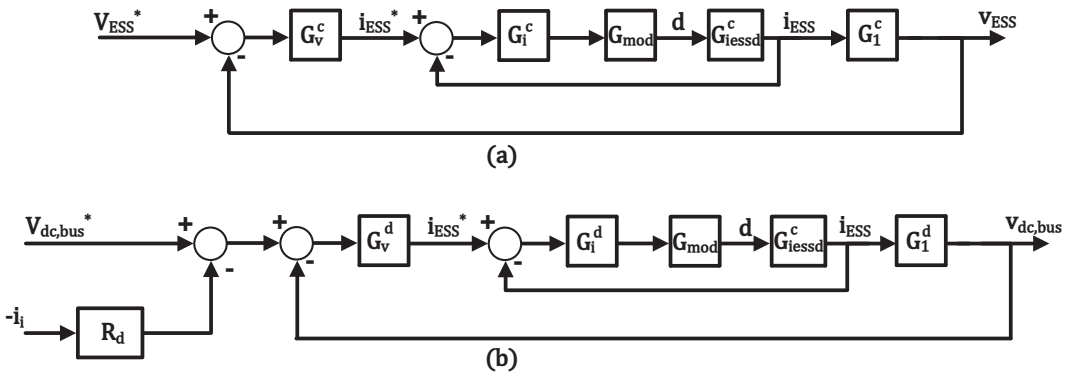


Fig. 8: Dual Acive Bridge converter control block diagram.

$$G^c_{iessd} = \left.\frac{\hat{i}_{ess}}{\hat{d}}\right|_{charge} = G_{i2d} \cdot \frac{Z_{Cf2}//Z_{Cb2}}{Z_{Cf2}//Z_{Cb2} + Z_{Lf2} + Z_{C2}//Z_{ess}} \cdot \frac{Z_{C2}}{Z_{C2} + Z_{ess}} \tag{10}$$

$$G^d_{iessd} = \left.\frac{\hat{i}_{ess}}{\hat{d}}\right|_{discharge} = G_{i2d} \cdot \frac{Z_{Cf2}//Z_{Cb2}}{Z_{Cf2}//Z_{Cb2} + Z_{Lf2}} \tag{11}$$

where $I^c_{ess,cl}$ and $I^d_{ess,cl}$ are the current closed loop transfer functions for discharging and charging mode respectively. The transfer functions G^c_1 and G^d_1 are calculated as (16) and (17) respectively, where Z_m is the microgrid load impedance, Z_{Lf1}, Z_{Cf1}, Z_{Cb1} are the high side voltage filter branch impedances, Z_{C1} is the capacitor C_1 impedance.

$$G^c_1 = Z_{ess} \tag{16}$$

As can be seen in (17) the voltage open loop transfer function in discharge mode may have its static gain varied depending on the power flow. Likewise the method described for the current loop, the voltage controllers must be tuned to ensure converter stable operation for all phase shift allowed values. The parameters of the proposed PI voltage controllers were tuned using the same procedure used for the current controllers and are shown in Table II.

The operation range of the DAB converter is limited to $0 \leq |d| \leq 0.3$, since increasing the phase shift the conduction losses are increased due to the reactive power flow in the transformer [3]. For this range and the controller gains tuned the minimum phase margin and crossover frequency range are shown in Table II for the inner current loops and outer voltage loops. As can be seen, the static gain variations of the small-signal model modify the current loops crossover frequencies. On the other hand, the voltage crossover frequencies were not modified significantly.

The major advantage of the fixed parameters is the ease to tune the gains of the PI controllers. On the other hand, it is not possible to keep the same phase margin and crossover frequency for the entire operation range, since the small-signal transfer functions modify the static gain of the forward path loop according to the phase shift value. This means that the performance of the converter will vary across the operation range. To improve performance, in [15] the proportional gain of the PI controllers used to control the DAB converter is adaptively recalculated at every sampling time. The results showed that the adaptive PI achieved consistent performance across all the operating conditions, but at the expense of more effort in controller design.

Assuming that the low-pass filters suppress sufficiently the harmonic content of the currents no filter has been considered to measure the controlled variables. In addition, for simplification purposes, sensors have been defined with unity gain and therefore provide unity feedback loop. Otherwise, the sensor gains would be inserted in the feedback loop and the forward path transfer functions would vary.

IV. Transition control

Bidirectional control with two control loops is achieved only if an adequate transition is accomplished [5]. Unfortunately most papers about DAB converter lack the power flow transition. In [16] a smooth transition between charging and discharging operation modes was achieved with the use of one current controller and two competitive voltage loops. In this paper a double loop control is employed, thus the technique used in [16] is not applicable. Therefore to switch between charge and discharge modes a FSM based on [5] has been developed. The algorithm detects the microgrid operation point using the dc bus according to the microgrid droop design and defines which control loop must be used. When a transition is detected, the algorithm enters in a special state. Neither control loops are used, but the last phase shift passed as reference to the modulator is sampled and directly increased or decreased to drive the ESS current gradually toward zero. The current rate can be easily adjusted through a designer defined phase shift step value. When the current is near zero and dc bus voltage conditions are satisfied, charging or discharging mode is set and the loop switching is effectively accomplished. To avoid instabilities, voltage and current hysteresis have been

$$G_1^d = Z_m \cdot \frac{Z_{C1}}{Z_{C1} + Z_m} \cdot \frac{Z_{Cf1}//Z_{Cb1}}{Z_{Cf1}//Z_{Cb1} + Z_{Lf1} + Z_{C1}//Z_m} \cdot \frac{G_{i1d}}{G_{i2d}} \frac{Z_{Cf2}//Z_{Cb2} + Z_{Lf2}}{Z_{Cf2}//Z_{Cb2}} \tag{17}$$

Table II: Controller parameters

Mode	Loop	Controller gains	Phase margin	Crossover frequency
Charge	Current	$K_p = 0.0038$ $K_i = 180.95$	$PM > 57°$	$1.1 - 2.3kHz$
	Voltage	$K_i = 300$	$PM > 76.9°$	$1.95Hz$
Discharge	Current	$K_i = 284.59$	$PM > 57°$	$1.95 - 7.7kHz$
	Voltage	$K_p = 0.43$ $K_i = 338.02$	$PM > 76.9°$	$195.7Hz$

Table III: Parameters used in simulation

Symbol	Parameters	
	Description	*Value*
V_1	High side nominal voltage	380V
V_2	Low side nominal voltage	48V
N	Transformer ratio	7.94
L_{lk}	Auxiliary inductance plus transformer leakge inductance	715.42 μH
f	Switching frequency	20kHz
$P_{nom,DAD}$	DAB nominal power	1kW
R_d	DAB droop resistance	3.6Ω
$P_{nom,BGIC}$	BGIC nominal power	3kW
V_{BGIC}	BGIC open circuit voltage	380V
$R_{d,BGIC}$	BGIC droop resistance	1.23Ω
Z_m	Microgrid load	$R = 144.4\Omega$ $C = 1000\mu F$
$R_{i,ess}$	ESS internal resistance	$40m\Omega$
$R_{sd,ess}$	ESS self-discharge resistance	490.34Ω
C_{ess}	ESS stored charge capacitance	$8.75F$
G_{mod}	Phase Shift Modulator gain	1

used for mode detections. Simulations results are carried out to verify the proposed smooth transition control.

V. Simulation Results

The circuit used for simulation is shown in Fig. 1. The ESS was modeled as simplified RC circuit where $R_{i,ess}$ is the ESS internal resistance, $R_{sd,ess}$ is the resistance for self-discharge current and C_{ess} is to represent stored charge with 105Ah of capacity. The BGIC used to connect the microgrid dc bus to the utility grid is modeled as a voltage source V_{BGIC} in series with its droop resistance $R_{d,BGIC}$. The parameters used in simulation are shown in Table III.

Fig. 9 shows the ESS current for charging to discharging and discharging to charging transition. Until 50ms, the DAB converter is operating in charging mode with nominal charge current (11A). At t=50ms, the BGIC is disconnected from the microgrid. The control algorithm detects a charging-discharging transition and the phase shift is linearly decreased to lead ESS current to zero as depicted in Fig. 10a and 11a. When the current is sufficiently small (1A), discharge mode

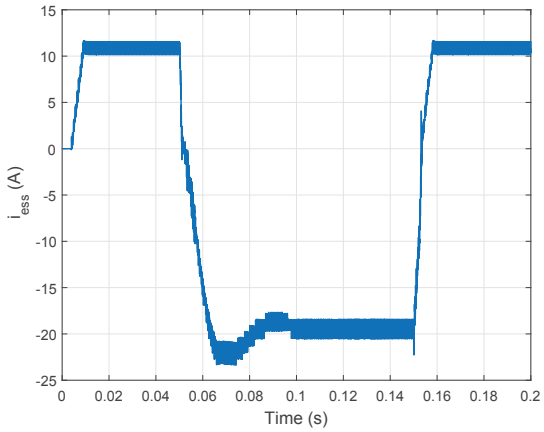


Fig. 9: Energy Storage System current i_{ess} in (a) charging to discharging transition and (b) discharging to charging transition.

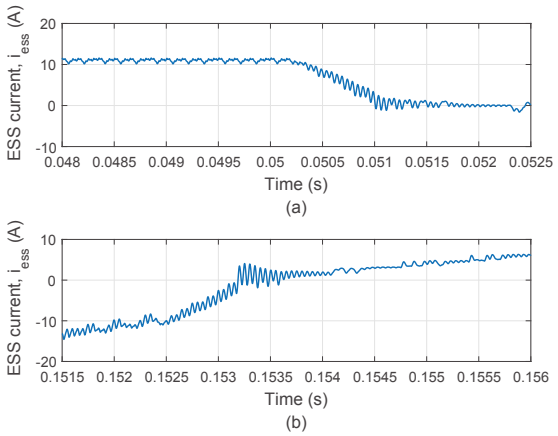


Fig. 10: Detailed Energy Storage System current i_{ess} during transition mode.

is set and ESS current grows negatively down to the nominal discharge value (-22A) to supply the dc bus voltage according to the droop characteristic. At t=150ms, the switch is closed. The algorithm detects a discharge-charge transition and drives the phase shift to increase ESS current toward zero, as shown Fig. 10b and 11b. When the current approaches -1A, charge mode is set and the ESS current rises until the nominal charge current (11A).

The dc bus voltage is shown in Fig. 12. During charge-discharge transition the voltage drops due to the microgrid load and the ESS discharges to control de microgrid dc bus voltage. At t=150ms the BGIC is reconnected and resumes the microgrid dc bus voltage control. Thus, the ESS can operate again in charging mode. In order to mitigate the dc bus voltage

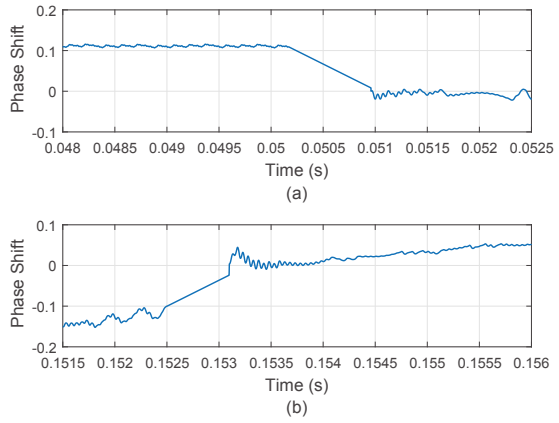


Fig. 11: Phase shift reference in (a) charging to discharging transition and (b) discharging to charging transition with dd/dt=127.7/s.

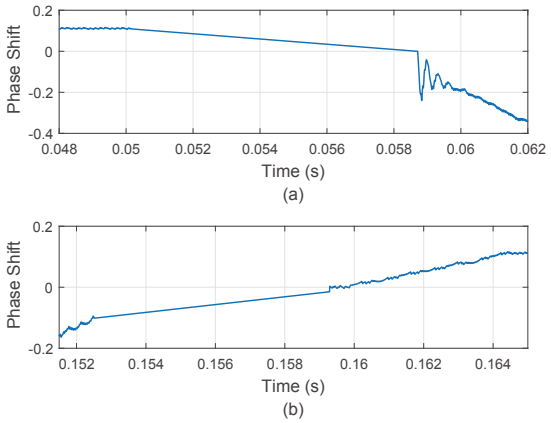


Fig. 13: Phase shift reference in (a) charging-to-discharging transition and (b) discharging to charging transition with dd/dt=12.77/s.

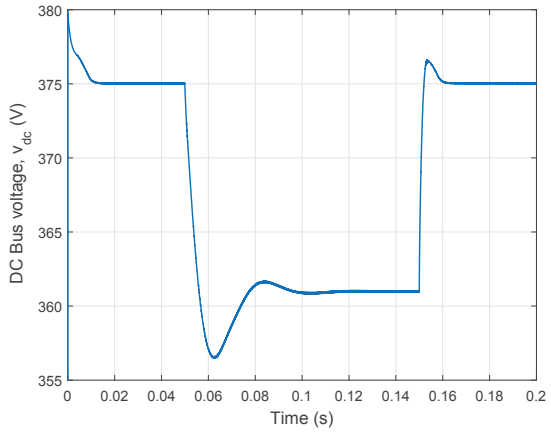


Fig. 12: DC Bus voltage for charging to discharging and discharging to charging transition.

drop during charging to discharging transitions, the capacitor C_1 can be increased.

Fig. 11 and 13 show ESS current for the same microgrid operation conditions but with derivatives of phase shift (dd/dt) of 127.7/s and 12.77/s respectively. At t=50ms the FSM detected a charge-discharge transition. The last phase shift passed by the charging loop is sampled and is used as reference for the DAB converter. The phase shift is reduced step by step until the ESS approximates zero. With dd/dt=12.77/s 8.6ms were necessary to lead to ESS current to zero, whereas with dd/dt=127.7/s approximately 1.0ms passed. Therefore, higher phase shift derivatives lead the ESS current to zero faster. The phase shift derivative is easily adjusted by software and can be used to control the rate ESS current during transition mode.

VI. Conclusion

In this paper the modeling and control of a DAB converter with input/output filters is presented. The small-signal model derived from the averaged DAB converter was employed to state the transfer functions necessary for controlling the converter. Bode plots indicated that the control-to-output transfer functions analytically derived are in accordance with the ones extracted from simulation models. PI controllers with fixed parameters are proposed for the double loop control employed.

A FSM is proposed to control the DAB converter operation modes. When a transition is detected the FSM drives the phase shift applied to the modulator adequately to achieve smooth transition. The rate of the ESS current during transitions can be easily adjusted by software.

Acknowledgment

This work has been supported by the Brazilian agency CAPES.

References

[1] R. W. A. A. De Doncker, D. M. Divan and M. H. Kheraluwala, "A three-phase soft-switched high-power-density DC/DC converter for high-power applications," in *IEEE Transactions on Industry Applications*, vol. 27, no. 1, pp. 63-73, Jan/Feb 1991.

[2] Y. A. Harrye, K. H. Ahmed, G. P. Adam and A. A. Aboushady, "Comprehensive steady state analysis of bidirectional dual active bridge DC/DC converter using triple phase shift control," *2014 IEEE 23rd International Symposium on Industrial Electronics (ISIE)*, Istanbul, 2014, pp. 437-442.

[3] A. Rodriguez Alonso, J. Sebastian, D. G. Lamar, M. M. Hernando and A. Vazquez, "An overall study of a Dual Active Bridge for bidirectional DC/DC conversion," *2010 IEEE Energy Conversion Congress and Exposition*, Atlanta, GA, 2010, pp. 1129-1135.

[4] H. Qin and J. W. Kimball, "Generalized Average Modeling of Dual Active Bridge DCDC Converter," in *IEEE Transactions on Power Electronics*, vol. 27, no. 4, pp. 2078-2084, April 2012.

[5] Saichand, K; Vinod, John. Virtual resistance based control for Ultracapacitor based Bidirectional dc-dc Backup System. Department of Electrical Engineering Indian Institute of Science, Bengaluru, 2015.

[6] H. K. Krishnamurthy and R. Ayyanar, "Building Block Converter Module for Universal (AC-DC, DC-AC, DC-DC) Fully Modular Power Conversion Architecture," *2007 IEEE Power Electronics Specialists Conference*, Orlando, FL, 2007, pp. 483-489.

[7] Guacaneme, J., Garcer, G., Figueres, E., Patrao, I., and Gonzlez-Medina, R. (2015) Dynamic modeling of a dual active bridge DC to DC converter with average current control and load-current feed-forward. Int. J. Circ. Theor. Appl., 43: 13111332.

[8] Erickson, R. W.; Maksimovic, D. Fundamentals of Power Electronics. 2ed. Springer, 2001.

[9] K. Zhang, Z. Shan and J. Jatskevich, "Large- and Small-Signal Average-Value Modeling of Dual-Active-Bridge DCDC Converter Considering Power Losses," in *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1964-1974, March 2017

[10] Martins, W. M. D. S. e D. C. Modelagem e controle dos conversores dab e tab utilizando a teoria do gyrator. In: *XIX Congresso Brasileiro de Automatica*. [S.l.: s.n.], 2012.

[11] F. Krismer and J. W. Kolar, "Accurate small-signal model for an automotive bidirectional Dual Active Bridge converter," *2008 11th Workshop on Control and Modeling for Power Electronics*, Zurich, 2008, pp. 1-10.

[12] Ling Shi, Wanjun Lei, Jun Huang, Zhuoqiang Li, Yao Cui and Yue Wang, "Full discrete-time modeling and stability analysis of the digital controlled dual active bridge converter," *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Hefei, 2016, pp. 3813-3817.

[13] D. Costinett, R. Zane and D. Maksimovi, "Discrete-time small-signal modeling of a 1 MHz efficiency-optimized dual active bridge converter with varying load," *2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Kyoto, 2012, pp. 1-7.

[14] Krismer, F. Modeling and optimization of bidirectional dual active bridge DC-DC converter topologies. Thesis, Swiss Federal Institute of Technology, 2010.

[15] Segaran, Dinesh Sekhar. Dynamic Modelling and Control of Dual Active Bridge Bi-Directional DC-DC Converters for Smart Grid Applications. Thesis, Royal Melbourne Institute of Technology University, 2006.

[16] W. W. A. G. Silva, P. F. Donoso-Garcia, S. I. Seleme, T. R. Oliveira, C. H. G. Santos and A. S. Bolzon, "Study of the application of bidirectional dual active bridge converters in dc nanogrid energy storage systems," *2013 Brazilian Power Electronics Conference*, Gramado, 2013, pp. 609-614.

[17] G. D. Demetriades and H. P. Nee, "Dynamic modeling of the Dual-Active Bridge topology for high-power applications," 2008 IEEE Power Electronics Specialists Conference, Rhodes, 2008, pp. 457-464.

Improvement of the Modified Opposition Method used for accurate switching energy estimation of WBG transistors

Hans Sathler
IRT Saint-Exupéry
Toulouse, France
hans.hoffmann@irt-saintexupery.com

Bernardo Cougo
IRT Saint-Exupéry
Toulouse, France
bernardo.cogo@irt-saintexupery.com

***Abstract*—This paper describes an improvement of the Modified Opposition Method used to precisely estimate switching losses of SiC and GaN transistors, in order to accurately design power converters. This method estimates separately turn-off and turn-on energies, by two different operation modes. The aim of this work is to improve accuracy of switching energy estimation by considering meticulously losses on the inductor, board paths and connection resistances. The proposed switching loss measurement method improvement is explained and experimental results on a Silicon Carbide MOSFET verify its operation and accuracy compared to datasheet information.**

Keywords—SiC Mosfet; switching energy; Modified Opposition Method; Loss measurement;

I. INTRODUCTION

More and more power electronics is being used in aerospace applications with the aim of increasing system efficiency and consequently saving system weight and reducing CO_2 emissions. Power converter weight is mainly composed by the filters and the cooling system [1]. Therefore, weight saving can be achieved by increasing switching frequency with the commitment to keep switching losses as low as possible. Thus, the use of high performance switches made of Wide Bandgap (WBG) materials, such as SiC or GaN, is an interesting solution. Unfortunately, these components have few data provided on their datasheets, and, in many cases, loss calculation using this data is very far from measurements in real converters using these components.

For the reasons mentioned above, it is necessary to study methods to precisely determine switching energies of WBG semiconductors. The most common technique to measure these loss characteristics is called the Double Pulse Method (DPM). Recently a more accurate technique, called Modified Opposition Method (MOM) was introduced as a non -intrusive technique for WBG semiconductors [2], especially for those where the transistor current cannot be measured. Characteristics of each method will be superficially developed in Chapter II. The main objective of this work, described on Chapter III, is to improve the accuracy of switching loss calculation based on MOM presented on [2], by considering meticulously losses on the board paths and connection resistances. The experimental setup, measurements and analysis are presented on Chapter IV followed by the conclusions.

II. DPM X MOM

DPM is the most common method used to measure switching losses [3][4], where the transistor to be measured is inserted in a simple buck converter with a simple inductor load. As discussed in [2][5], this method has serious drawbacks, especially when WBG transistors are considered, such as:

a) When the transistor is turned on, its parasitic capacitance is discharged through the transistor channel. The discharge current is not measured by the current sensor used to measure the transistor current during turn-on and as a consequence the calculated switching energy may be inaccurate. Also, when the transistor is turned off, its parasitic capacitance is charged. The charge current is measured by the current sensor, but this energy is not lost during turn-off.

b) In order to measure the current of a transistor, either a shunt resistor or a current transformer can be used. Both solutions change the resistance and inductance of the power loop. This changes the switching behavior of the transistor under test.

c) Usually a schottky diode is used to perform DPM tests and practically no reverse recovery loss of the diode is measured during turn-on of the transistor. However, many converters made with WBG transistors have no Schottky diode and thus use the internal “body diode” to conduct the load current during dead-time. Body diodes may have significant reverse recovery losses which can only be measured if another transistor is inserted in the commutation cell instead of the schottky diode.

The MOM presented in detail in [2] and discussed in [5] [6], object of study in this paper, includes losses due to the parasitic capacitance discharge. It is applied to transistors placed in a PCB with the same conditions as in the converter where the transistors will be used: same gate driver, same gate and commutation loops and same parasitic inductances and capacitances. Basically, this method is divided in two operation modes with the intent to measure turn-off and turn-on energies separately, by using a full bridge converter with four identical transistors and an inductor

L connected between both legs. In the first mode, an AC current with trapezoidal waveform is imposed through inductor, and only turn-off losses will be present. During the second mode, a DC current is imposed causing both turn-off and turn-on losses. With the turn-off losses measured during the first mode, it is possible to deduct this part from the second mode measurements and determine turn-on losses.

III. IMPROVEMENT OF MOM

In order to show the increase of accuracy on calculation of switching losses in the MOM, let's consider a 4-layer PCB with 70µm-thick copper with four SiC MOSFETs C2M0025120D (1200V/90A) from Wolfspeed and DC bus voltage of 540V. These 4 transistors are arranged in two commutation cells and the drivers for each transistor use isolated sources where the negative and positive voltage levels can be adjusted. This is important since different switches to be tested may tolerate different gate-source voltages. The developed board is shown in Fig. 1.

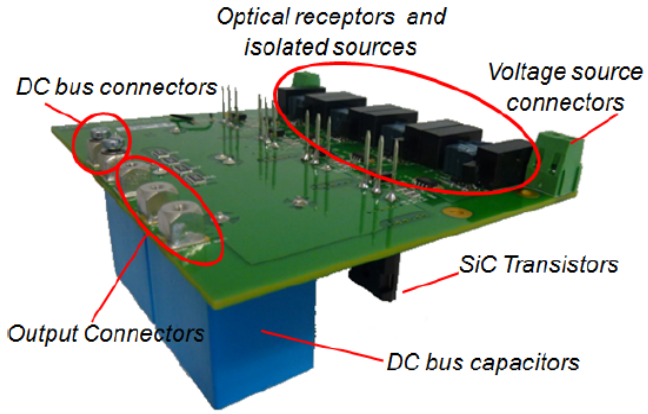


Fig. 1. Four-layer PCB with 70µm-thick copper used to perform MOM test in full-bridge converter with SiC MOSFETS in TO-247 packaging..

To increase accuracy in the semiconductor power loss measurement, the electronic board and inductor losses must be considered. Otherwise, semiconductor loss measurements will be overestimated, leading to oversize cooling system of converters made with these components and consequently the converter weight. For an accurate switching energy estimation, the losses that must be considered in the system are: A) DC bus capacitor losses, B) Transistor conduction losses, C) Electronic board losses and D) Inductor Losses. The focus of this work is to describe a precise methodology to estimate losses in C) and D) regarding the current waveform for AC current mode and DC current mode of the MOM, used to estimate E_{OFF} and E_{ON} respectively.

A. DC bus capacitor losses

Losses in the DC bus capacitors are divided in two parts: ESR (that will be addressed in Section III) and the resistors (4x39kΩ in series) in parallel with bus capacitor. These resistors are placed to balance voltage between the 2 series-connected capacitors and to discharge them when converter is off. To measure these losses, the main voltage (540 VDC) is imposed on DC bus connectors and all switches are blocked. Therefore, the input current corresponds exclusively the one drained by these resistors, leading to losses of 1.9W.

B. Transistor conduction losses

Conduction losses of all transistors can be calculated according to the measured inductor current and datasheets curves (V_{DS} x I_{DS}). It was also considered the dependence of the transistors resistance with the temperature according to the curve $R_{DS\text{-}on}$ x *Tj* (Junction Temperature) presented on the datasheet. The temperature measurement considered only the plastic case temperature and according to the thermal resistances of the transistor, the junction temperature was estimated to calculate the respective $R_{DS\text{-}on}$.

C. Electronic Board Losses

Board losses are basically due to the connection resistances, which can be measured by considering all possible current paths during operation in both modes. For the present application, according to board shown in Fig. 1, all possible paths are represented by resistances in Fig. 2.

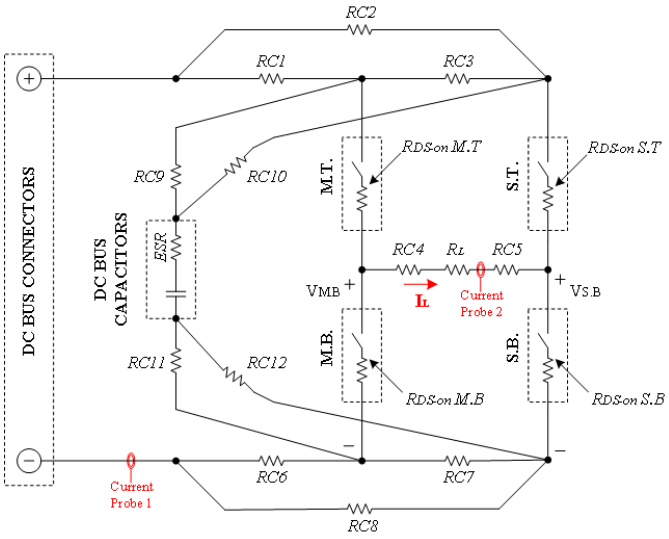


Fig. 2. Path and connection resistances of the board used to perform the tests.

M.T., M.B., S.T. and S.B. represent the transistors that comprises the full bridge. The ESR for the B32676G capacitor of 20µF and 450V used in the main board presents an almost constant value of 3.3mΩ from 10 kHz until 100 kHz. As the board contains two capacitors in series, ESR considered is 6.6mΩ. The other resistances represent connections and resistances of copper tracks in the electronic board.

The procedure used to measure the resistances in Fig. 2 consisted in imposing a current of 1A by the DC bus power supply with different switches positions, leading to all possible paths. With a Voltmeter, all voltages between paths were measured and then the resistances were calculated. To impose 1A in *RC3*, for example, the current source was connected in parallel with M.T. and S.T. drain terminal and both switches were turned on while the complementary switches were turned off. The same process was used to calculate *RC7*, but with the switches in opposite conditions (M.B. and S.B. on and current source applied to their source terminals). This procedure was performed to 3 different gate-source voltages V_{GS} (16V, 20V and

24V) to measure the transistors different values of $R_{DS\text{-}on}$ and it is presented on Table I. These values were used to determine switching energies for different V_{GS}.

TABLE I. MEASURED CURRENT PATHS AND CONNECTION RESISTANCES

T= 22°C ***V_{GS} (-) = -5V*** ***r_g = 10Ω***	**Table Column Head Board resistances (mΩ)**		
	V_{GS} (+) = 16V	***V_{GS} (+) = 20V***	***V_{GS} (+) = 24V***
RC1	#	5.0	#
RC2	#	4.0	#
RC3	#	2.9	#
RC4	#	2.8	#
RC5	#	3.1	#
RC6	#	5.0	#
RC7	#	3.9	#
RC8	#	3.9	#
RC9	#	1.9	#
RC10	#	1.0	#
RC11	#	1.3	#
RC12	#	1.5	#
R_L	#	4.6	#
$R_{DS\text{-}on(Average)}$	28.87	26.05	24.35

Current inside the board will take different paths in different modes of MOM, thus it is necessary to separate the losses for the each one of these operations modes.

i) Board Losses during AC current mode (E_{OFF} measurement)

According to the MOM, during E_{OFF} measurement mode, a duty cycle of 0.5 is imposed in each leg and a phase-shift of φ (in radians) between voltages in the output of each leg, as shown in Fig. 3. Consequently, the current in the inductor has a trapezoidal shape and for each time interval shown in Fig. 3, the current will pass through a different path according to Table II.

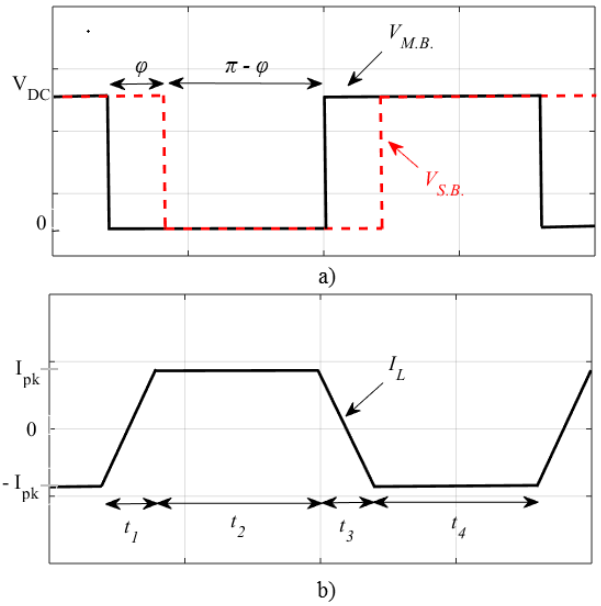


Fig. 3. a) Output voltage of both legs (duty cycle of 0.5 and phase shift of φ); and b) output inductor current at AC current mode.

TABLE II. CURRENT PATH RESISTANCES FOR THE AC MODE OF THE OPPOSITION METHOD

Current Path				
	t_1	***t_2***	***t_3***	***t_4***
M.T.	$R_{DS\text{-}on}$ M.T.	$R_{DS\text{-}on}$ M.T.	~~$R_{DS\text{-}on}$ M.T.~~	~~$R_{DS\text{-}on}$ M.T.~~
M.B.	~~$R_{DS\text{-}on}$ M.B.~~	~~$R_{DS\text{-}on}$ M.B.~~	$R_{DS\text{-}on}$ M.B.	$R_{DS\text{-}on}$ M.B.
S.T.	~~$R_{DS\text{-}on}$ S.T.~~	$R_{DS\text{-}on}$ S.T.	$R_{DS\text{-}on}$ S.T.	~~$R_{DS\text{-}on}$ S.T.~~
S.B.	$R_{DS\text{-}on}$ S.B.	~~$R_{DS\text{-}on}$ S.B.~~	~~$R_{DS\text{-}on}$ S.B.~~	$R_{DS\text{-}on}$ S.B.
	RC4	*RC4*	*RC4*	*RC4*
	RL	*RL*	*RL*	*RL*
	RC5	*RC5*	*RC5*	*RC5*
	RC9	*RC3*	*RC10*	*RC7*
	RC11		*RC12*	
	ESR		*ESR*	

As shown in Table II, in all paths (t_1, t_2, t_3, t_4), current flows through some switches and also thought *RC4*, R_L and *RC5*, which means that losses on these resistances can be calculated considering the RMS value of the trapezoidal current shown by (1), considering a phase-shift (φ) between voltages of each leg of the converter. This current value is also used to calculate conduction losses on the transistors, since during all periods it exists two transistors conducting. By considering that transistors are identical, the average value of measured $R_{DS\text{-}on}$ is used as presented in Table I.

$$I_{0-RMS} = I_{pk}\sqrt{1-\frac{2\varphi}{3\pi}} \quad (1)$$

To calculate losses on the other resistances for each path, it is necessary to divide the trapezoidal current in two components that represents the waveform as presented on Fig. 4. As the duty cycles are 0.5 for both legs, $t_1 = t_3 = \varphi$ and $t_2 = t_4 = \pi\text{-}\varphi$. Therefore, for the sake of simplification, during t_2 and t_4, resistances *RC3* and *RC7* can be replaced by the average value between them. The RMS current value of the curve on Fig. 4-b (considered as path 2), will generate the same losses as if it was calculated by each resistance in the respective period. The same idea can be applied for the paths during t_1 and t_3, considering the average value of the pairs *RC9* - *RC10* and *RC11* - *RC12* for the current waveform on Fig. 4-a, named as path 1.

Therefore, losses in the copper tracks of the board for path 1 can be calculated using the RMS current of the waveform on Fig. 4-a shown in (2).

$$I_{1-RMS} = \sqrt{\frac{1}{T}\int_0^T i(t)^2 dt} \quad (2)$$

Since during t_1 and t_3 the current in path 1 has a slope of

$$i(t) = \pm mt = \pm\frac{2I_{pk}}{\varphi}t, \quad (3)$$

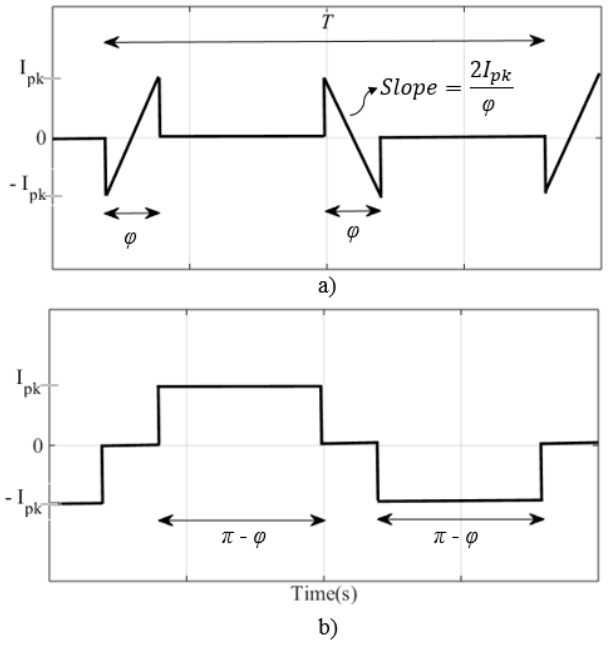


Fig. 4. Current waveforms components flowing through a) *ESR* (Path 1) and b) *RC3* and *RC7* (Path 2), for AC current mode.

The RMS current in path 1 $I_{1\text{- }RMS}$ is calculated as shown in (4).

$$I_{1-RMS} = I_{pk}\sqrt{\frac{\varphi}{3\pi}} \tag{4}$$

Losses of path 2 $I_{2\text{- }RMS}$ are calculated considering the RMS value of the current waveform shown in Fig. 4-b from (5).

$$I_{2-RMS} = \sqrt{\frac{1}{\pi}\int_0^{\pi-\varphi} I_{pk}^2 dt} = I_{pk}\sqrt{\frac{\pi-\varphi}{\pi}} \tag{5}$$

Thereby, total losses $P_{TOT\text{-}AC}$ during the AC current mode is shown in (6), where P_B represents path and connection losses added to the transistors conduction losses and can be estimated by (7) and P_L represents inductor losses that will be presented in Section *D*. Since R_L resistance presents some particularities regarding frequency and thermal effects that makes the inductor loss calculation non-trivial.

$$P_{TOT-AC} = P_B + P_L \tag{6}$$

$$P_B = P_R + (R_A + 2R_{DS-on}){I_{0-RMS}}^2 + R_B{I_{1-RMS}}^2 + R_C{I_{2-RMS}}^2 \tag{7}$$

Where,

P_R represents the losses of the resistors in parallel with the DC bus capacitors (1.9W in our circuit);

$R_A = RC4 + RC5 = 5.9\text{m}\Omega$;

$R_B = ESR$ added with the average value of the pairs *RC9-RC10* and *RC11-RC12* (9.45mΩ);

R_C is the average value between *RC3* and *RC7* (3.4mΩ).

ii) *Board losses during DC current mode (E_{TOT} measurement)*

For the second part of the modified opposition method, when the total switching energy E_{TOT} is measured, the difference between duty cycles of both legs imposes a DC current (I_{mean}) through the inductor, which simplifies the analysis, as shown in Fig.5. Time intervals shown in this picture relates also to the current path, which is dictated by the switches positions as presented in Table III.

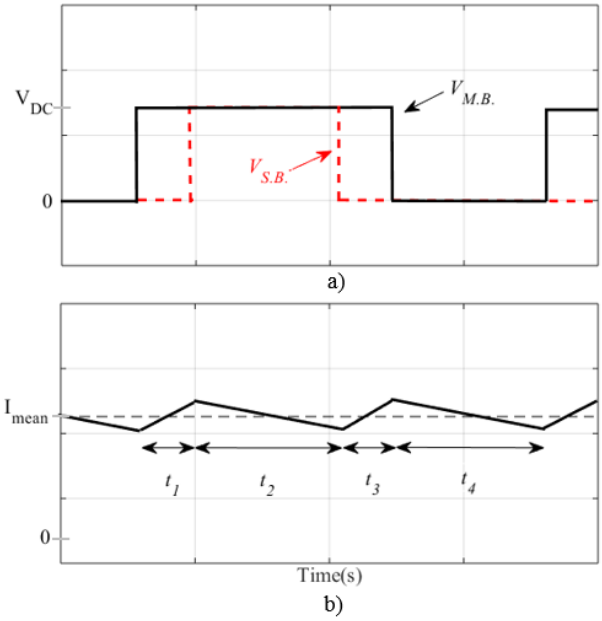


Fig. 5. a) Output voltage of both legs (slightly different duty cycle and phase shift of *zero*); and b) output inductor current at DC current mode.

TABLE III. CURRENT PATH RESISTANCES FOR THE DC MODE OF THE MODIFIED OPPOSITION METHOD

	Current Path			
	t1	***t2***	***t3***	***t4***
M.T.	$R_{DS\text{-}on}$ *M.T.*	$R_{DS\text{-}on}$ *M.T.*	$R_{DS\text{-}on}$ *M.T.*	~~$R_{DS\text{-}on}$ *M.T.*~~
M.B.	~~$R_{DS\text{-}on}$ *M.B.*~~	~~$R_{DS\text{-}on}$ *M.B.*~~	~~$R_{DS\text{-}on}$ *M.B.*~~	$R_{DS\text{-}on}$ *M.B.*
S.T.	~~$R_{DS\text{-}on}$ *S.T.*~~	$R_{DS\text{-}on}$ *S.T.*	~~$R_{DS\text{-}on}$ *S.T.*~~	~~$R_{DS\text{-}on}$ *S.T.*~~
S.B.	$R_{DS\text{-}on}$ *S.B.*	~~$R_{DS\text{-}on}$ *S.B.*~~	$R_{DS\text{-}on}$ *S.B.*	$R_{DS\text{-}on}$ *S.B.*
	RC4	*RC4*	*RC4*	*RC4*
	RL	*RL*	*RL*	*RL*
	RC5	*RC5*	*RC5*	*RC5*
	RC9	*RC3*	*RC9*	*RC7*
	RC11		*RC11*	
	ESR		*ESR*	

Since duty cycle of both legs are almost the same, time intervals t_1 and t_3 are quite insignificant compared to t_2 and t_4 during this new current condition. Thus, losses during t_1 and t_3 intervals are negligible and the computed losses are given just

during t_2 and t_4. Total losses $P_{TOT\text{-}DC}$ for the DC current mode are calculated according to (8) considering the average value of the inductor current I_{mean}. In this case, losses in the inductor (P_L) can be estimated directly with the DC resistance, since inductor current is practically continuous (negligible ripple).

$$P_{TOT-DC} = P_R + (R_C + 2R_{DS-on}){I_{mean}}^2 + P_{L-DC} \quad (8)$$

For each mode, considering total losses measured with the test setup and removing respective losses described in (6) and (8), only the transistors losses will be left. Using the measured values of $R_{DS\text{-}on}$ of all transistors and the variation of $R_{DS\text{-}on}$ with junction temperature given in component's datasheet, it is possible to compute conduction losses. Subtracting this amount from total losses will result in switching losses for each operation mode.

D. Inductor Losses

Usually inductor losses are divided in core and copper losses. However, a coreless inductor is sufficient to achieve inductance values used in the MOM, and it simplifies loss calculation. A coreless inductor of 10µH made with Litz wire was considered to perform the tests and its losses are related basically with the temperature effect and non-sinusoidal currents flowing through it.

Regarding thermal effect, the copper resistivity variation with the temperature is a well-known behavior, which can be described by the temperature coefficient 3.9mΩ/°C and a known resistance value for one specific temperature. Assuming that the value of the resistance R_{T1} is known for temperature T_1, the resistance R_{T2} at temperature T_2 is calculated according:

$$R_{T2} = R_{T1}[1 + 0.0039(T_2 - T_1)] \quad (9)$$

As stated in (9), a temperature correction of the inductor resistance can be calculated to precisely determine its losses consistent with the test conditions. The resistance of the used inductor was 4.6mΩ measured at 25°C.

Basically, power losses dissipated on the inductor winding, with non-sinusoidal currents, is estimated by the losses due to the continuous current portion added with to the algebraic sum of the ohmic losses related to each current harmonic n, presented in (10).

$$P_L = R_{dc} i_{dc}^2 + \frac{1}{2}\sum_{n=1}^{\infty} R_{ac_n} i_{ac_n}^2 \quad (10)$$

R_{dc} is the winding resistance at zero frequency (no frequency effect) and i_{dc} the average current value flowing through this winding. R_{acn} and i_{acn} are, respectively, the winding resistance at frequency of the n^{th} harmonic and the amplitude of the n^{th} harmonic of the current.

According to the first part of the MOM, a trapezoidal current waveform is imposed through the inductor, which implies in i_{dc} = 0 and the losses in the inductor can be calculated by just the second part of (10). In the second part of the test (DC current mode), the current is essentially continuous, then inductor losses can be easily calculated by (11).

$$P_L = R_{dc} I_{mean}^2 \quad (11)$$

Due to the trapezoidal current shape on the first part of the MOM (AC current mode), efforts are centered in determining the values of R_{acn} and i_{acn}. Resistances values at each harmonic frequency R_{acn} for the inductor used on the tests were estimated by using a finite element software at 25°C. With these information is possible to determine the ratio R_{acn}/R_{dc} and evaluate the change of R_{acn} with the temperature according to (10).

By using Fourier series for a symmetrical trapezoidal waveform with amplitude I_{pk} and period T, the amplitude of each harmonic n is calculated considering each term of (12).

$$I_{trap} = \sum_{n=1}^{\infty}\left(\frac{4I_{pk}}{n\pi}\sin\left(\frac{n\pi}{2}\right)\frac{\sin\left(n\pi\frac{2t_r}{T}\right)}{n\pi\frac{2t_r}{T}}\cos(n\omega t)\right) \quad (12)$$

Where ω is the angular frequency of the waveform and t_r is time between the current reaches its peak value from zero, which can be described from Fig. 3 and in relation with φ , as:

$$t_r = \frac{\varphi T}{4\pi} \quad (13)$$

Only the peak value is necessary to calculate conduction losses, then, by using (12) with $\cos(n\omega t) = 1$ and (13), each harmonic current amplitude is calculated as (14).

$$I_{pk}(n) = \frac{4I_{pk}}{n\pi}\sin\left(\frac{n\pi}{2}\right)\frac{\sin\left(n\frac{\varphi}{2}\right)}{n\frac{\varphi}{2}} \quad (14)$$

The harmonic amplitude (normalized to the fundamental frequency) of (13) is presented in Fig. 6 for different values of phase shift φ. As the trapezoidal shape is close to the square shape when φ tends to zero, the odds harmonics are more significant. In this situation, the energy stored in high frequency harmonic is non-negligible and the error on inductor loss estimation will be higher in the case of incorrect AC resistance modelling. In the other hand, this error decreases with the increase of φ since the current waveform approximates to triangular and the energy in high frequency harmonics are significantly reduced.

As an example, curves on Fig. 7 present the cumulative estimated winding losses when using the first n harmonics, where n varies from 1 to 11. Losses are calculated from a certain measured current I_{pk} in the inductor with equations presented in this section and the resistances found by simulation for the used inductor. The current measurements were performed considering the MOSFET C2M0025120D, for a DC bus voltage of 540V, a gate resistance of the MOSFET r_g of 10Ω and gate-source voltage V_{GS} of 20V. These measurements were performed for two different phase shift φ=1.13 rad (65°) and

φ=0.139 rad (8°), which results in trapezoidal currents having peak currents of respectively 48A and 6A.

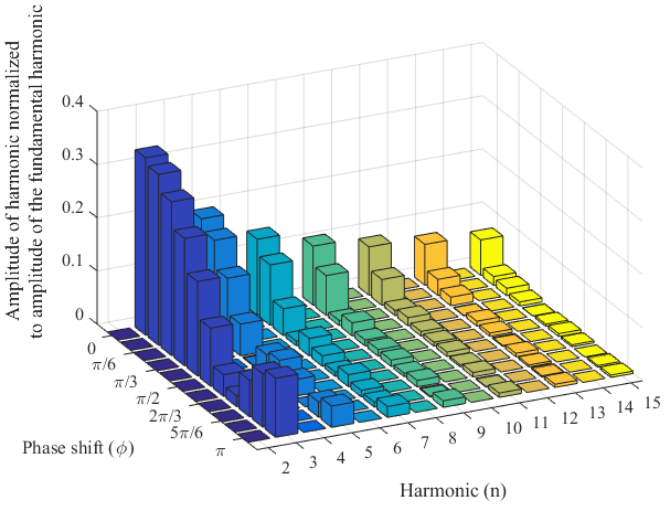


Fig. 6. Harmonic amplitude of trapezoidal waveform for different values of phase shift φ normalized the amplitude of fundamental harmonic.

Losses have a difference in the third decimal place considering the sum until the 9th and the 11th harmonics for the curve of 48A (φ = 1.13 rad) which indicates that the influence of higher harmonic components in total losses are negligible. However, when waveform is close to a square wave (low φ), these high order components become significant as presented in the curve for 6A in Fig. 7. The difference becomes apparent, achieving almost 15% if considering the sum up to the 9th harmonic instead of to the 11th. Therefore, for the tests performed to calculate switching energies in this work, we calculate winding losses until the 11th current harmonic to obtain a precise inductor losses estimation.

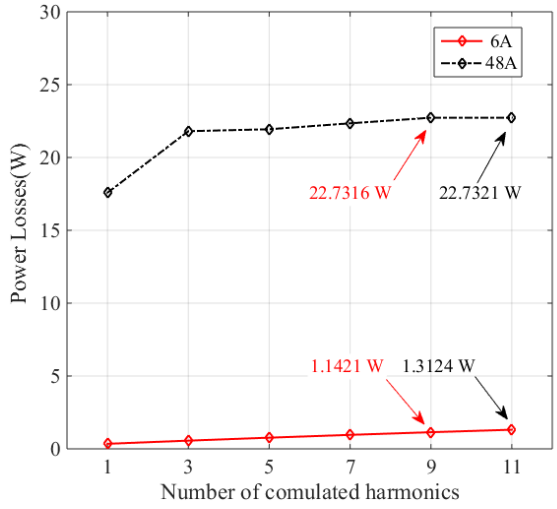


Fig. 7. Measured cumulative losses in the inductor according to the harmonics until the 11th for 6A (φ = 0.139 rad) and 48A (φ = 1.13 rad) inductor peak current.

We have shown above that at least the first 11 harmonics must be taken into account on winding loss calculation using litz wire in order to obtain a precise loss estimation. However, we must also evaluate the influence of error in these losses on the turn-off energy E_{OFF} estimation. An example is shown in Fig. 8, where turn-off energy is estimated using MOM applied to measure losses in C2M0025120D MOSFET. Results are shown for switching current from 0 to 48A, at the conditions cited above.

In the first curve, turn-off energy is estimated considering that winding losses is calculated using the DC resistance of the winding and the RMS current flowing through it. In the second curve, the AC resistance at the fundamental frequency of current is used together with RMS current. In the third curve, the most accurate one, losses of each harmonic are calculated as shown in (10). Note that, for the conditions shown in this example, there is a difference of more than 12% on E_{OFF} estimation between the most precise (third curve, in small dashed line, using all harmonics) and the less precise one (first curve, in large dashed line, using the DC resistance of the winding), for currents higher than 30A.

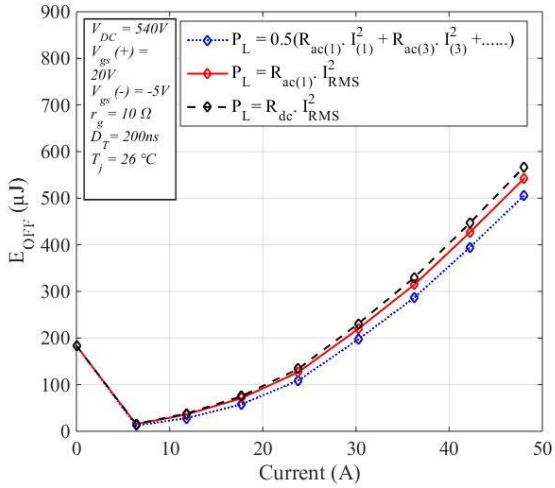


Fig. 8. Measured E_{OFF} for SiC MOSFET C2M0025120D considering different methods to estimate the losses on coreless inductor. The most precise curve (small dashed lines) use all current harmonics to estimated copper losses in litz wire.

IV. Experimental Results

The entire experimental setup used for tests measurements is shown in Fig. 9. This setup is composed of a DE0-NANO FPGA board which is controlled by a personal computer. Switching signals from the FPGA board are sent to an interface board which converts the electrical signals in optical signals transmitted by fiber optics to the converter board containing the SiC MOSFETs to be tested.

Devices to measure DC bus voltage and current were inserted between the main power supply and converter board, while the transistor temperatures are evaluated with a thermocouple fixed in each device. The temperature of the inductor, necessary to estimate inductor resistance correction, was recorded by a thermal camera. Current measurements, performed by Probe 2 and Probe 1 in Fig. 1 for inductor and DC

bus values respectively, were performed by triggering the oscilloscope with the rising of the DC bus voltage. For each current value, after settled the conditions on FPGA (phase shift for AC mode or duty cycle difference for DC mode) the main power supply is turned on and the oscilloscope starts to record current values during a period of 20ms when the DC bus voltage reaches the trigger voltage (around 500V). The mean value of the waveform of Probe 1 was considered as DC bus current. With this fast measurement, values can be assumed as taken for the temperature measured with the thermocouple before turning on the power supply.

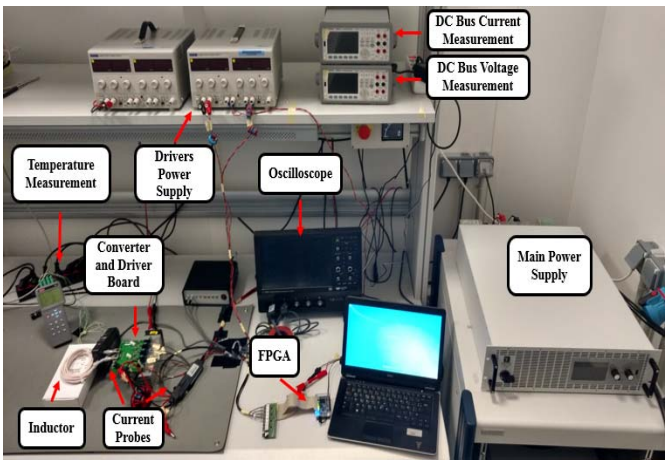


Fig. 9. Test setup used to accurately measure switching energy of WBG components.

Switching energy measurements were performed for DC bus voltage of 540V (value for equipments in the next generation of commercial aircrafts) for two different gate resistance r_g as shown in Fig. 10 and Fig. 11, and compared to curves presented on datasheet (given for V_{DS} = 600V and r_g = 6.8Ω). For this comparison, it was necessary to rescale the datasheet curves to the actual DC bus voltage and r_g levels, by linear/proportional adjustments based on datasheet graphs (*Energy* versus r_g).

Datasheet curves for *Energy x* r_g for the tested component are given for a current of 50A only. According to our measurements shown in Fig. 12, it is noticeable the difference between slopes of turn-on and turn-off energy versus r_g, for each different switching current. For example, it is close to 17.31µJ/Ω at 42A and 0.46 µJ/Ω at 12A for E_{OFF}, and 29.02 µJ/Ω at 42A and 4.12 µJ/Ω 12A for E_{ON}. It confirms that linear/proportional adjustments from datasheet curves is not an accurate way to estimate switching energy values for current values different from the ones given in the datasheet.

Concerning measurements shown in Fig. 10 and Fig. 11, E_{OFF} and E_{ON} energies are measured in a bridge leg (thus including the body diode reverse recovery energies), while energies provided by the datasheet for discrete components are usually measured using a schottky diode. Thus, the difference between measured and calculated E_{ON} and E_{TOT} curves are significantly higher. For r_g = 6.8Ω (curves presented in Fig. 11), measurement results and datasheet curves, particularly for E_{OFF}, are very close and they reinforce the MOM accuracy, especially with the method improvement proposed in this paper.

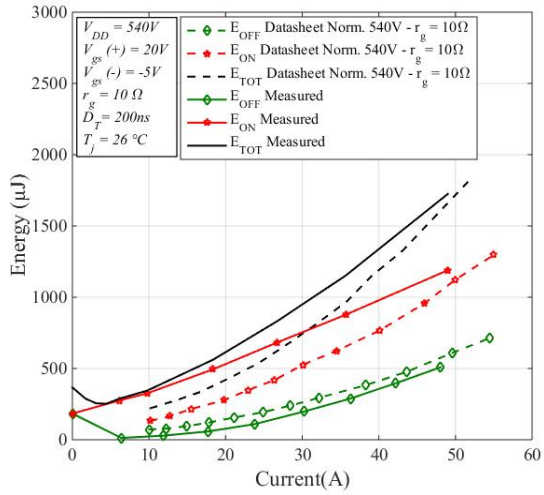


Fig. 10. Measured (solid lines)and Datasheet Normalized (dashed lines) switching energies per SiC device for switching voltage of 540V, r_g of 10Ω and different switching currents (for device C2M0025120D).

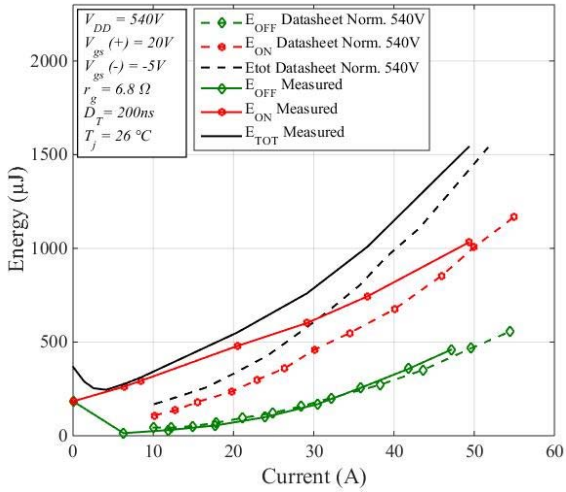


Fig. 11. Measured (solid lines) and Datasheet Normalized (dashed lines) switching energies per SiC device for switching voltage of 540V, r_g of 6.8Ω and different switching currents (for device C2M0025120D).

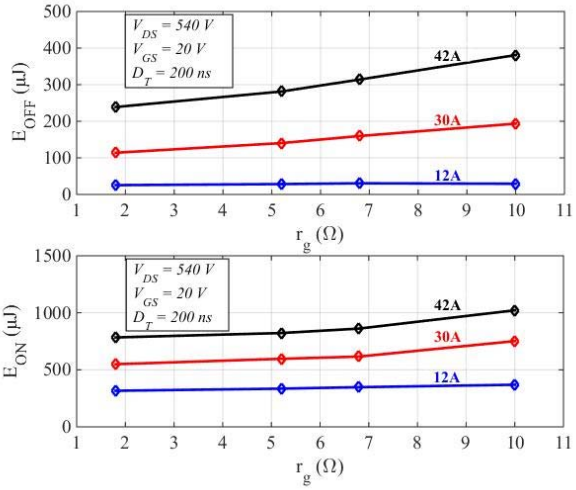


Fig. 12. Measured turn-off (upper graph) and turn-on (lower graph) energies per SiC device for different gate resistances r_g.

V. CONCLUSIONS

This paper presented an improvement of the Modified Opposition Method (MOM) used to measure switching energies of WBG semiconductors. It focused in precisely determining board and connection losses according to current path of each switching stage, and also inductor losses considering non-sinusoidal currents and high frequency and thermal effects in litz wire windings. Results showed that poor estimation of litz wire AC resistance (considering simply the AC resistance of the first harmonic of trapezoidal current flowing through it) and the RMS value of the current through this winding, instead of considering losses of each each harmonic, induced an error in switching loss estimation of more than 7% at high currents (close to 48A). This difference is even higher (12% in our example) if we consider the DC resistance of litz wire in the inductor loss calculation.

Consequently, the more accurate losses in the converter are estimated the more precisely the switching energies will be calculated, which helps the accurate design of power converters and avoids oversizing cooling systems. The differences between experimental and datasheet curves of E_{ON} (87% for 24.5A) and E_{TOT} (62.5% for 20.5A) are again due to the fact that datasheet curves are measured using double pulse measurement and schottky diode, while MOM uses a bridge leg which is more representative of the real converter, taking into account all parasitic inductances and capacitances which may change switching losses in fast components such as SiC and GaN transistors.

ACKNOWLEDGMENT

This paper is part of the Integration Project, which is sponsored by Airbus Operations, Airbus Group Innovations, Altran Technologies, Liebherr – Aerospace Toulouse, Safran Electrical & Power, Safran Electronics & Defense, Zodiac Aero Electric, Zodiac Actuations Systems and the French National Agency of Research (ANR).

REFERENCES

[1] X. Roboam, B. Sareni, A. D. Andrade, "More Electricity in the Air: Toward Optimized Electrical Networks Embedded in More-Electrical Aircraft," IEEE Ind. Electr. Magazine, vol.6, no.4, pp.6-17, Dec. 2012.

[2] B. Cougo, H. Schneider, T. Meynard, "Accurate Switching Energy Estimation of Wide Bandgap Devices Used in Converters for Aircraft Applications," EPE, Lille – France, 2013.

[3] J. Rabkowski, G. Tolstoy, D. Peftitsis, and H. Nee, "Low-loss highperformance base-drive unit for SiC BJTs," IEEE Trans. Power Electron.,vol. 27, no. 5, pp. 2633–2643, May 2012.

[4] C. Zheng, Y. Yiying, D. Boroyevich, K. D. T. Ngo, P. Mattavelli, and K. Rajashekara, "A 1200-V, 60-A SiC MOSFET multichip phase-leg module for high-temperature, high-frequency applications," IEEE Trans. Power Electron., vol. 29, no. 5, pp. 2307–2320, May 2014.

[5] B. Cougo, H. Schneider and T. Meynard, "High Current Ripple for Power Density and Efficiency Improvement in Wide Bandgap Transistor-Based Buck Converters," in IEEE Transactions on Power Electronics, vol. 30, no. 8, pp. 4489-4504, Aug. 2015.

[6] B. Cougo, H. Schneider, J. Brandelero and T. Meynard, "Accurate switching energy estimation of parallel eGaN FETs for modern aircraft applications," The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications, Columbus, OH, pp. 108-111, 2013.