

DISSERTAÇÃO DE MESTRADO Nº 1067

**DESENVOLVIMENTO DE UPS TRIFÁSICA DE ALTO RENDIMENTO UTILIZANDO  
MOSFETS DE CARBETO DE SILÍCIO**

**Wendell da Cunha Alves**

DATA DA DEFESA: 17/07/2018



**Universidade Federal de Minas Gerais**

**Escola de Engenharia**

**Programa de Pós-Graduação em Engenharia Elétrica**

**DESENVOLVIMENTO DE UPS TRIFÁSICA DE ALTO  
RENDIMENTO UTILIZANDO MOSFETS DE CARBETO DE  
SILÍCIO**

Wendell da Cunha Alves

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Lenin Martins Ferreira Morais

Belo Horizonte - MG

Julho de 2018

A474d

Alves, Wendell da Cunha.

Desenvolvimento de UPS trifásica de alto rendimento utilizando MOSFETS de carbeto de silício [manuscrito] / Wendell da Cunha Alves. - 2018.

152 f., enc.: il.

Orientador: Lenin Martins Ferreira Morais.

Coorientador: Porfírio Cabaleiro Cortizo.

Dissertação (mestrado) Universidade Federal de Minas Gerais, Escola de Engenharia.

Apêndices: f. 145-152.

Bibliografia: f. 137-144.

1. Engenharia elétrica - Teses. 2. Silício - Teses. 3. Conversores de corrente elétrica - Teses. I. Morais, Lenin Martins Ferreira. II. Cortizo, Porfírio Cabaleiro. III. Universidade Federal de Minas Gerais. Escola de Engenharia. IV. Título.

CDU: 621.3(043)

Imo

**"Desenvolvimento de UPS Trifásica de Alto Rendimento  
Utilizando Mosfets de Carbeto de Silício"**

**Wendell da Cunha Alves**

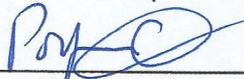
Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 17 de julho de 2018.

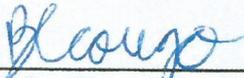
Por:



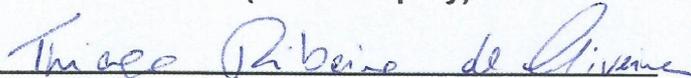
\_\_\_\_\_  
**Prof. Dr. Lenin Martins Ferreira Moraes**  
DELT (UFMG)



\_\_\_\_\_  
**Prof. Dr. Porfirio Cabaleiro Cortizo**  
DELT (UFMG)



\_\_\_\_\_  
**Dr. Bernardo Cougo**  
IRT (Saint Exupéry)



\_\_\_\_\_  
**Prof. Dr. Thiago Ribeiro de Oliveira**  
DELT (UFMG)



\_\_\_\_\_  
**Eng. MsC. Paulo de Tarso Paixão Lopes**  
(Engetron)



*Este trabalho é dedicado ao meu recém nascido sobrinho Nicolas.*



# Agradecimentos

Agradeço primeiramente à minha família, pelo apoio constante e por acreditarem nos meus sonhos. Em especial, gostaria de agradecer à minha mãe, Neli, por me apoiar incondicionalmente e por ser o grande exemplo de pessoa esforçada e batalhadora.

Agradeço à minha noiva, Isadora, que apareceu na minha vida me proporcionando infinita felicidade e ajudando a me tornar uma pessoa melhor.

Agradeço aos professores do Grupo de Eletrônica de Potência, pela ajuda que obtive durante a realização deste trabalho. Em especial aos Professores Lenin e Porfírio, pela orientação, pelos conselhos, pela ajuda e por se mostrar sempre disponível para resolução dos problemas encontrados.

À ENGETRON e sua equipe de engenheiros, pela viabilização deste trabalho, pelo apoio técnico e valiosas discussões.

Aos demais professores do PPGEE que contribuíram com esta fase de minha formação acadêmica.

Aos amigos e colegas do GEP que tanto contribuíram e me ajudaram para a conclusão desta pesquisa.



*“If your hate could be turned into electricity, it would light up the whole world.”*  
*(Nikola Tesla)*



# Resumo

Com o constante aumento do consumo de energia no mundo, a eficiência dos sistemas e equipamentos está se tornando cada vez mais importante. A UPS é um equipamento que fornece alimentação segura e confiável para sistemas de carga crítica, ou seja, sistemas em que uma interrupção do fornecimento pode levar a perdas econômicas ou até mesmo humanas. A UPS de dupla conversão é a classe UPS mais completa em termos de proteção da carga, regulação, desempenho e confiabilidade, no entanto, tem menor rendimento e maior custo por causa de seu elevado número de conversores eletrônicos de energia. Os dispositivos de Carbeto de Silício estão emergindo como uma oportunidade para construir conversores eletrônicos com maior eficiência e maior densidade de potência. O objetivo principal deste trabalho é projetar um conversor trifásico c.a.-c.c.-c.a. usando Carbeto de Silício para aplicações de UPS de dupla conversão. Para maximizar a eficiência e minimizar o custo, uma comparação é feita para guiar a seleção das topologias de conversor utilizadas. A comparação é feita sob duas condições de operação. Ao final da comparação, dois conversores c.a.-c.c.-c.a. com boa relação custo-benefício são propostos, um para cada condição. Em seguida, um dos conversores propostos é projetado, simulado e construído. As metodologias para dimensionar e escolher os principais componentes de *hardware* são descritas em detalhes. A operação do conversor e sua técnica de controle são validadas por meio de simulações no *software* PSIM. Os resultados experimentais obtidos com o protótipo comprovam o alto rendimento alcançável com MOSFETs de Carbeto de Silício.

**Palavras-chave:** UPS. Carbeto de Silício. Conversores eletrônicos. Projeto. Alto rendimento.



# Abstract

With the constant increase of energy consumption in the world, the efficiency of systems and equipment is becoming more important. UPS is an equipment that provides safe and reliable supply for critical load systems, that is, systems where a supply interruption can lead to economical or even human losses. The Double Conversion UPS is the most complete UPS class in terms of load protection, regulation, performance and reliability, however, it has lower efficiency and higher cost because of its high number of power converters. Silicon Carbide devices are emerging as an opportunity to construct power converters with higher efficiency and higher power density. The main purpose of this work is to design a three-phase AC-DC-AC converter using Silicon Carbide for Double Conversion UPS applications. To maximize efficiency and minimize cost a comparison is made to guide the selection of the converter topologies used. The comparison is made under two operating conditions. At the end of the comparison, two AC-DC-AC cost-efficient converters are proposed, one for each condition. Then, one of the proposed converters is designed, simulated and built. The methodologies to size and choose the main hardware components are described in details. The converter operation and its control technique are validated by the means of simulations in the software PSIM. The experimental results obtained with the prototype prove the high efficiency achievable with Silicon Carbide MOSFETs.

**Keywords:** UPS. Silicon Carbide. Power Converters. Design. High efficiency.



# Résumé

Avec l'augmentation constante de la consommation d'énergie dans le monde, l'efficacité des systèmes et des équipements devient de plus en plus importante. L'ASI est un équipement qui fournit une alimentation sûre et fiable pour les systèmes de charges critiques, c'est-à-dire des systèmes dans lesquels une interruption de l'alimentation peut entraîner des pertes économiques ou même humaines. L'ASI à double conversion est la classe d'ASI la plus complète en termes de protection de charge, de régulation, de performance et de fiabilité, mais son efficacité est moindre et son coût est élevé en raison de son nombre élevé de convertisseurs de puissance. Les dispositifs en Carbure de Silicium émergent comme une opportunité de construire des convertisseurs de puissance avec un rendement plus élevé et une densité de puissance plus élevée. Le but principal de ce travail est de concevoir un convertisseur triphasé AC-DC-AC en utilisant du Carbure de Silicium pour les applications d'ASI à double conversion. Pour maximiser l'efficacité et minimiser les coûts, une comparaison est faite pour guider la sélection des topologies de convertisseur utilisées. La comparaison est faite sous deux conditions de fonctionnement. À la fin de la comparaison, deux convertisseurs AC-DC-AC avec un bon rapport coût-efficacité sont proposés, un pour chaque condition. Ensuite, l'un des convertisseurs proposés est conçu, simulé et construit. Les méthodologies pour dimensionner et choisir les principaux composants de *hardware* sont décrites en détails. Le fonctionnement du convertisseur et sa technique de contrôle sont validés par le moyen de simulations dans le logiciel PSIM. Les résultats expérimentaux obtenus avec le prototype prouvent le rendement élevé réalisable avec MOSFET de Carbure de Silicium.

**Mots-clés** : ASI. Carbure de Silicium. Convertisseur de Puissance. Conception. Haut Rendement.



# Lista de ilustrações

Figura 1 – Classificação das UPSs . . . . .	42
Figura 2 – Diagrama simplificado de uma UPS <i>passive standby</i> . . . . .	43
Figura 3 – Diagrama simplificado de uma UPS <i>line interactive</i> . . . . .	45
Figura 4 – Diagrama simplificado de uma UPS <i>double conversion</i> . . . . .	46
Figura 5 – Curva de rendimento da UPS SiC de 500 kVA fabricado pela Toshiba . . . . .	50
Figura 6 – Evolução esperada do mercado de SiC entre 2010 e 2020 . . . . .	51
Figura 7 – Previsão da evolução relativa do preço dos componentes entre 2012 e 2025 . . . . .	51
Figura 8 – Comparação das propriedades dos materiais Si e SiC . . . . .	52
Figura 9 – Principais fabricantes de dispositivos SiC . . . . .	54
Figura 10 – Topologias do inversor comparadas (a) inversor de dois níveis (b) inversor NPC de três níveis (c) inversor T de três níveis . . . . .	59
Figura 11 – Perdas dos dispositivos eletrônicos operando sob a condição <b>A</b> (a) Configurações #1 a #7 (b) Configurações #2, #4, #5 e #7 destacadas . . . . .	61
Figura 12 – Avaliação da Figura de Mérito para a condição <b>A</b> , calculada usando a Eq. 2.1 com frequência de chaveamento de 101,76 kHz . . . . .	62
Figura 13 – Perdas para conversores #8 a #11 operando sob a condição <b>B</b> . . . . .	63
Figura 14 – Figura de Mérito calculada em 101,76 kHz para conversores #8 a #11 operando sob a condição <b>B</b> . . . . .	64
Figura 15 – Topologias do retificador comparadas (a) inversor de dois níveis (b) retificador NPC de três níveis (c) retificador T de três níveis . . . . .	65
Figura 16 – Perdas em função da frequência para conversores #12 a #14 operando em condição <b>A</b> . . . . .	66
Figura 17 – Figura de mérito calculada em 101,76 kHz para conversores #12 a #14 operando em condição <b>A</b> . . . . .	66
Figura 18 – Perdas em função da frequência para conversores #15 a #17 operando em condição <b>B</b> . . . . .	68
Figura 19 – Figura de mérito calculada em 101,76 kHz para conversores #15 a #17 operando em condição <b>B</b> . . . . .	68
Figura 20 – Conversores híbridos AC-DC-AC propostos: (a) para condição <b>A</b> emprega a configuração #2 no inversor e a configuração #14 no retificador (b) para a condição <b>B</b> emprega a configuração #10 no inversor e a configuração #17 no retificador . . . . .	69
Figura 21 – Conversor híbrido AC-DC-AC proposto para condição <b>A</b> empregando a configuração #2 no inversor e a configuração #14 no retificador . . . . .	71
Figura 22 – Diagrama da simulação realizada no SIMetrix para extração das curvas de energia de comutação . . . . .	73

Figura 23 – Comparação das curvas de energia obtidas via simulação ideal e das curvas divulgadas no <i>datasheet</i> do dispositivo . . . . .	74
Figura 24 – Diagrama da simulação realizada no SIMetrix para extração das curvas de energia de comutação, com acréscimo de indutâncias parasitas . . . . .	75
Figura 25 – Comparação das curvas de energia obtidas via simulação com indutâncias parasitas e das curvas divulgadas no <i>datasheet</i> do dispositivo . . . . .	76
Figura 26 – Modelo 3D do dissipador utilizado . . . . .	78
Figura 27 – Modelo térmico equivalente para dissipação do calor gerado pelas chaves do retificador . . . . .	78
Figura 28 – Modelo térmico equivalente para dissipação do calor gerado pelas chaves do inversor . . . . .	79
Figura 29 – Comparativo de perdas no núcleo para o indutor do retificador . . . . .	83
Figura 30 – Comparativo de perdas no núcleo para o indutor do inversor . . . . .	84
Figura 31 – Indutância efetiva dos indutores em função da corrente . . . . .	84
Figura 32 – Simulação para verificação da corrente eficaz nos capacitores de desacoplamento, os parâmetros dos capacitores foram extraídos das curvas do fabricante . . . . .	87
Figura 33 – Diferentes formas de montagem para utilização do sensor MLX91208 (a)Múltiplas trilhas sob o CI para medição de corrente na faixa de 2-10 A (b)Única trilha sob o CI para medição de correntes de até 50 A, a trilha deve ser larga o suficiente para suportar a corrente medida (c) Montagem sobre barramento de potência para medição de corrente na faixa de 1000 A . . . . .	90
Figura 34 – Dimensões do núcleo U utilizado . . . . .	91
Figura 35 – Sensor MLX91208 integrado à PCB com núcleo U (a)Representação 3D do Altium Designer (b) Protótipo real . . . . .	91
Figura 36 – Níveis de tensão de comando recomendados e valores máximos absolutos para dois MOSFETs SiC fabricados pela Rohm (a)SCH2080KE (b)SCT3030AL . . . . .	92
Figura 37 – Foto destacando os componentes dos <i>gate drivers</i> (a)Retificador (b)Inversor	94
Figura 38 – Modelo 3D criado no software Altium Designer . . . . .	95
Figura 39 – Foto do protótipo projetado . . . . .	96
Figura 40 – Diagrama em blocos da técnica de controle aplicado ao retificador . . . . .	98
Figura 41 – Sistema equivalente por fase da malha de corrente descrita por diagrama de blocos . . . . .	98
Figura 42 – Resposta em frequência da malha de corrente com ganho proporcional $K_{P_i} = 3,8$ . . . . .	99
Figura 43 – Sistema equivalente da malha de tensão descrita por diagrama de blocos	100

Figura 44 – Resposta em frequência da malha de tensão com ganhos $K_{P_v} = 0,0001$ e $K_{I_v} = 0,02$ . . . . .	101
Figura 45 – Diagrama esquemático da simulação implementada no PSIM destacando o circuito de potência de potência . . . . .	102
Figura 46 – Diagrama esquemático da simulação implementada no PSIM destacando o circuito de controle do retificador . . . . .	102
Figura 47 – Resultados de simulação do conversor operando em regime permanente e com carga nominal. São mostradas as correntes da rede, as correntes nos indutores do retificador, as correntes nos indutores de saída, as tensões de saída e as tensões do barramento. As variáveis são identificadas pelos símbolos da Figura 45 . . . . .	104
Figura 48 – Resultado para variação de carga na fase A de 833 W para 3,33 kW em $t = 0,75s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores . . . . .	105
Figura 49 – Resultado para variação de carga na fase A de 3,33 kW para 833 W em $t = 0,75s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores . . . . .	106
Figura 50 – Kit de desenvolvimento LaunchPad F28379D . . . . .	107
Figura 51 – Diagrama funcional dos microcontroladores da família F2837xD . . . . .	110
Figura 52 – Fluxograma de inicialização do código . . . . .	113
Figura 53 – Diagrama temporal de execução do código, o sinal em preto corresponde à portadora PWM e o sinal em vermelho corresponde à ação de controle calculada . . . . .	114
Figura 54 – Montagem experimental realizada, são destacados os principais equipamentos utilizados . . . . .	117
Figura 55 – Medição da sobretensão durante o desligamento de um MOSFET de um dos braços do inversor. A medição foi realizada para quatro valores de corrente de pico e destacou-se o valor máximo da tensão $V_{ds}$ . Nesta medição o osciloscópio foi configurado com as seguintes escalas: 100V/div e 25ns/div . . . . .	119
Figura 56 – Medição da sobretensão durante o desligamento de um MOSFET de um dos braços do retificador. A medição foi realizada para quatro valores de corrente de pico e destacou-se o valor máximo da tensão $V_{ds}$ . Nesta medição o osciloscópio foi configurado com as seguintes escalas: 100V/div e 50ns/div . . . . .	120
Figura 57 – Tensão porta-fonte ( $V_{gs}$ ) durante comutações do MOSFET (a) Instante de colocação em condução (b) Instante de bloqueio . . . . .	120
Figura 58 – Tensões de entrada e saída em regime permanente com potência nominal, esta medição foi realizada utilizando o YOKOGAWA WT1800 . . . . .	121

Figura 59 – Correntes de entrada e saída em regime permanente com potência nominal, esta medição foi realizada utilizando o YOKOGAWA WT1800	121
Figura 60 – Taxa de distorção harmônica da tensão de saída e da corrente de entrada em função da potência de saída, medição realizada utilizando o YOKOGAWA WT1800	122
Figura 61 – Resultado para variação de carga na fase A de 833 W para 3,33 kW em $t = -0,015s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores. Esta medição foi realizada com o osciloscópio Tektronix TPS 2024	123
Figura 62 – Resultado para variação de carga na fase A de 3,33 kW para 833 W em $t = -0,015s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores. Esta medição foi realizada com o osciloscópio Tektronix TPS 2024	124
Figura 63 – Comparação entre o rendimento teórico e experimental com tensão de entrada fase-neutro de 120 V eficaz. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800	125
Figura 64 – Avaliação do rendimento experimental em função da tensão fase-neutro de entrada e da potência de carga. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800	126
Figura 65 – Medição da temperatura de um indutor do retificador operando com carga nominal	127
Figura 66 – Medição da temperatura de um indutor do inversor operando com carga nominal	127
Figura 67 – Medição da temperatura do dissipador do retificador operando com carga nominal e visto lateralmente	128
Figura 68 – Medição da temperatura do dissipador do inversor operando com carga nominal e visto lateralmente	128
Figura 69 – Medição da temperatura dos capacitores eletrolíticos do barramento c.c.	129
Figura 70 – Avaliação do rendimento experimental após a mudança realizada nos enrolamentos dos indutores. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800	130
Figura 71 – Medição da temperatura dos indutores do inversor e do retificador operando com carga nominal	130

# Lista de tabelas

Tabela 1 – Consumo de energia elétrica de vários países em 2000, 2008 e 2014. . . . .	37
Tabela 2 – Especificações das UPSs fabricadas pela Toshiba utilizando módulos de potência SiC . . . . .	50
Tabela 3 – Propriedades dos materiais de Si e 4H-SiC . . . . .	52
Tabela 4 – Condições de comparação. . . . .	57
Tabela 5 – Possibilidades do inversor para as condições A e B . . . . .	60
Tabela 6 – Possibilidades do retificador para as condições A e B . . . . .	65
Tabela 7 – Principais especificações e critérios de projeto para a UPS da condição A	72
Tabela 8 – Perdas calculadas para o retificador operando na frequência de 102 kHz	77
Tabela 9 – Perdas calculadas para o inversor operando na frequência de 101,34 kHz	77
Tabela 10 – Temperaturas calculadas utilizando os modelos térmicos das Figuras 27 e 28 . . . . .	79
Tabela 11 – Características dos núcleos magnéticos considerados . . . . .	81
Tabela 12 – Perdas calculadas para os indutores . . . . .	85
Tabela 13 – Parâmetros de simulação utilizados . . . . .	103
Tabela 14 – Lista das características do $\mu\text{C}$ TMS320F28379D no encapsulamento nFBGA . . . . .	111
Tabela 15 – Tempos de execução da rotina de controle . . . . .	112



# Lista de abreviaturas e siglas

UPS	<i>Uninterruptible Power Supply</i> , Fonte Ininterrupta de Energia
SiC	<i>Silicon Carbide</i> , Carbetto de Silício
GaN	<i>Gallium Nitride</i> , Nitreto de Gálio
Si	Silício
WBG	<i>Wide Bandgap</i> , larga banda de energia
GEP	Grupo de Eletrônica de Potência da UFMG
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> , Transistor de Efeito de Campo de estrutura Metal-Óxido-Semicondutor
DSP	<i>Digital Signal Processor</i> , Processador de Sinais Digitais
IGBT	<i>Insulated Gate Bipolar Transistor</i> , Transistor Bipolar de Porta Isolada
THD	<i>Total Harmonic Distortion</i> , Taxa de Distorção Harmônica
SBD	<i>Schottky Barrier Diode</i> , Diodo de barreira Schottky
PFC	<i>Power Factor Correctors</i> , Corretor de fator de potência
FOM	<i>Figure of Merit</i> , Figura de mérito
IHM	Interface Homem-Máquina
NPC	<i>Neutral Point Clamped</i>
MSE	<i>Modified Steinmetz Equation</i>
GSE	<i>Generalized Steinmetz Equation</i>
iGSE	<i>improved Generalized Steinmetz Equation</i>
i <sup>2</sup> GSE	<i>improved-improved Generalized Steinmetz Equation</i>
AWG	<i>American Wire Gauge</i> , escala americana de bitola de fios
PCB	<i>Printed Circuit Board</i> , Placa de circuito impresso
CI	Circuito Integrado
PWM	<i>Pulse Width Modulation</i> , Modulação por largura de pulso

EMI	<i>Electromagnetic Interference</i> , Interferência eletromagnética
PI	Proporcional-Integral
PLL	<i>Phase Locked Loop</i>
ZOH	<i>Zero Order Holder</i> , Segurador de ordem zero
CPU	<i>Central Processing Unit</i> , Unidade central de processamento
MCU	<i>Microcontroller Unit</i> , Unidade microcontroladora
RAM	<i>Random Access Memory</i> , Memória de acesso aleatório
IPC	<i>Inter-Processor Communications</i>
CLA	<i>Control Law Accelerator</i>
TMU	<i>Trigonometric Math Unit</i>
VCU	Viterbi, Complex Math e unidade CRC
CRC	<i>Cyclic redundancy check</i>
FFT	<i>Fast Fourier Transform</i> , Transformada rápida de Fourier
ePWM	<i>enhanced Pulse Width Modulator</i>
ADC	<i>Analog to Digital Converter</i>
CMPSS	<i>Comparator Subsystem</i>
GPIO	<i>General Purpose Input/Output</i>
DAC	<i>Digital to Analog Converter</i>
eCAP	<i>enhanced Capture</i>
eQEP	<i>enhanced Quadrature Encoder Pulse</i>
SDFM	<i>Sigma Delta Filter Module</i>
DMA	<i>Direct Memory Access</i>
FPU	<i>Floating Point Unit</i>
CAN	<i>Controller Area Network</i>
I <sup>2</sup> C	<i>Inter-Integrated Circuit</i>
McBSP	<i>Multichannel Buffered Serial Port</i>

SCI	<i>Serial Communications Interface</i>
SPI	<i>Serial Peripheral Interface</i>
USB	<i>Universal Serial Bus</i>
uPP	<i>Universal Parallel Port</i>
MOM	<i>Modified Opposition Method</i>



# Lista de símbolos

$E_g$	Gap de Energia
$\mu_n$	Mobilidade do elétron
$\mu_p$	Mobilidade de lacunas
$E_B$	Campo de ruptura
$v_s$	Velocidade de deriva
$\varepsilon_s$	Constante dielétrica
$C_{oss}$	Capacitância de saída de um MOSFET
$C_{iss}$	Capacitância de entrada de um MOSFET
$C_{rss}$	Capacitância de transferência reversa de um MOSFET
$V_{an}$	Tensão de fase-neutro
$V_{dc}$	Tensão do barramento c.c.
$P_{out}$	Potência de saída
$I_a$	Corrente da fase A
$f_{sw}$	Frequência de chaveamento
$P_{losses}$	Perdas do sistema
$P_{cond}$	Perdas de condução
$P_{sw}$	Perdas de comutação
$P_{on}$	Perdas para ligar o transistor
$P_{off}$	Perdas para desligar o transistor
$P_{rr}$	Perdas de recuperação reversa
$E_{on}$	Energia para ligar o transistor
$E_{off}$	Energia para desligar o transistor
$E_{rr}$	Energia de recuperação reversa

$f_g$	Frequência da rede
$T$	Período de um ciclo da rede
$T_{step}$	Passo de cálculo da simulação
$i_s$	Corrente no transistor
$v_s$	Tensão no transistor
$k$	Fator de correção
$P_{ret}$	Potência nominal do retificador (entrada)
$P_{inv}$	Potência nominal do inversor (saída)
$P_{carregador}$	Potência nominal do carregador de baterias
$\eta$	Rendimento
$V_{a-inv}$	Tensão de saída fase-neutro
$I_a$	Corrente de saída
$V_{a-ret}$	Tensão de entrada fase-neutro
$I_{a-ret}$	Corrente de entrada
$f_{sw-inv}$	Frequência de chaveamento do inversor
$f_{sw-ret}$	Frequência de chaveamento do retificador
$T_a$	Temperatura ambiente
$T_j$	Temperatura de junção
$\Delta I_{max-inv}$	<i>Ripple</i> máximo da corrente do inversor
$\Delta I_{max-ret}$	<i>Ripple</i> máximo da corrente do retificador
$\Delta V_c$	<i>Ripple</i> máximo da tensão no capacitor do barramento c.c.
$P_{diodo}$	Perdas no diodo
$P_{MOSFET}$	Perdas no MOSFET
$P_{perdas-ret}$	Perdas nas chaves do retificador
$P_{perdas-inv}$	Perdas nas chaves do inversor
$R_{th_s-a}$	Resistência térmica dissipador-ambiente

$R_{thc-s}$	Resistência térmica Sil-Pad
$R_{thj-c}$	Resistência térmica junção-encapsulamento
$T_s$	Temperatura do dissipador
$T_{jQ}$	Temperatura de junção do transistor
$T_{jD}$	Temperatura de junção do diodo
$L$	Indutância
$L_{inv}$	Indutância por fase do inversor
$L_{ret}$	Indutância por fase do retificador
$n$	Variável dependente do número de níveis de um conversor
$\Delta I_{max}$	<i>Ripple</i> máximo da corrente no indutor
$P_{núcleo}$	Perdas no núcleo magnético
$k_c$	Coefficiente da equação de Steinmetz
$\alpha$	Coefficiente da equação de Steinmetz
$\beta$	Coefficiente da equação de Steinmetz
$\hat{B}$	Valor de pico da densidade de fluxo
$f$	Frequência de operação
$V_e$	Volume do núcleo magnético
$\mu_r$	Permeabilidade relativa
$A_L$	Indutância específica
$B_{sat}$	Densidade de fluxo de saturação
$l_e$	Comprimento do caminho magnético
$A_e$	Área da secção do núcleo
$A_W$	Área da janela do núcleo
$MTL$	Comprimento médio por espira
$A_s$	Área da superfície do núcleo
$A_{s40}$	Área da superfície do núcleo com fator de utilização de 40%

$k_i$	Coefficiente da equação $i^2$ GSE
$\Delta B$	Variação de pico a pico da densidade de fluxo
$B$	Densidade de fluxo
$\theta$	Variável auxiliar para integração
$N$	Número de espiras
$N_{max}$	Número máximo de espiras
$H$	Intensidade de campo magnético
$I_{peak}$	Corrente de pico
$R_{dc}$	Resistência c.c. do enrolamento
$n_{fios}$	Quantidade de fios em paralelo
$A_{fio}$	Área da secção transversal de um fio
$\rho$	Resistividade do cobre
$P_{cobre}$	Perdas no cobre
$I_{rms}$	Corrente eficaz
$P_{L-inv}$	Perdas em um indutor do inversor
$P_{L-ret}$	Perdas em um indutor do retificador
$P_{indutores}$	Perdas em todos os indutores do conversor
$i_2(t)$	Valor instantâneo da corrente de segundo harmônico no capacitor
$V_{a-peak}$	Valor de pico da tensão na fase a
$I_{n-peak}$	Valor de pico da corrente de neutro
$\omega$	Frequência da rede em $rad/s$
$\theta_n$	Ângulo de fase da corrente de neutro
$v_c(t)$	Valor instantâneo da tensão no capacitor do barramento c.c.
$C$	Capacitância total do barramento c.c.
$C_{dc}$	Capacitância por grupo do barramento c.c.
$C_{out}$	Capacitância do filtro LC de saída

$f_c$	Frequência de corte do filtro LC de saída
$L_g$	Indutância da rede
$V_{linha}$	Tensão de linha nominal
$P_{cc}$	Potência de curto-circuito
$f_{res}$	Frequência de ressonância do filtro LCL de entrada
$C_{in}$	Capacitância do filtro LCL de entrada
$R_g$	Resistor de <i>gate</i>
$V_{ds}$	Tensão entre dreno e fonte de um MOSFET
$V_{rede}$	Tensão da rede
$V_{rede-ff}$	Tensão da rede compensada via ação <i>feedforward</i>
$K_{Pi}$	Ganho proporcional da malha de corrente
$r_{Lret}$	Resistência do indutor do retificador
$i$	Corrente do sistema equivalente por fase da malha de corrente
$i^*$	Referência da malha de corrente
$K_{Pv}$	Ganho proporcional da malha de tensão
$K_{Iv}$	Ganho integral da malha de tensão
$i_o$	Corrente do lado c.c. do retificador
$i_{L-peak}$	Corrente de pico nos indutores do retificador
$i_{load}$	Corrente de carga do retificador
$F$	Ganho que estabelece equivalência de potência entre os lados c.c. e c.a. do retificador
$V_{x-peak}$	Tensão de pico de uma das fases de entrada
$v_{error}$	Erro de tensão
$v_{dc}^*$	Referência da malha de tensão
$f_{sample}$	Frequência de amostragem
$t_{delay}$	Tempo de atraso

$D$	Ciclo de trabalho
$ \bar{V} $	Valor médio absoluto da tensão aplicada pelo conversor
$L_{loop}$	Indutância total da malha de comutação
$t_{ringing}$	Período de oscilação visto após o desligamento de um MOSFET
$V_{gs}$	Tensão entre porta e fonte de um MOSFET

# Sumário

	<b>Introdução</b> . . . . .	<b>37</b>
<b>1</b>	<b>REVISÃO BIBLIOGRÁFICA</b> . . . . .	<b>41</b>
<b>1.1</b>	<b>Uninterruptible Power Supply</b> . . . . .	<b>41</b>
1.1.1	Classes de UPS Estáticas . . . . .	42
1.1.1.1	UPS <i>passive standby</i> . . . . .	43
1.1.1.2	UPS <i>line interactive</i> . . . . .	44
1.1.1.3	UPS <i>double conversion</i> . . . . .	46
<b>1.2</b>	<b>Dispositivos de Carbeto de Silício</b> . . . . .	<b>48</b>
1.2.1	Características . . . . .	52
1.2.1.1	SiC Schottky Barrier Diode . . . . .	53
1.2.1.2	SiC MOSFET . . . . .	53
<b>1.3</b>	<b>Conclusões do Capítulo</b> . . . . .	<b>55</b>
<b>2</b>	<b>COMPARAÇÃO DE TOPOLOGIAS</b> . . . . .	<b>57</b>
<b>2.1</b>	<b>Método de Avaliação de Perdas</b> . . . . .	<b>57</b>
<b>2.2</b>	<b>Inversor</b> . . . . .	<b>58</b>
<b>2.3</b>	<b>Retificador</b> . . . . .	<b>64</b>
<b>2.4</b>	<b>Conclusões do capítulo</b> . . . . .	<b>69</b>
<b>3</b>	<b>PROJETO DO HARDWARE</b> . . . . .	<b>71</b>
<b>3.1</b>	<b>Projeto Térmico</b> . . . . .	<b>72</b>
<b>3.2</b>	<b>Projeto do Indutor</b> . . . . .	<b>80</b>
<b>3.3</b>	<b>Dimensionamento dos Capacitores</b> . . . . .	<b>86</b>
<b>3.4</b>	<b>Sensores</b> . . . . .	<b>89</b>
<b>3.5</b>	<b>Projeto do Gate Driver</b> . . . . .	<b>92</b>
<b>3.6</b>	<b>Conclusões do Capítulo</b> . . . . .	<b>95</b>
<b>4</b>	<b>MODELAGEM, SIMULAÇÃO E CONTROLE EM DSP</b> . . . . .	<b>97</b>
<b>4.1</b>	<b>Modelagem e Controle</b> . . . . .	<b>97</b>
<b>4.2</b>	<b>Simulações</b> . . . . .	<b>102</b>
<b>4.3</b>	<b>Processador TMS320F28379D</b> . . . . .	<b>106</b>
4.3.1	Implementação Prática . . . . .	112
<b>4.4</b>	<b>Conclusões do Capítulo</b> . . . . .	<b>115</b>
<b>5</b>	<b>RESULTADOS EXPERIMENTAIS</b> . . . . .	<b>117</b>
<b>5.1</b>	<b>Conclusões do Capítulo</b> . . . . .	<b>131</b>

<b>6</b>	<b>CONCLUSÃO</b> . . . . .	<b>133</b>
<b>6.1</b>	<b>Propostas de Continuidade</b> . . . . .	<b>135</b>
	<b>REFERÊNCIAS</b> . . . . .	<b>137</b>
	<b>APÊNDICES</b>	<b>145</b>
	<b>APÊNDICE A – CÓDIGOS UTILIZADOS PARA CÁLCULO DAS PERDAS EM NÚCLEOS MAGNÉTICOS</b> . . . . .	<b>147</b>

# Introdução

Atualmente, o consumo final de energia sob a forma de eletricidade representa uma grande parcela do consumo de energia no mundo e pode chegar a mais de 50 % em alguns países [1]. Nos países em desenvolvimento, o consumo de energia elétrica apresenta crescimento acelerado, por exemplo, pode ser observado na Tabela 1 que o consumo de energia elétrica aumentou cerca de 56 % no Brasil e 455 % na China entre 2000 e 2014 [1]. Contra este cenário, o uso racional da eletricidade e da eficiência energética do ciclo geração-armazenamento-distribuição-consumo torna-se muito importante para engenheiros e pesquisadores que visam o desenvolvimento sustentável.

Tabela 1 – Consumo de energia elétrica de vários países em 2000, 2008 e 2014.

País	Energia (TJ)		
	2000	2008	2014
Brasil	1 156 380	1 475 747	1 803 118
EUA	12 600 334	13 789 164	13 638 509
França	1 385 900	1 558 130	1 495 439
Chile	132 331	192 663	239 291
China	3 732 366	10 243 911	16 979 568
India	1 354 628	2 223 122	3 410 267

Fonte: [1].

Dentre os diversos tipos de cargas presentes no sistema elétrico podem ser destacadas as cargas críticas, isto é, cargas que não podem ter o fornecimento de eletricidade interrompido independentemente das condições ambientais e de falhas no sistema elétrico. Como exemplos de cargas críticas pode-se citar: sistemas de telecomunicações e tecnologia da informação, equipamentos hospitalares e sistemas bancários. Para alimentar tais cargas utilizam-se, em grande parte dos casos, Fontes Ininterruptas de Energia, popularmente conhecidas no Brasil como No-Breaks ou por sua sigla em inglês UPS (Uninterruptible Power Supply).

A UPS estudada neste trabalho será a UPS *double conversion*, ou dupla conversão, esta classe de UPS é geralmente preferida devido à ampla tolerância à variação da tensão de entrada, regulação da tensão de saída e alta confiabilidade do sistema [2, 3]. Uma UPS de dupla conversão trifásica convencional normalmente contém um retificador, um carregador de baterias, um conjunto de baterias, um inversor e chaves de bypass.

As UPSs trifásicas encontradas comercialmente e em trabalhos científicos se baseiam, com pequenas variações, em uma topologia clássica que emprega um retificador PWM de dois níveis e um inversor de dois níveis [4, 5, 6, 7, 8]. Apesar de ser capaz de manter a qualidade da energia tanto no lado da rede quanto no lado da carga, seu rendimento é limitado devido às grandes perdas de chaveamento nas chaves eletrônicas.

Com o objetivo de melhorar o desempenho do sistema UPS, recentemente foi proposto o uso de topologias de três níveis no retificador e no inversor [9, 10]. Os conversores propostos podem alcançar alta eficiência, porém a complexidade e o número de interruptores eletrônicos aumentam consideravelmente. Para encontrar um compromisso entre desempenho, custo e complexidade, conversores híbridos podem ser utilizados, combinando diferentes topologias no lado do inversor e no lado do retificador [11].

Outra abordagem que visa melhorar o rendimento de conversores eletrônicos é a utilização de transistores fabricados com materiais que possuem larga banda de energia (WBG – Wide bandgap), como o Carbetto de Silício (SiC – Silicon Carbide) e o Nitreto de Gálio (GaN – Gallium Nitride). Diversos estudos vêm demonstrando a possibilidade da aplicação de transistores SiC e GaN em conversores operando em elevadas frequências de chaveamento, elevadas tensões e elevada temperatura de trabalho [12], inclusive no setor de UPS [13]. Essas capacidades dos componentes WBG permitem a construção de equipamentos com menores elementos passivos, menores dissipadores e ao mesmo tempo melhorar a eficiência do sistema [14].

Diante do contexto apresentado, iniciou-se no segundo semestre de 2016 um projeto P&D Engetron/Grupo de Eletrônica de Potência da UFMG (GEP). A Engetron, empresa brasileira proponente do projeto P&D, atua desde 1976 como fabricante de UPSs e figura como referência neste mercado sendo a principal fornecedora de UPSs para aplicações críticas no Brasil. De modo geral, as UPSs fabricadas devem atender a especificações mínimas de rendimento, fator de potência de entrada e de qualidade de energia (níveis de tensão, frequência, distorção de tensão e corrente), em razão de critérios estabelecidos por normas [15]. Além disso, as UPSs, por força de restrições comerciais (para maior competitividade do produto), devem exibir projeto “otimizado” para redução de perdas, volume e aumento de densidade de potência.

Nas circunstâncias citadas, esta pesquisa visa subsidiar o projeto de UPSs mais compactas, com maior rendimento e densidade de potência, se tornando mais competitivas no mercado. Assim, este trabalho, especificamente, tem como propósito a construção de um conversor c.a.-c.c.-c.a. (retificador e inversor) trifásico utilizando componentes de Carbetto de Silício e topologias avançadas, de forma a aprimorar o rendimento, peso e volume em relação aos equipamentos atualmente disponíveis comercialmente. O foco deste trabalho é a cadeia de conversão c.a.-c.c.-c.a., portanto, a investigação de circuitos auxiliares, como interruptores de bypass, carregador de bateria e braço de balanceamento do barramento

c.c., não será feita.

Assim, os objetivos deste trabalho são resumidos abaixo:

**Objetivo geral:**

- Desenvolver, projetar e construir um retificador e um inversor para aplicação em UPS trifásica de 10kVA do tipo dupla conversão utilizando topologias e dispositivos semicondutores de alto rendimento e avaliar as perdas decorrentes do funcionamento do dispositivo semicondutor;

**Objetivos específicos:**

- Realizar uma comparação de topologias de conversores sob o ponto de vista de perdas e custo;
- Estudar a aplicabilidade de MOSFETs de Carbeto de Silício nas topologias estudadas;
- Validar o software de cálculo de perdas desenvolvido no P&D Engetron/UFMG finalizado em 2016 [16];
- Desenvolver o projeto de *hardware* e *software* da UPS trifásica de melhor desempenho;
- Realizar ensaios experimentais para verificar o funcionamento do conversor e o rendimento alcançado.

O texto desta dissertação está organizado em seis capítulos:

- **Capítulo 1:** Realiza-se uma revisão bibliográfica para proporcionar ao leitor os conhecimentos fundamentais para o entendimento deste trabalho. Serão abordadas as principais classes de UPS e as características dos componentes eletrônicos baseados em Carbeto de Silício.
- **Capítulo 2:** Será realizada uma extensa comparação de topologias de inversores e retificadores trifásicos sob o ponto de vista de perdas e custo em duas condições de operação. Além disso, será avaliado o desempenho e a aplicabilidade dos componentes SiC operando em elevada frequência da chaveamento.
- **Capítulo 3:** Este capítulo se dedica ao projeto e dimensionamento dos principais componentes de *hardware* da UPS. Os seguintes pontos serão abordados: projeto térmico, projeto dos indutores, dimensionamento dos capacitores, projeto do *gate driver* e a especificação dos sensores utilizados.

- **Capítulo 4:** Serão apresentados os procedimentos adotados para modelagem, simulação e controle dos conversores analisados. Ademais, este capítulo apresenta uma breve explicação a respeito do DSP TMS320F28379D e da implementação prática do algoritmo de controle embarcado no dispositivo.
- **Capítulo 5:** Este capítulo apresenta e discute os resultados experimentais obtidos com o conversor desenvolvido.
- **Capítulo 6:** Este capítulo discute as conclusões e propostas de continuidade deste trabalho.

# 1 Revisão Bibliográfica

Este capítulo tem como objetivo realizar uma revisão bibliográfica básica, proporcionando ao leitor os conhecimentos fundamentais para o entendimento deste trabalho. A primeira secção irá tratar da conceituação e classificação de UPSs. Em seguida, a segunda secção irá abordar as características e aplicações dos dispositivos de Carbetto de Silício.

## 1.1 Uninterruptible Power Supply

As Fontes Ininterruptas de Energia, normalmente chamadas de UPS (sigla em inglês para Uninterruptible Power Supply), são equipamentos elétricos que garantem uma fonte de energia contínua para a carga, independentemente de interrupções, picos, quedas de energia ou outros distúrbios da alimentação de rede normal [17].

As UPSs são necessárias em sistemas que requerem alto fator de disponibilidade e pureza para a instalação elétrica em que as atividades principais crucialmente dependem ou aplicações em que distúrbios elétricos podem levar a desastrosas perdas de dados [18]. Tais sistemas são chamados de sistemas de missão crítica ou cargas críticas, onde a interrupção do fornecimento de energia, mesmo por frações de segundo, provoca imensas perdas financeiras ou sociais. Como exemplos de missões críticas pode-se citar: equipamentos hospitalares ou de suporte à vida, sistemas de telecomunicação e tecnologia da informação (*datacenters*), sistemas bancários e certos processos industriais.

Historicamente, as primeiras UPSs surgiram por volta da década de 1950 e eram do tipo rotativas, sendo utilizadas em aplicações de defesa como comunicações militares e radar [18]. De forma geral, uma UPS rotativa emprega máquinas eletromecânicas como conjuntos motor-gerador e volantes de inércia para manter a carga crítica alimentada. De maneira mais específica UPSs rotativas podem ser classificadas dentro de dois grupos: *online* e *offline*. Na UPS rotativa *online* um motor alimentado pela rede aciona um gerador que, por sua vez, alimenta a carga crítica, acoplado ao eixo podem ser utilizados volantes de inércia para aumentar o tempo de autonomia. No caso da UPS rotativa *offline*, uma máquina síncrona é usada para compensar potência reativa em modo normal de operação, quando a rede falha a mesma máquina síncrona passa a operar como gerador acionada por um motor de combustão a diesel [19].

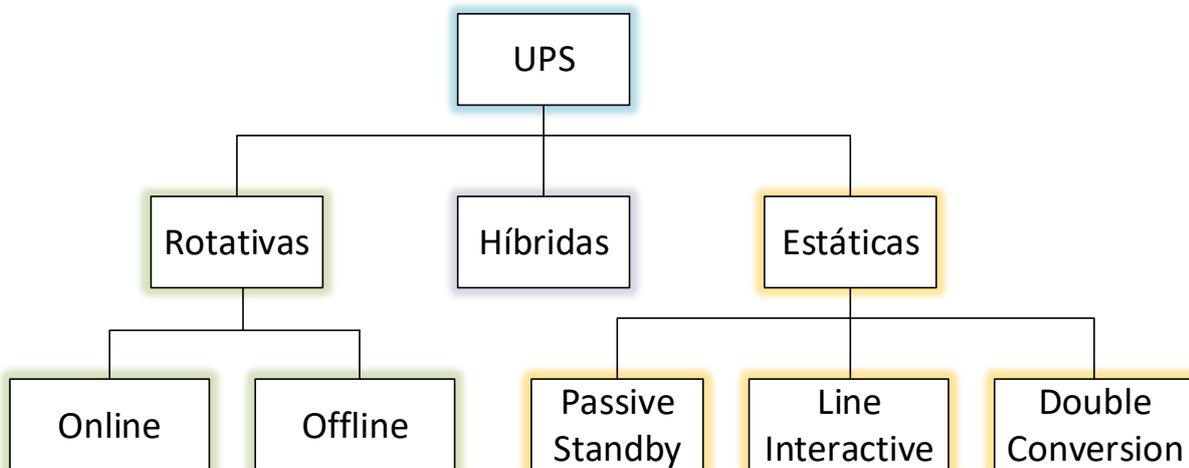
Dois fatos marcantes nas décadas de 1960 e 1970 levaram ao surgimento de UPSs estáticas. O primeiro foi o desenvolvimento de retificadores mais eficientes e compactos e o segundo foi o advento do tiristor, que possibilitou a fabricação de inversores. As UPS estáticas são constituídas de conversores estáticos, baseados em dispositivos semicondutores

(IGBT, tiristor, diodo e MOSFET), e baterias eletroquímicas para armazenamento de energia. Com o tempo, as UPSs estáticas ganharam posição superior em relação às UPSs rotativas por possuir diversas vantagens como: maior eficiência, menor peso e volume, menor custo de manutenção, menor ruído acústico e maior confiabilidade [18]. A principal desvantagem de UPSs estáticas é a menor autonomia, que é diretamente ligada a capacidade limitada do banco de baterias.

Adicionalmente, a combinação de UPSs rotativas com UPSs estáticas resulta em UPSs híbridas com elevada confiabilidade e autonomia. Um exemplo de uma UPS híbrida é um sistema onde uma UPS estática é usada para suprir a carga, e quando uma falha ocorre na rede principal o fornecimento de energia pelo conversor estático é continuado até o acionamento do motor diesel. Quando o motor diesel chega ao regime permanente, o gerador c.a. passa a alimentar a carga, evitando a descarga das baterias, nesse caso a autonomia do sistema é elevada passando a depender apenas da quantidade de óleo diesel disponível [20].

A Figura 1 resume a classificação dada às UPS. Na próxima subsecção serão discutidos as topologias de UPS estáticas.

Figura 1 – Classificação das UPSs



Fonte: Dados da pesquisa, 2018

### 1.1.1 Classes de UPS Estáticas

Os sistemas UPS estáticas são os sistemas UPS mais utilizados. Possuem uma ampla variedade de aplicações, desde computadores pessoais de baixa potência e sistemas de telecomunicações, até sistemas hospitalares de potência média chegando aos sistemas de alta potência ligados à rede elétrica [2]. As UPSs estáticas são compostas apenas por

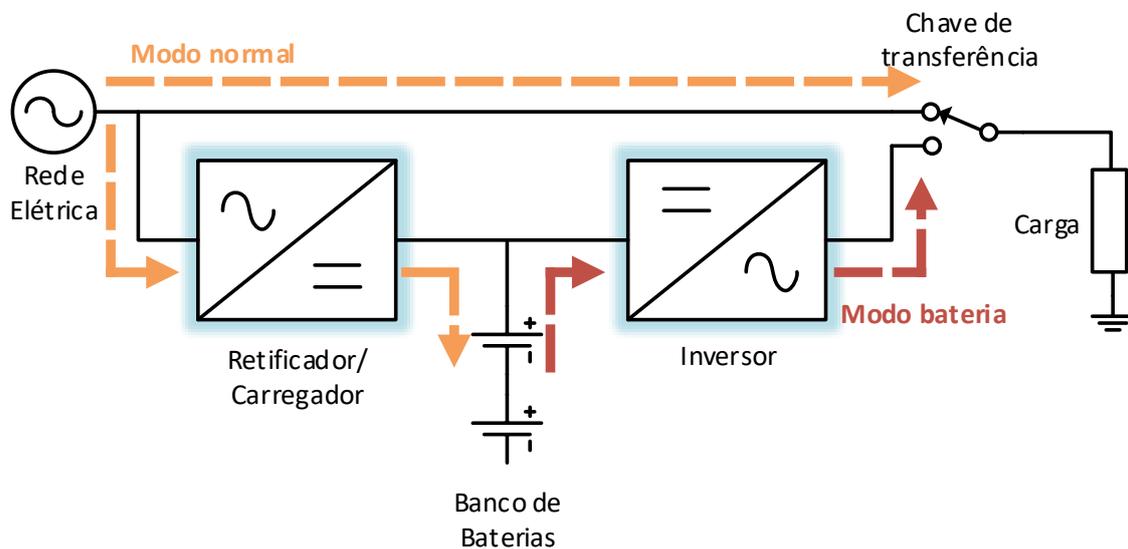
conversores estáticos, baterias para armazenagem de energia e circuitos específicos para controle, interface e proteção.

Ao longo dos anos diversos pesquisadores propuseram nomenclaturas e classificações para as UPSs estáticas [2, 3, 21]. No entanto, conforme apontado em [3] pode existir confusão e mau uso no que se refere aos termos *online* e *offline*, assim este trabalho utilizará a terminologia aceita pela norma IEC 62040-3 [15]. Portanto as UPSs estáticas podem ser classificadas como: *passive standby*, *line interactive* e *double conversion*.

#### 1.1.1.1 UPS *passive standby*

A topologia *passive standby* é uma UPS dependente da tensão e frequência da rede principal, seu diagrama esquemático pode ser visto na Figura 2. Pode-se observar que a UPS é geralmente composta por um banco de baterias, um retificador/carregador de bateria, um inversor e uma chave estática de transferência. Filtros e reguladores de tensão a transformador com comutação de taps podem ser utilizados na saída da UPS para melhorar a qualidade da tensão de saída e rejeitar alguns distúrbios. Existem dois modos de operação para esta UPS: modo normal e modo bateria [3].

Figura 2 – Diagrama simplificado de uma UPS *passive standby*



Fonte: Adaptado de [19]

No modo normal, a carga é alimentada pela rede principal e as baterias são mantidas carregadas através do retificador/carregador. Enquanto isso, o inversor é mantido desligado em modo *standby*.

Passando ao modo bateria, quando a tensão da fonte primária c.a. sai dos valores tolerados ou se torna indisponível, a bateria e o inversor garantem continuidade do

fornecimento de potência a carga. O período de transição entre o modo normal e o modo bateria é chamado de tempo de transferência, as normas não mencionam um tempo específico, mas geralmente é menor que 10 ms. A UPS continua a funcionar no modo bateria até o retorno da tensão da rede dentro dos limites tolerados ou até o fim do tempo de autonomia das baterias.

As vantagens desta topologia são [2, 3]:

- Projeto simples;
- Rendimento elevado, pois o inversor é mantido desligado a maior parte do tempo;
- Baixo custo e volume.

Em contrapartida, as desvantagens da topologia são citadas a seguir [2, 3]:

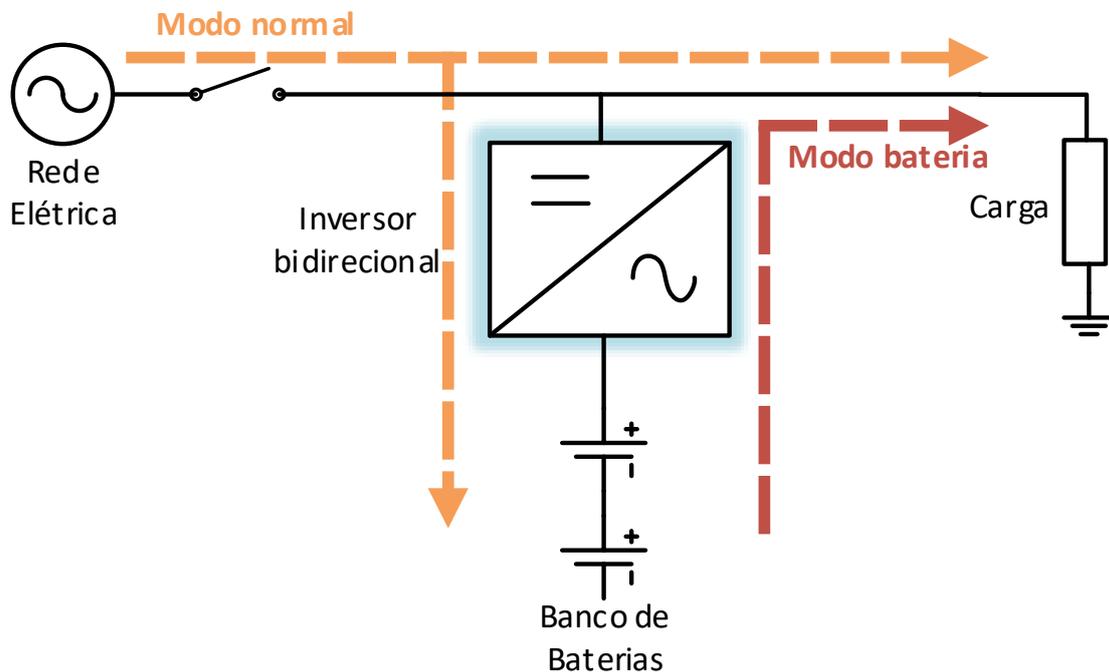
- Dependência da tensão da rede e incapacidade de regulação da mesma sem inclusão de componentes adicionais;
- Dependência da frequência da rede, inviabilizando a rejeição de distúrbios associados à variação de frequência [19];
- Falta de isolamento entre a carga e a rede principal;
- Forma de onda de saída não senoidal quando operando no modo bateria, impossibilitando o uso desta topologia para alimentar cargas sensíveis;
- Performance fraca em caso de cargas não-lineares;
- A potência nominal dos modelos encontrados comercialmente está limitada em 5 kVA devido às desvantagens e limitações desta topologia [7].

Em consequência do baixo custo, esta topologia é largamente empregada para alimentar computadores pessoais e equipamentos de informática em pequenos escritórios.

#### 1.1.1.2 UPS *line interactive*

Na topologia *line interactive*, mostrada na Figura 3, o inversor é ligado em paralelo com a rede, interagindo com a mesma em operação reversível. Podem existir três modos de operação para esta UPS: modo normal, modo bateria e modo *bypass* [3].

No modo normal, a carga é alimentada pela associação paralela da rede com o inversor. O inversor provê condicionamento da tensão da rede, como um filtro ativo, e carregamento do banco de baterias, com a frequência da saída dependente da frequência da rede principal.

Figura 3 – Diagrama simplificado de uma UPS *line interactive*

Fonte: Adaptado de [19]

Quando a tensão da fonte primária c.a. sai dos valores tolerados ou se torna indisponível, o equipamento passa a operar no modo bateria. O banco de baterias em conjunto com o inversor mantém a alimentação da carga. A chave estática desconecta a rede para prevenir retorno de energia do inversor para a rede. A UPS continua a funcionar no modo bateria até o retorno da tensão da rede dentro dos limites tolerados ou até o fim do tempo de autonomia das baterias.

Por fim, o modo *bypass* é um modo opcional de manutenção que permite a ligação da carga diretamente à rede através de uma chave de *bypass*, em caso de mau funcionamento da UPS.

As principais vantagens de uma UPS *line interactive* são o projeto simples e menor custo, quando comparadas às UPSs *double conversion*, e possibilidade de funcionamento como filtro ativo. No entanto, a topologia *line interactive* possui as desvantagens listadas a seguir [3, 2]:

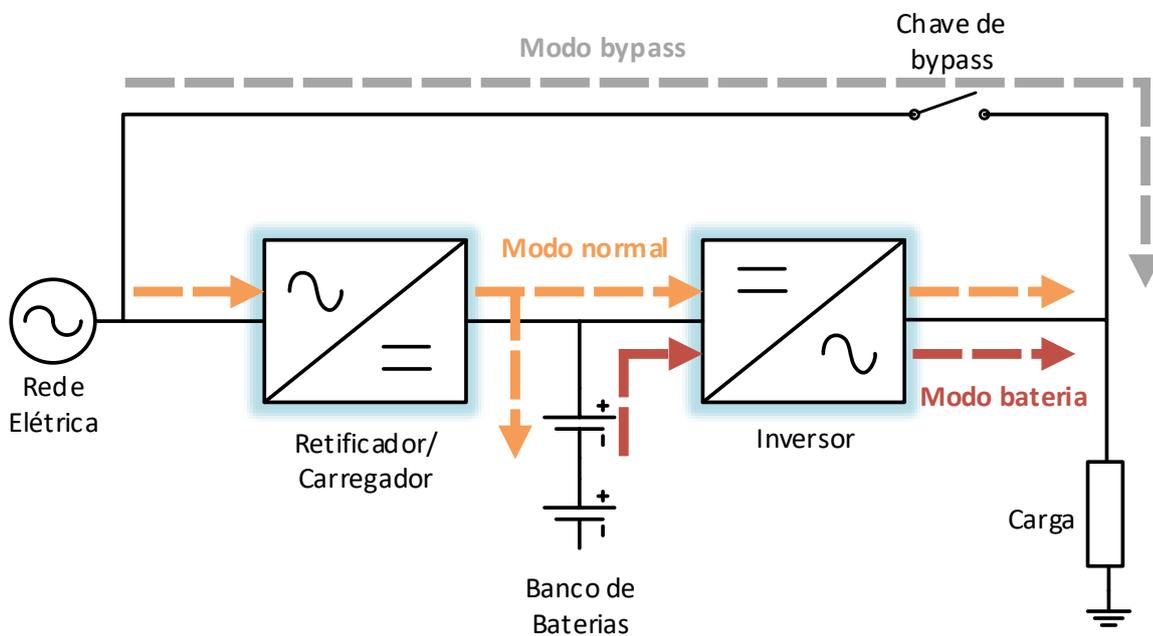
- Dependência da frequência da rede, inviabilizando a rejeição de distúrbios associados à variação de frequência [19];
- Falta de isolamento entre a carga e a rede principal;

- Proteção fraca contra transitórios, sobretensões e surtos;
- Rendimento baixo em caso de cargas não-lineares;
- A potência nominal dos modelos encontrados comercialmente está limitada em 5 kVA devido às desvantagens e limitações desta topologia [7].

### 1.1.1.3 UPS *double conversion*

A Figura 4 ilustra o diagrama de uma UPS *double conversion*. Esta topologia é composta por um retificador/carregador e um inversor conectados em série com a carga, por esse motivo ela é chamada de dupla conversão. Adicionalmente, devem estar presentes o banco de baterias e a chave de bypass. O retificador deve ser projetado para fornecer a potência nominal da carga assim como a potência necessária para carregamento das baterias, o inversor deve ser projetado para potência nominal e as baterias devem ser dimensionadas de acordo com o tempo de autonomia necessário (que varia conforme a aplicação). Para esta topologia existem três modos de funcionamento: modo normal, modo bateria e modo bypass [3].

Figura 4 – Diagrama simplificado de uma UPS *double conversion*



Fonte: Adaptado de [19]

No modo normal, a carga é continuamente alimentada pela associação em série do retificador-inversor, assim é possível fornecer à carga uma tensão regulada com amplitude e frequência independentes da tensão da rede principal. Associado ao retificador ou ao

barramento c.c., um pequeno conversor c.c.-c.c. é responsável pelo carregamento do banco de baterias.

Quando a tensão da fonte primária c.a. sai dos valores tolerados ou se torna indisponível, o equipamento passa a operar no modo bateria. O banco de baterias em conjunto com o inversor mantém, com tempo de transferência nulo, a alimentação da carga. A UPS continua a funcionar no modo bateria até o retorno da tensão da rede dentro dos limites tolerados ou até o fim do tempo de autonomia das baterias.

Finalmente, o modo *bypass* permite a ligação da carga diretamente à rede através de uma chave de *bypass* estática. Esta chave é usada em caso de mau funcionamento interno da UPS, transitórios da corrente de carga (in-rush ou faltas) ou sobrecargas. No entanto, a UPS deve garantir o sincronismo entre a tensão de saída e a tensão da rede para possibilitar a transferência de alimentação. O equipamento pode ser provido de uma chave de *bypass* com operação manual para possibilitar sua manutenção.

Dentre as vantagens desta topologia, pode-se ressaltar [2, 3, 19, 20]:

- O inversor provê contínua proteção para a carga, seja no modo normal ou bateria;
- Tempo de transferência nulo, visto que a carga é alimentada continuamente pelo inversor;
- Capaz de rejeitar a maioria dos distúrbios da rede elétrica devido ao processo de dupla conversão;
- Através do controle em malha fechada, é capaz de produzir corrente de entrada senoidal com fator de potência unitário, para uma larga faixa de tolerância de tensão de entrada;
- Regulação precisa da tensão de saída com baixa taxa de distorção harmônica (Total Harmonic Distortion-THD), mesmo em caso de cargas não lineares;
- Performance superior tanto em regime permanente quanto em regime transitório;
- As chaves de *bypass*, manual ou estática, aumentam a redundância do sistema e facilitam a manutenção.

Esta é a mais completa topologia em termos de proteção da carga, regulação, performance e confiabilidade. Porém, as desvantagens existem e são listadas a seguir [2, 3, 19, 20]:

- Rendimento menor, isso ocorre devido a associação série de dois conversores;

- Maior custo em consequência da quantidade de conversores estáticos presentes e da potência envolvida nos mesmos;
- Necessidade de dimensionar o retificador acima da potência nominal, pois além de fornecer potência à carga o retificador deve suprir a demanda do carregador de baterias.

Em virtude do maior custo da UPS *double conversion*, elas são usadas quase exclusivamente em aplicações críticas de potência elevada. Mesmo com custo elevado esta topologia representa cerca de 95% das vendas na faixa de poucos kVA e 98% das vendas para UPSs acima de 10 kVA. A dominância da topologia *double conversion* se explica pela suas poucas desvantagens, combinado com a capacidade de atender as necessidades de cargas sensíveis [3].

Em termos de rendimento, ao realizar uma pesquisa entre alguns fabricantes nacionais de UPS [22, 23, 24, 25], pôde-se constatar que o rendimento, em carga nominal de 10 kW, da maioria das UPS disponíveis comercialmente está na faixa entre 87% e 92%.

Assim, um dos objetivos deste trabalho é realizar o projeto de uma UPS trifásica de dupla conversão de potência nominal de 10 kVA e rendimento acima de 94%. Uma das formas de se projetar conversores estáticos mais eficientes é utilizando tecnologias emergentes de componentes semicondutores como os de Carbeto de Silício, a próxima seção irá apresentar resumidamente as principais características desses dispositivos.

## 1.2 Dispositivos de Carbeto de Silício

O Silício se consolidou desde 1950 como o material semicondutor mais utilizado para a fabricação de dispositivos eletrônicos. Isso é devido a capacidade de crescimento de cristais com diâmetro importante e elevado grau de pureza permitindo a produção em larga escala e com custo reduzido de produtos eletrônicos [26]. No entanto, as propriedades intrínsecas do material de Silício (Si) estão se tornando o fator limitante para a melhoria de performance dos dispositivos de potência, e conseqüentemente, dos conversores eletrônicos para impulsionar a evolução de acordo com as expectativas industriais [27].

Assim, muito esforço tem sido despendido visando desenvolver transistores fabricados com materiais que possuem larga banda de energia (WBG - Wide bandgap), como o Carbeto de Silício (SiC - Silicon Carbide) e o Nitreto de Gálio (GaN - Gallium Nitride). Diversos estudos vêm demonstrando a possibilidade da aplicação de transistores SiC e GaN em conversores operando em elevadas frequências de chaveamento, elevadas tensões e elevada temperatura de trabalho [12, 28, 29, 30, 31, 32]. Essas capacidades dos componentes WBG permitem a construção de equipamentos com menores elementos passivos, menores dissipadores e ao mesmo tempo melhorar a eficiência do sistema [14]. Em razão

da maior disponibilidade comercial dos dispositivos SiC, em relação aos componentes GaN, eles serão o foco deste trabalho.

Em relação ao setor de UPS, a pesquisa realizada em [13], indica que a integração de UPSs baseadas em SiC em Data Centers pode proporcionar melhoria da eficiência e redução do calor gerado por estas instalações, gerando uma economia anual de 12 TWh de energia elétrica apenas nos Estados Unidos. Os autores em [33] mostraram que, apesar de possuir maior preço de aquisição, uma UPS baseada em SiC de 250 kVA possibilita uma economia de 17.000 euros ao longo de cinco anos, quando o preço da energia elétrica é de 0,10 euros por kWh, em comparação com a utilização de uma UPS típica baseada em componentes de Silício.

No tocante dos protótipos e equipamentos existentes em laboratório, foi apresentado em [34] o projeto completo de uma UPS monofásica de 2 kVA que, utilizando módulos customizados de MOSFETs SiC, é capaz de atingir rendimento de 98,3%. A UPS em questão opera na frequência de chaveamento de 100 kHz, reduzindo o volume dos elementos passivos. Após otimizações dos componentes de dissipação térmica, o volume final do protótipo atingiu a marca de 0,266 litros.

O instituto de pesquisas alemão Fraunhofer ISE anunciou em 2015 os resultados obtidos com um inversor de 10 kW para aplicações de UPS construído com MOSFETs SiC. Apontou-se rendimento máximo de 98,7% com tensão de barramento de 700 V e 40% de potência de carga. Operando na frequência de chaveamento de 100 kHz, o volume foi reduzido para apenas 5 litros. A pesquisa foi realizada em colaboração com o fabricante de MOSFETs ROHM que forneceu os transistores para produção do protótipo [35, 36].

No contexto industrial, a Toshiba anunciou em 2015 a primeira UPS comercial de 500 kVA fabricada com módulos de potência com MOSFETs SiC [37]. Um ano mais tarde, 2016, o portfólio foi expandido ao anunciar a UPS de 750 kVA, segundo alegação do fabricante o equipamento é 56% menor em volume se comparado aos equipamentos fornecidos pelos concorrentes [38]. A Tabela 2 mostra as principais especificações dos dois modelos e a Figura 5 representa a curva de rendimento para o modelo de 500 kVA, pode-se notar o ótimo desempenho da UPS que apresenta rendimento acima de 98% para a faixa de 30% a 75% de carga.

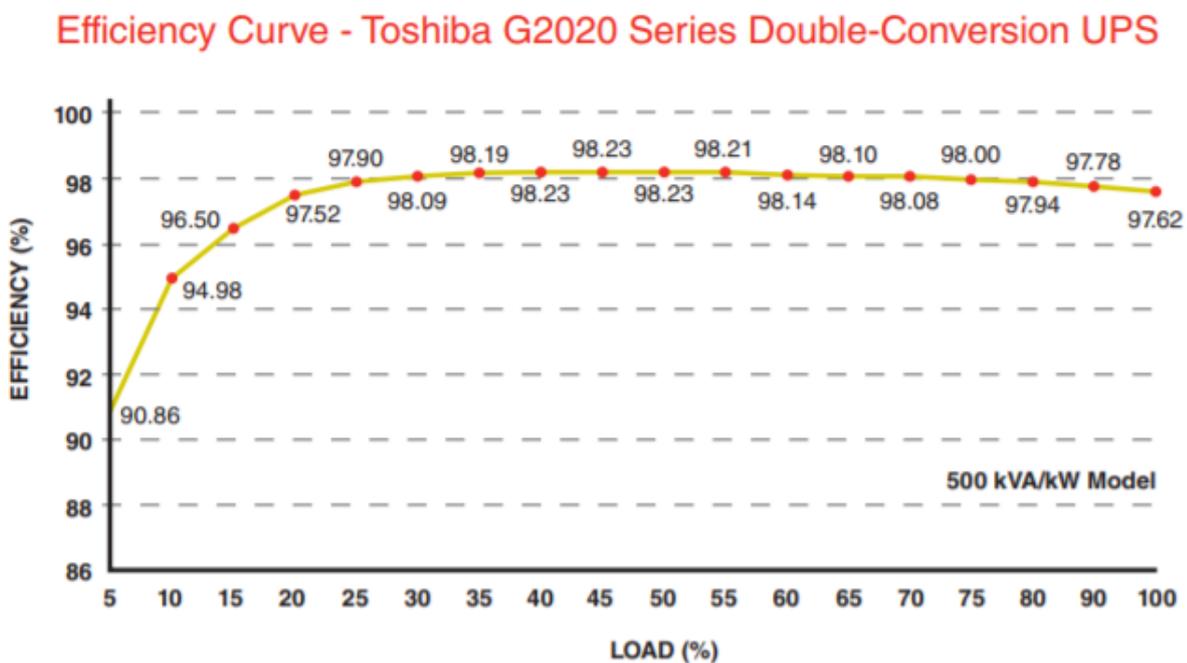
Algumas pesquisas de mercado vêm sendo feitas de forma a prever o crescimento da utilização dos dispositivos SiC em diversas aplicações. A Figura 6 foi obtida a partir de uma apresentação realizada na conferência APEC em 2015 e mostra a evolução esperada do mercado de SiC entre 2010 e 2020, pode-se observar que a maior porção do mercado estará ligada às aplicações de veículos elétricos e inversores fotovoltaicos. Apesar de ser menos expressiva, a fatia ligada às aplicações de UPS com SiC apresentará visível crescimento [40, 41].

Tabela 2 – Especificações das UPSs fabricadas pela Toshiba utilizando módulos de potência SiC

Modelo	T200H0500KWWW	T200H0750KWWW
Capacidade	500 kVA	750 kVA
Topologia	<i>Double Conversion</i> /Dupla Conversão	
Tensão	480 V trifásico	
Frequência	60 Hz	
THD de Corrente de entrada	<3% em carga nominal	
THD da Tensão de saída	<5% em carga nominal não-linear	
Peso	1.250 kg	1.810 kg
Dimensões (Comprimento x Largura x Altura)	1,5 m x 0,85 m x 2,05 m	2,07 m x 0,85 m x 2,05 m

Fonte: Adaptado de [39]

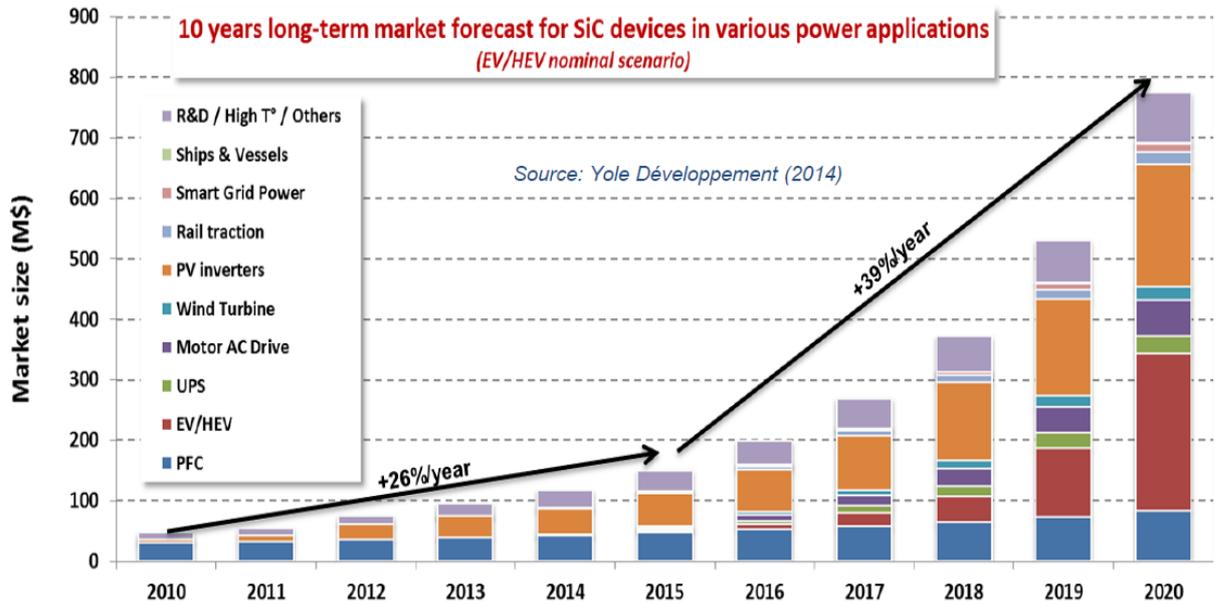
Figura 5 – Curva de rendimento da UPS SiC de 500 kVA fabricado pela Toshiba



Fonte: [39]

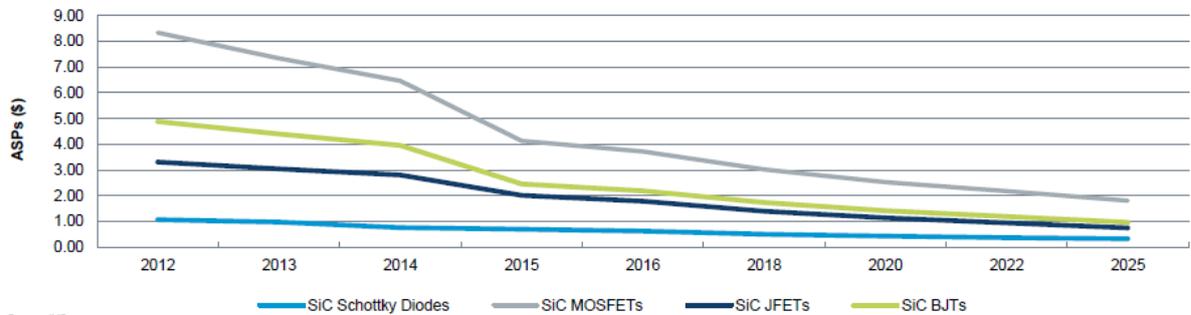
A Figura 7 foi obtida a partir de uma apresentação realizada na conferência APEC em 2016 e ilustra as previsões para os preços dos componentes até 2025. Houve uma queda expressiva, entre 2012 e 2015, de 50% para MOSFETs SiC, de 49% para BJTs SiC, de 39% para JFETs SiC e de 35% para diodos SiC. Espera-se que o preço dos componentes SiC continue a cair nos próximos anos sendo impulsionado pelos seguintes fatores: aumento da demanda, entrada de mais fabricantes no mercado, adoção de *wafers* de melhor qualidade

Figura 6 – Evolução esperada do mercado de SiC entre 2010 e 2020



Fonte: [40]

Figura 7 – Previsão da evolução relativa do preço dos componentes entre 2012 e 2025



Fonte: [41]

e tamanho [41].

Dessa forma, pode-se constatar que o cenário é favorável ao desenvolvimento de UPSs utilizando dispositivos de Carbetto de Silício. A próxima subsecção irá abordar as principais características desse material.

### 1.2.1 Características

O Carbeto de Silício, *Silicon Carbide-SiC*, é um composto semiconductor formado por Silício (Si) e Carbono (C). SiC existe em uma variedade de estruturas cristalinas polifórmicas chamadas politipos, os politipos mais comuns são 3C-SiC, 6H-SiC e 4H-SiC. Atualmente, o politipo 4H-SiC é preferida para a fabricação prática de dispositivos de potência. *Wafers* de 4H-SiC com diâmetros entre 3 e 6 polegadas estão disponíveis comercialmente [42].

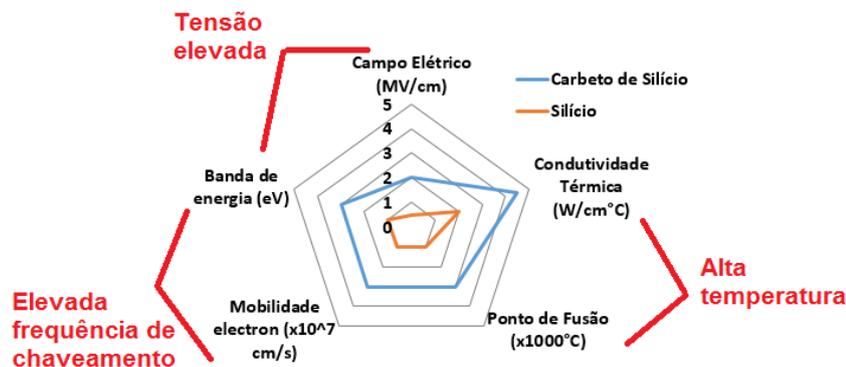
A Tabela 3 compara as principais propriedades do material 4H-SiC com o Si, a Figura 8 mostra essa comparação de forma gráfica. Essas propriedades fazem do Carbeto de Silício um material atrativo para construir componentes que podem ultrapassar a performance de seus correspondentes de Si. Semicondutores de Carbeto de Silício podem suportar elevada tensão de bloqueio, rápidos tempos de comutação e alta temperatura.

Tabela 3 – Propriedades dos materiais de Si e 4H-SiC

	Si	4H-SiC
<b>Estrutura do Cristal</b>	Diamante	Hexagonal
<b>Gap de Energia: <math>E_g</math> (eV)</b>	1,12	3,26
<b>Mobilidade do elétron: <math>\mu_n</math> <math>cm^2/Vs</math></b>	1400	900
<b>Mobilidade de lacunas: <math>\mu_p</math> <math>cm^2/Vs</math></b>	600	100
<b>Campo de ruptura: <math>E_B</math> (V/cm) <math>\times 10^6</math></b>	0,3	3
<b>Condutividade térmica (W/cm°C)</b>	1,5	4,9
<b>Velocidade de deriva: <math>v_s</math> (cm/s) <math>\times 10^7</math></b>	1	2,7
<b>Constante dielétrica: <math>\epsilon_s</math></b>	11,8	9,7

Fonte: Adaptado de [42]

Figura 8 – Comparação das propriedades dos materiais Si e SiC



Fonte: Adaptado de [43]

Com tensão de ruptura aproximadamente 10 vezes maior e gap de energia quase 3 vezes maior, os dispositivos SiC podem ser feitos com camada de deriva mais fina e/ou com maior concentração de dopantes. Assim, obtém-se dispositivos com elevada tensão de bloqueio (acima de 600 V) e ainda com resistência relativa muito pequena quando comparada aos componentes de Silício [42].

A diminuição da camada de deriva do dispositivo leva à redução da área relativa do componente que, por sua vez, resulta na diminuição das capacitâncias parasitas do chip ( $C_{oss}$ ,  $C_{iss}$  e  $C_{rss}$ ). Com menores capacitâncias, o processo de carga e descarga durante a comutação do transistor se torna mais rápido resultando em menores perdas de chaveamento [44]. Essa característica permite a elevação da frequência de chaveamento do conversor e conseqüente redução dos componentes passivos como indutores e capacitores.

O largo gap de energia também está ligado à operação em altas temperaturas, pois quanto maior o gap maior será a dificuldade dos portadores de carga migrarem da banda de valência para a banda de condução quando a temperatura aumenta. Além disso, o material possui elevado ponto de fusão e alta condutividade térmica. O conjunto desses fatores possibilita a operação de transistores SiC em temperaturas de junção acima de 200 °C. No entanto, a tecnologia atual de encapsulamentos e módulos de potência limita a temperatura de operação entre 150°C e 175°C[42]. De forma a transpor esses limites e aproveitar ao máximo as capacidades dos componentes SiC, diversas pesquisas vêm sendo conduzidas para melhoria dos materiais que compõem os módulos e encapsulamentos [45, 46, 47, 48, 49, 50].

#### 1.2.1.1 SiC Schottky Barrier Diode

Os diodos SiC do tipo Schottky Barrier (SBD), ou barreira Schottky, foram os primeiros componentes a serem disponibilizados comercialmente em 2001 [12]. Atualmente são os dispositivos SiC mais utilizados, principalmente em aplicações de correção de fator de potência (power factor correctors - PFC) e retificadores de alta frequência de fontes chaveadas [42]. Podem ser encontrados para uma larga faixa de tensões de bloqueio, 300 V a 3,3 kV, e capacidade de condução de correntes de até 50 A [42].

A corrente de recuperação reversa e o tempo de recuperação dos diodos SiC SBD são praticamente desprezíveis, conseqüentemente as perdas de recuperação reversa são, na grande maioria dos casos, consideradas nulas [42]. Além disso, a facilidade de paralelismo permitiu a construção de módulos de potência híbridos constituídos de IGBTs de Silício e diodos SiC como diodos de roda livre.

#### 1.2.1.2 SiC MOSFET

No momento atual, o dispositivo eletrônico mais popular em aplicações de alta tensão e alta corrente é o IGBT (Insulated Gate Bipolar Transistor) baseado em Silício.

Com os IGBTs, baixa resistência de condução é alcançada ao utilizar a modulação da condutividade. Durante a condução, portadores minoritários são injetados na camada de deriva reduzindo a resistência. No entanto, quando o transistor é desligado, um longo tempo é necessário para esses portadores se recombinarem e se dissiparem da camada de deriva, gerando o conhecido efeito de corrente de cauda que aumenta significativamente as perdas de comutação do IGBT [26].

Os MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) SiC foram desenvolvidos nas últimas décadas como uma alternativa para substituir os IGBTs de Si. Os dispositivos SiC não necessitam da modulação da condutividade para alcançar baixa resistência de condução, pois a camada de deriva é muito menor quando comparada aos componentes de Si. Assim, os componentes SiC não geram corrente de cauda, como resultado as perdas de chaveamento são bem menores em comparação com os IGBTs de Silício. Ademais, o comportamento normalmente aberto e a facilidade de comando e paralelismo do MOSFET SiC o tornam o dispositivo preferido para uso em curto prazo dentre os dispositivos WBG.

A Figura 9 apresenta os principais fabricantes de componentes SiC, outros fabricantes existem, porém são menos expressivos. É possível encontrar junto à esses fabricantes MOSFETs com capacidade de bloquear tensões entre 600 e 1700 V e de conduzir correntes de até 100 A para componentes discretos e de até 325 A para módulos de potência.

Figura 9 – Principais fabricantes de dispositivos SiC



Fonte: Dados da Pesquisa, 2017

## 1.3 Conclusões do Capítulo

Este capítulo realizou uma breve revisão bibliográfica sobre as UPS e os dispositivos de Carbetto de Silício. Foram apresentadas as vantagens e desvantagens das classes de UPS, com destaque para a topologia *double conversion*, dupla conversão, que é o objeto de estudo deste trabalho. Em seguida, as características dos dispositivos SiC foram apresentadas, essas características permitem a construção de conversores mais eficientes e, ao mesmo tempo, com maior densidade de potência.

O próximo capítulo irá comparar, do ponto de vista de perdas e custo, a aplicação de transistores de Carbetto de Silício em diversas topologias de inversor e retificador.



## 2 Comparação de Topologias

A abordagem utilizada neste trabalho para a escolha da topologia será uma comparação entre várias topologias de inversores e retificadores usando chaves de Carbetto de Silício e/ou de Silício. Para uma comparação justa, os conversores devem ser avaliados nas mesmas condições de operação, portanto, este trabalho abordará os dois casos mostrados na Tabela 4.

Tabela 4 – Condições de comparação.

Condição	$V_{an}$	$V_{dc}$	$P_{out}$	$I_a$
A	127 $V_{rms}$	400 V	10 kW	26.4 $A_{rms}$
B	220 $V_{rms}$	700 V	10 kW	15.1 $A_{rms}$

O conversor ideal deve ser aquele com melhor eficiência e menor custo. Com relação a esses aspectos, uma Figura de Mérito (FOM - Figure of Merit) é estabelecida na Equação 2.1 para avaliar e determinar as topologias mais promissoras. Desta forma, as perdas de energia nos transistores e sua variação com a frequência de comutação precisam ser calculadas. O custo considerado é o preço unitário dos interruptores consultados na Digikey [51] em 17 de março de 2017.

$$FOM(f_{sw}) = P_{losses}(f_{sw}) \times Custo \quad (2.1)$$

onde  $P_{losses}$  corresponde às perdas na frequência de chaveamento  $f_{sw}$ .

### 2.1 Método de Avaliação de Perdas

O método de estimação de perdas descrito em [52] será usado neste trabalho. Primeiro, é necessário caracterizar o dispositivo semiconductor cujas perdas devem ser calculadas. A caracterização completa do interruptor requer o conhecimento de suas principais curvas operacionais na temperatura de interesse, são elas: curva de corrente de condução no estado de condução, curvas de energia de comutação do dispositivo e curva de energia de recuperação reversa do diodo anti-paralelo. A temperatura de junção considerada é 150 °C.

A estimativa de perdas é feita através da implementação de *look-up tables* para as curvas operacionais do interruptor, seguidas do uso das equações (2.2) e (2.3).

$$P_{cond} = T_{step} \cdot f_g \cdot \sum_T \{i_s \cdot v_s(i_s)\} \quad (2.2)$$

$$P_{sw} = P_{on} + P_{off} + P_{rr} \quad (2.3)$$

$$P_{on} = k \cdot f_g \cdot \sum_T \{E_{on}(i_s)\} \quad (2.4)$$

$$P_{off} = k \cdot f_g \cdot \sum_T \{E_{off}(i_s)\} \quad (2.5)$$

$$P_{rr} = k \cdot f_g \cdot \sum_T \{E_{rr}(i_s)\} \quad (2.6)$$

Nas equações,  $P_{cond}$  corresponde à perda média de condução durante um período ( $T$ ) de frequência ( $f_g$ ) da rede,  $i_s$  corresponde à corrente do transistor, enquanto  $v_s$  refere-se à tensão sobre o transistor durante condução cujo valor é obtido de uma das *look-up tables* e  $T_{step}$  corresponde ao passo de cálculo de simulação. As energias  $E_{on}$ ,  $E_{off}$  e  $E_{rr}$  correspondem aos valores de energia de ligar, desligar e recuperação reversa, respectivamente. A soma de todas essas energias ao longo de um período produz as perdas de chaveamento  $P_{sw}$ . Finalmente,  $k$  é um fator de correção para levar em conta as diferenças entre as condições sob as quais o semicondutor foi caracterizado pelo fabricante e as condições de interesse (diferente tensão de bloqueio ou resistência de *gate*).

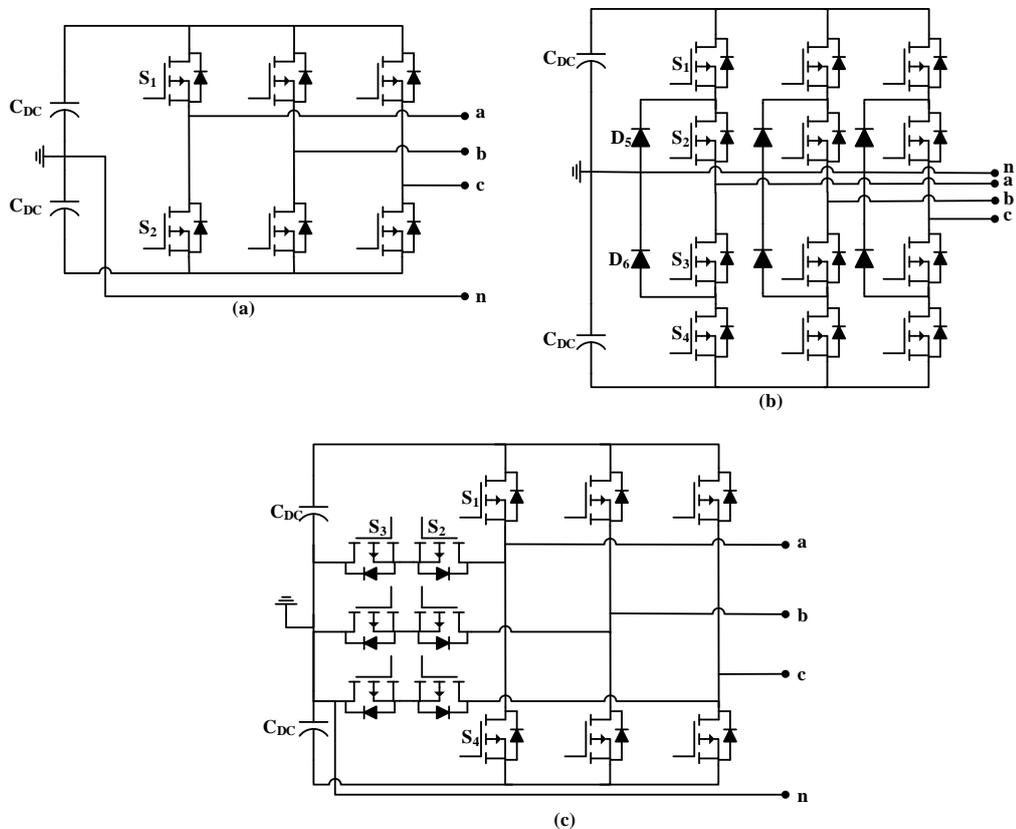
## 2.2 Inversor

O inversor é uma parte crítica de um sistema UPS de dupla conversão, pois ele opera continuamente, quando a rede está ativa ou durante falhas da rede sendo alimentado pelas baterias. As topologias consideradas para implementar o inversor são aquelas frequentemente usadas para aplicações industriais: o inversor de dois níveis clássico, o inversor NPC de três níveis e o inversor T de três níveis. Como uma UPS deve reproduzir a rede elétrica em que está conectada e, para eliminar um transformador grande e pesado, é necessário um quarto fio para conectar o neutro de entrada e saída ao centro dos capacitores do barramento c.c. [4]. Assim, as topologias do inversor, com a inclusão do quarto fio, podem ser vistas na Figura 10.

Além da comparação de topologias, o uso de MOSFETs e diodos de SiC de banda larga também será examinado. Nesse sentido, a comparação inclui, para cada topologia, uma versão em silício, uma versão de carbeto de silício ou uma versão híbrida Si/SiC, quando possível.

A Tabela 5 apresenta todas as possibilidades contempladas nesta dissertação para o inversor, cada configuração é identificada por um número de ID e tem seus custos

Figura 10 – Topologias do inversor comparadas (a) inversor de dois níveis (b) inversor NPC de três níveis (c) inversor T de três níveis



Fonte: Dados da pesquisa, 2018

expressados em dólares americanos, que foram obtidos através de consulta direta ao site do fornecedor.

Em primeiro lugar, serão analisadas as configurações para condição **A** e, em segundo lugar, para condição **B**. Uma vez que a condição **A** tem uma tensão de barramento de 400 V, são utilizados transistores com capacidade de bloqueio de 650 V. As chaves analisadas possuem corrente nominal na faixa de 70 a 80 A.

As configurações #1 e #2 usam a de topologia de dois níveis explorando, respectivamente, uma ponte IGBT de silício e uma ponte MOSFET de carbeto de silício. Em sequência, a topologia NPC tem uma particularidade ao operar como um inversor com o fator de potência próximo da unidade, nesta situação as chaves  $S_1$  e  $S_4$  comutam na frequência de chaveamento e as chaves  $S_2$  e  $S_3$  comutam na frequência da linha, no que diz respeito a este fato, será investigado o desempenho de um NPC baseado em IGBT de silício (#3), um NPC baseado em MOSFETS SiC (#4) e também uma configuração híbrida empregando MOSFETs rápidos de SiC para  $S_1$  e  $S_4$  e IGBTs lentos de Si para  $S_2$  e  $S_3$  (#5). Finalmente, as configurações #6 e #7 usam a topologia de três níveis T com

Tabela 5 – Possibilidades do inversor para as condições A e B

Condição A							
Topologia	ID	Custo	$S_1$	$S_2$	$S_3$	$S_4$	$D_5$ and $D_6$
2 L (Si)	#1	47.34	IKW75N65EL5	IKW75N65EL5	NA	NA	NA
2 L (SiC)	#2	161.28	SCT3030AL	SCT3030AL	NA	NA	NA
3 L NPC (Si)	#3	132.84	IKW75N65EL5	IKW75N65EL5	IKW75N65EL5	IKW75N65EL5	STPSC20065Y
3 L NPC (SiC)	#4	360.72	SCT3030AL	SCT3030AL	SCT3030AL	SCT3030AL	STPSC20065Y
3 L NPC (Si/SiC)	#5	246.78	SCT3030AL	IKW75N65EL5	IKW75N65EL5	SCT3030AL	STPSC20065Y
3 L T (Si)	#6	94.68	IKW75N65EL5	IKW75N65EL5	IKW75N65EL5	IKW75N65EL5	NA
3 L T (SiC)	#7	322.56	SCT3030AL	SCT3030AL	SCT3030AL	SCT3030AL	NA
Condição B							
2 L (SiC)	#8	287.88	SCT3030KL	SCT3030KL	NA	NA	NA
3 L NPC (SiC)	#9	360.72	SCT3030AL	SCT3030AL	SCT3030AL	SCT3030AL	STPSC20065Y
3 L NPC (Si/SiC)	#10	246.78	SCT3030AL	IKW75N65EL5	IKW75N65EL5	SCT3030AL	STPSC20065Y
3 L T (SiC)	#11	449.16	SCT3030KL	SCT3030AL	SCT3030AL	SCT3030KL	NA

Fonte: Preços consultados em [51] no dia 17/03/17

transistores de silício e transistores de carbeto de silício, respectivamente.

Em seguida, as perdas foram calculadas para frequências de comutação no intervalo de 9,6 kHz até 147,84 kHz e os resultados podem ser vistos na Figura 11. Na figura 11(a) é possível ver que, como esperado, os conversores que usam apenas interruptores Si têm desempenho muito fraco ao operar com frequências mais altas, tornando impossível operar esses conversores nessas severas condições devido às limitações dos tempos de comutação dos IGBTs, portanto, as configurações #1, #3 e #6 são descartados da seleção e análise posterior. O gráfico foi redesenhado e é mostrado na Figura 11(b) destacando as perdas dos conversores usando dispositivos de banda larga.

Figura 11 – Perdas dos dispositivos eletrônicos operando sob a condição **A** (a) Configurações #1 a #7 (b) Configurações #2, #4, #5 e #7 destacadas

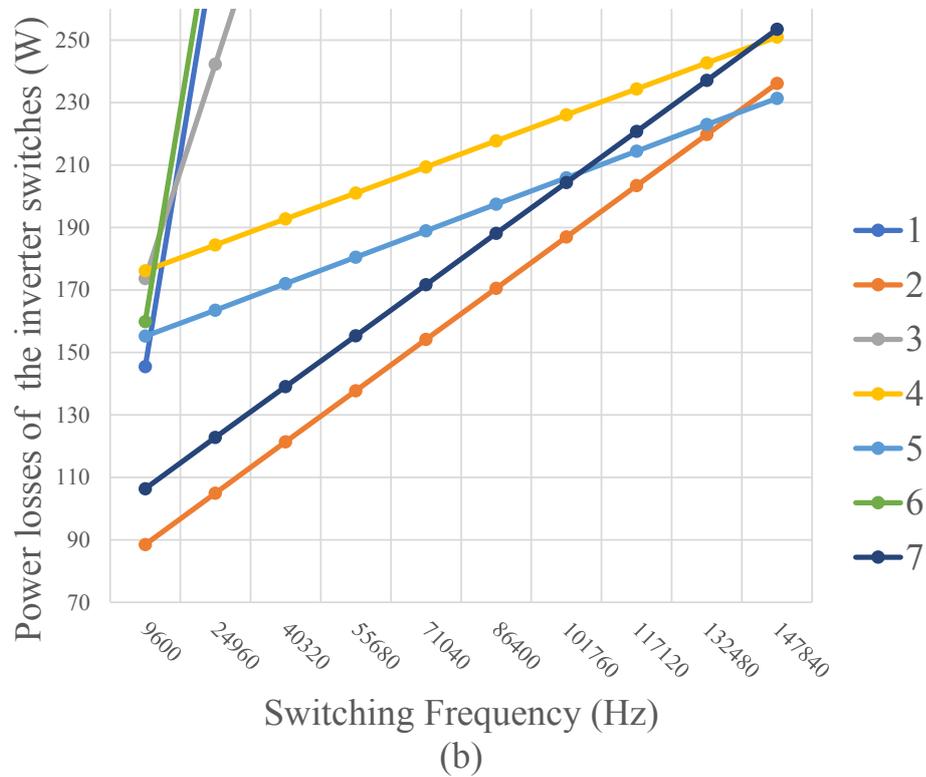
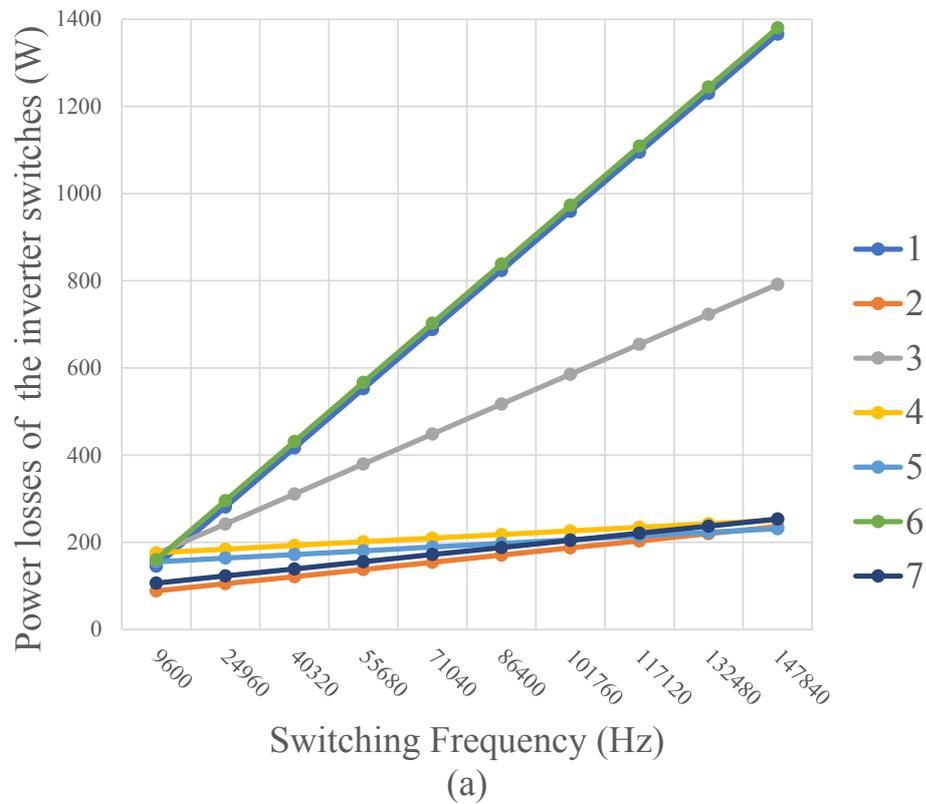
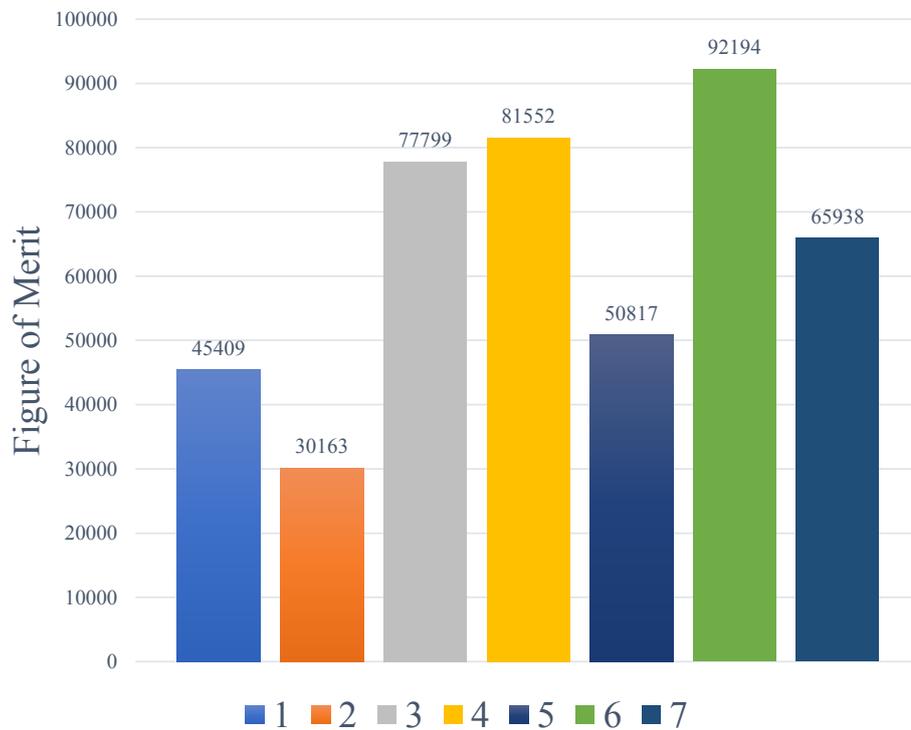


Figura 12 – Avaliação da Figura de Mérito para a condição **A**, calculada usando a Eq. 2.1 com frequência de chaveamento de 101,76 kHz



Fonte: Dados da pesquisa, 2018

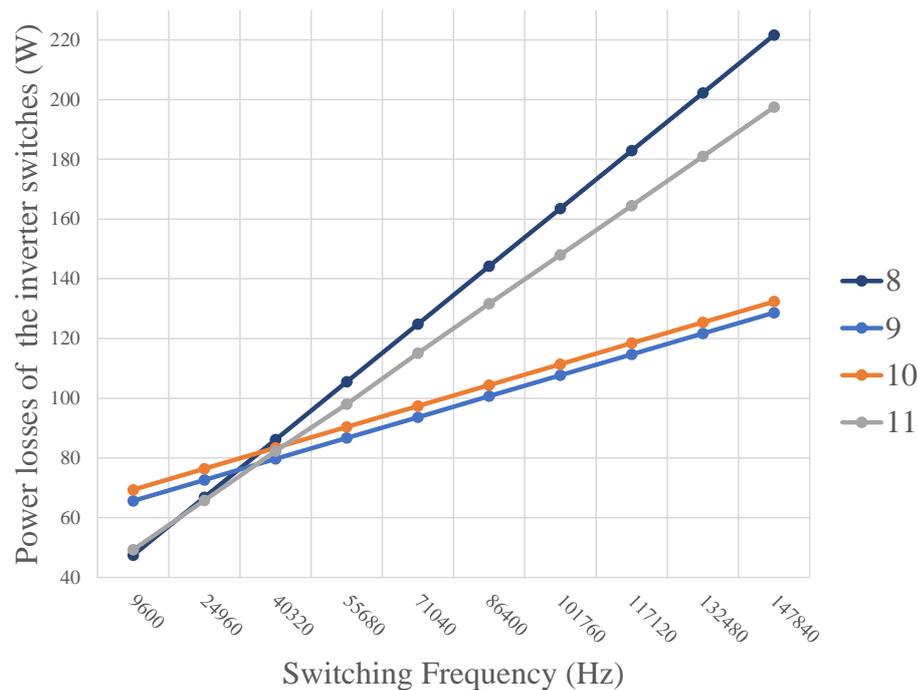
Os conversores que utilizam a topologia NPC de três níveis apresentam perdas de condução adicionais que não compensam as baixas perdas de comutação provenientes dos transistores SiC, no entanto, a configuração híbrida #5 se beneficia da modulação de condutividade de IGBTs que oferece menores perdas de condução e seria uma boa seleção para frequências acima de 140 kHz e/ou maiores tensões de bloqueio. A Configuração #7 permanece com perdas intermediárias e não oferece vantagens sobre a faixa de frequência analisada. A configuração #2 oferece uma melhor eficiência em quase toda a faixa de frequência de comutação e também é mais simples e mais econômica entre as soluções de SiC, produzindo a menor Figura de Mérito como pode-se ver na Figura 12.

Agora, a análise irá considerar a condição **B**, neste momento as configurações que usam apenas dispositivos de silício já foram removidas da comparação. Tendo em vista que, na condição **B**, a tensão do barramento c.c. é de 700 V, são necessários dispositivos com tensão de bloqueio de 1200 V para o inversor de dois níveis e para as chaves  $S_1$  e  $S_4$  do inversor de três níveis tipo T, os demais interruptores e aqueles do inversor NPC bloqueiam a metade da tensão do barramento, podendo assim ser adotados dispositivos com tensão de bloqueio de 650 V.

Novamente, as perdas de potência foram calculadas para as possibilidades mostradas

na Tabela 5 sob a condição **B**, os resultados são exibidos na Figura 13, a Figura de Mérito também foi calculada em 101,76 kHz e é mostrada na Figura 14. Pode-se ver que, inicialmente, as estruturas #8 e #11 apresentam perdas mais baixas, mas à medida que a frequência aumenta, as perdas também aumentam rapidamente, com a estrutura #8 experimentando um maior crescimento. As configurações #9 e #10 têm desempenhos semelhantes e eficiência superior em frequências de chaveamento maiores, isso ocorre devido à menor corrente eficaz desta condição, que produz perdas de condução reduzidas, e à possibilidade de usar chaves de 650 V, com menores perdas de chaveamento. O uso de dispositivos de 650 V também contribui para diminuir o custo, a configuração #10 tem perdas ligeiramente maiores do que a configuração #9, no entanto, produz a menor Figura de Mérito devido à combinação de IGBTs, que possuem menor custo, e MOSFETs de SiC.

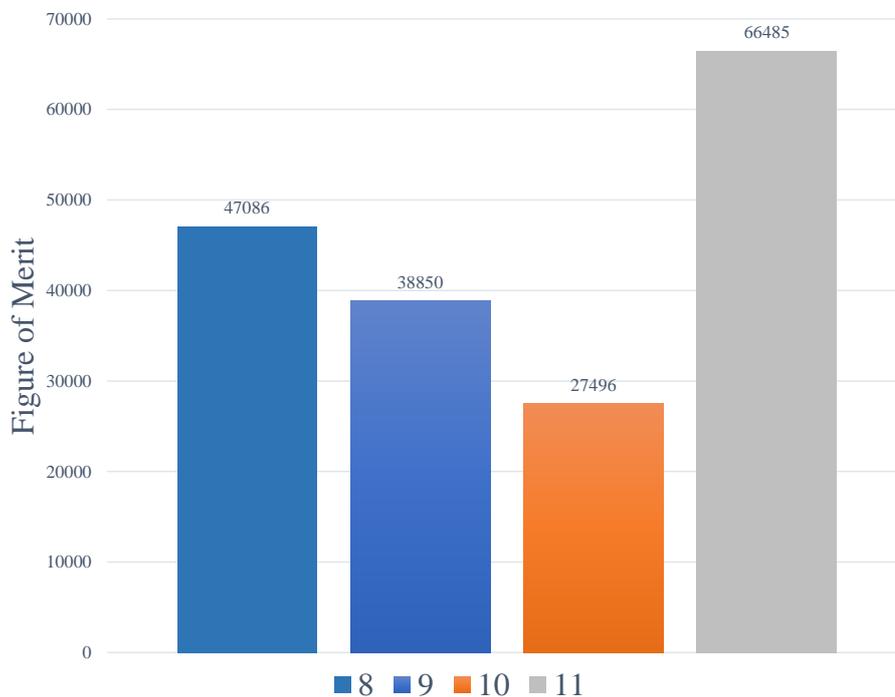
Figura 13 – Perdas para conversores #8 a #11 operando sob a condição **B**



Fonte: Dados da pesquisa, 2018

Após a análise, pode-se afirmar que as configurações ótimas para condições **A** e **B** são, respectivamente, #2 e #10. O primeiro usa a topologia de dois níveis com MOSFETs SiC, o segundo usa a topologia de NPC de três níveis em uma configuração híbrida usando MOSFETs de SiC e IGBTs de Silício.

Figura 14 – Figura de Mérito calculada em 101,76 kHz para conversores #8 a #11 operando sob a condição **B**



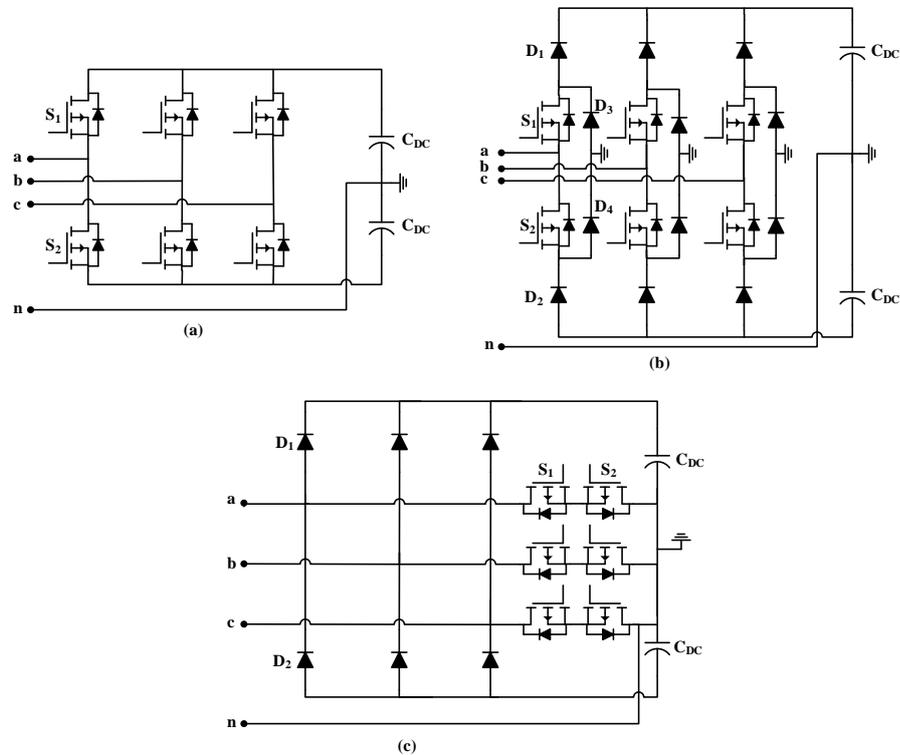
Fonte: Dados da pesquisa, 2018

## 2.3 Retificador

Quando a rede está ativa, o retificador tem a função de converter a tensão c.a. disponível para alimentar o barramento c.c., enquanto mantém a qualidade da corrente de rede e o fator de potência próximo da unidade. As topologias consideradas para implementar o retificador são as mesmas da última seção com uma simplificação nas topologias de três níveis: algumas chaves controladas são substituídas por diodos, os conversores resultantes também são conhecidos na literatura como Vienna Rectifier [53]. Esta simplificação pode reduzir o custo do conversor, mas tem a desvantagem de eliminar a bidirecionalidade de potência, já que as UPSs normalmente não alimentam cargas dinâmicas, a perda de bidirecionalidade não é uma grande desvantagem. Assim como no inversor, o quarto fio foi incluído produzindo os conversores vistos na Figura 15.

A Tabela 6 apresenta todas as possibilidades contempladas neste documento para o retificador, cada configuração é identificada por um número de ID e tem seus custos expressados em dólares americanos. Após a análise realizada na última seção, eliminamos as estruturas usando apenas transistores de silício. Para o conversor NPC de três níveis operando como um retificador, todas as chaves comutam na frequência da portadora, portanto, uma topologia mista usando IGBTs Si e MOSFETs SiC não é viável.

Figura 15 – Topologias do retificador comparadas (a) inversor de dois níveis (b) retificador NPC de três níveis (c) retificador T de três níveis



Fonte: Dados da pesquisa, 2018

Tabela 6 – Possibilidades do retificador para as condições A e B

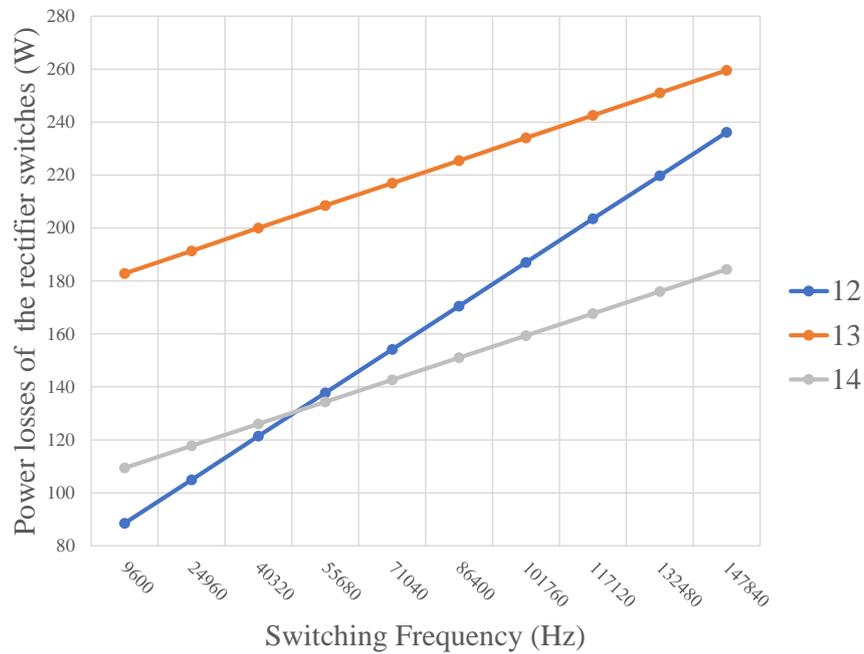
Condition A						
Topology	ID	Cost	S <sub>1</sub>	S <sub>2</sub>	D <sub>1</sub> and D <sub>2</sub>	D <sub>3</sub> and D <sub>4</sub>
2 L (SiC)	#12	161.28	SCT3030AL	SCT3030AL	NA	NA
3 L NPC (SiC)	#13	271.32	SCT3030AL	SCT3030AL	STPSC40065C	STPSC20065Y
3 L T (SiC)	#14	233.16	SCT3030AL	SCT3030AL	STPSC40065C	NA
Condition B						
2 L (SiC)	#15	287.88	SCT3030KL	SCT3030KL	NA	NA
3 L NPC (SiC)	#16	271.32	SCT3030AL	SCT3030AL	STPSC40065C	STPSC20065Y
3 L T (SiC)	#17	227.16	SCT3030AL	SCT3030AL	STPSC20H12	NA

Fonte: Preços consultados em [51] no dia 17/03/17

Em primeiro lugar, serão analisadas as configurações para a condição **A** e, em segundo lugar, para a condição **B**. Uma vez que a condição **A** tem tensão de barramento de 400 V, são utilizados transistores e diodos com capacidade de bloqueio de 650 V.

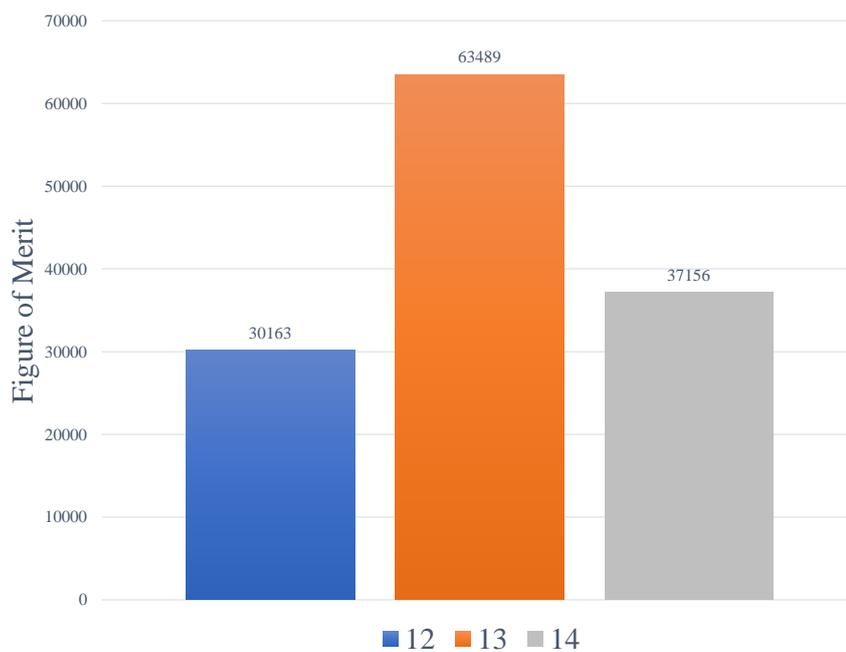
As perdas foram calculadas e estão expostas na Figura 16, a Figura de Mérito foi calculada a 101.760 kHz e também é exibida na Figura 17.

Figura 16 – Perdas em função da frequência para conversores #12 a #14 operando em condição **A**



Fonte: Dados da pesquisa, 2018

Figura 17 – Figura de mérito calculada em 101,76 kHz para conversores #12 a #14 operando em condição **A**



Fonte: Dados da pesquisa, 2018

Uma vez que as perdas de condução são importantes para a topologia do NPC, esta topologia apresenta maiores perdas que ficam acima de todas as outras topologias para a faixa de frequência considerada, além de ter um custo maior produzindo a maior Figura de Mérito.

Apesar de ter o menor custo, as perdas no retificador de dois níveis aumentam rapidamente devido a maiores perdas de chaveamento. A topologia de três níveis T tem o melhor desempenho para frequências de comutação acima de 55 kHz, devido à recuperação reversa desprezível dos diodos SiC Schottky e às perdas de comutação reduzidas da topologia de três níveis T. Esta última solução possui custo intermediário, produzindo uma Figura de Mérito mediana, mas oferece a possibilidade de uma redução adicional de custos, uma vez que os MOSFETs estão conectados em uma configuração de fonte comum, o número de fontes de alimentação isoladas para o circuito de *gate driver* pode ser reduzido, reduzindo assim o custo global do conversor.

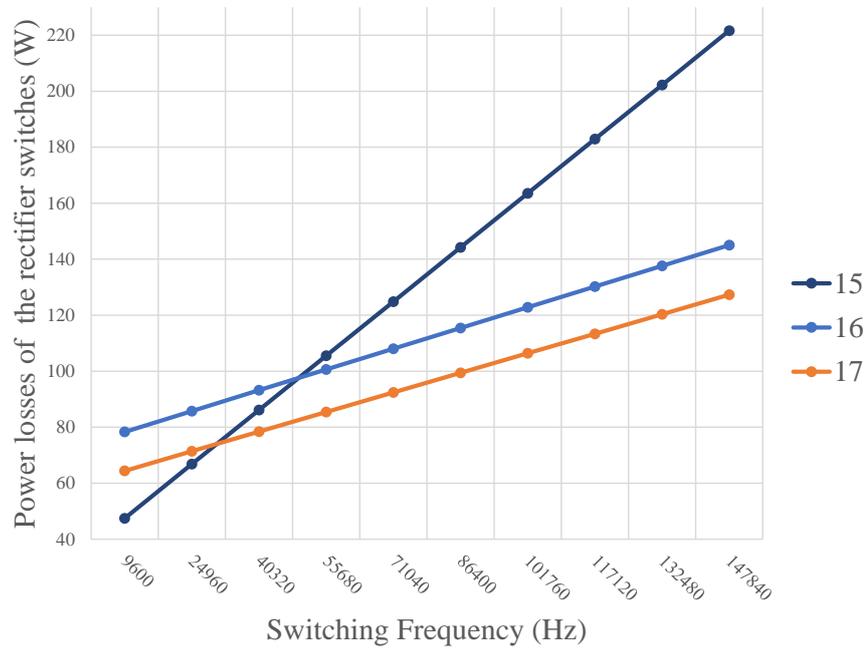
Agora, a análise irá considerar a condição **B**. Considerando que sob a condição **B**, a tensão do barramento é de 700 V, são necessários dispositivos com tensão de bloqueio de 1200 V para o retificador de dois níveis e para diodos  $D_1$  e  $D_2$  do retificador de tipo T de três níveis, os demais interruptores e aqueles para o retificador NPC bloqueiam metade da tensão de barramento, assim, os dispositivos classificados como 650 V podem ser utilizados.

Mais uma vez, as perdas de potência foram calculadas para as possibilidades mostradas na Tabela 6, desta vez sob a condição **B**, os resultados são exibidos na Figura 18 juntamente com a Figura de Mérito que foi calculada em 101.76 kHz.

Para a condição **B** os custos são maiores por causa da maior tensão de bloqueio dos transistores. O retificador de dois níveis têm o menor desempenho e o custo mais alto, portanto, não seria uma boa solução para esta condição. Considerando que a corrente é reduzida nesta condição, a topologia do NPC tem melhor eficiência, se comparada com o resultado para a condição **A**, mas não apresenta um custo satisfatório. Novamente, o retificador de três níveis tipo T apresenta perdas mais baixas e menor custo, portanto demonstra a menor Figura de Mérito.

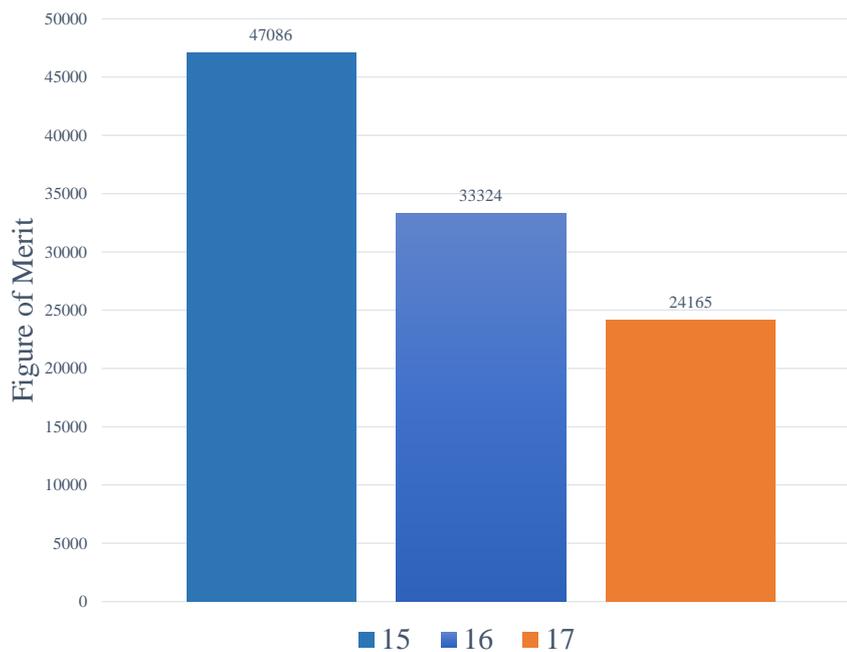
Após a análise, pode-se afirmar que as configurações ótimas para condições **A** e **B** são, respectivamente, #14 e #17. Ambas as configurações usam o retificador de três níveis tipo T, também conhecido como retificador de Vienna, com MOSFETs SiC e diodos Schottky SiC.

Figura 18 – Perdas em função da frequência para conversores #15 a #17 operando em condição **B**



Fonte: Dados da pesquisa, 2018

Figura 19 – Figura de mérito calculada em 101,76 kHz para conversores #15 a #17 operando em condição **B**

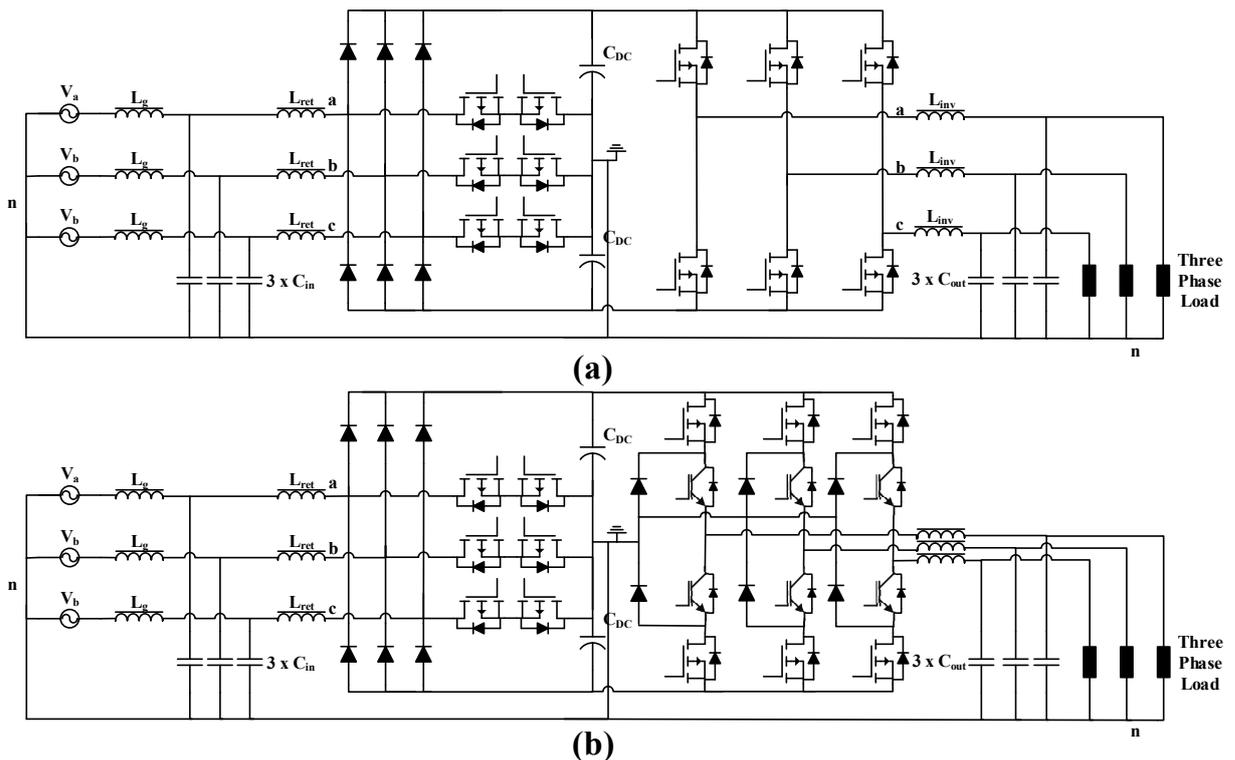


Fonte: Dados da pesquisa, 2018

## 2.4 Conclusões do capítulo

Este capítulo realizou uma ampla comparação de topologias e dispositivos considerando um conversor trifásico c.a.-c.c.-c.a. para aplicação em Fontes Ininterruptas de Energia (UPS). As configurações foram comparadas com relação à eficiência e ao custo. Duas soluções híbridas altamente eficientes foram propostas e podem ser vistas na Figura 20. Verificou-se que a utilização de dispositivos de banda larga de carbeto de silício oferece duas vantagens principais: a primeira é a possibilidade de operação à elevadas frequências de chaveamento, o que leva a redução de componentes passivos, já a segunda é o aumento da eficiência do sistema, resultando em economia de energia e diminuição dos custos do sistema de resfriamento.

Figura 20 – Conversores híbridos AC-DC-AC propostos: (a) para condição **A** emprega a configuração #2 no inversor e a configuração #14 no retificador (b) para a condição **B** emprega a configuração #10 no inversor e a configuração #17 no retificador



Fonte: Dados da pesquisa, 2018

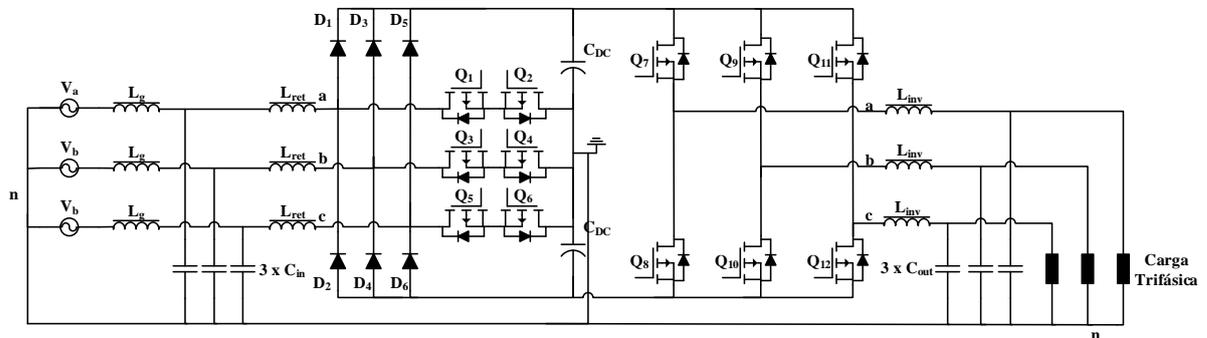
Por trabalhar com tensões reduzidas, o conversor da condição **A** (Figura 20 (a)) oferece maior segurança para ensaios em laboratório. Portanto, este foi o conversor escolhido para projeto, ensaios e validação experimental dos resultados teóricos.



### 3 Projeto do Hardware

A partir das análises realizadas no capítulo 2, decidiu-se por projetar o conversor ótimo para a condição **A** pelo fato de trabalhar em menor tensão, oferecendo maior segurança para os ensaios em laboratório. O diagrama esquemático da topologia é novamente representado na Figura 21.

Figura 21 – Conversor híbrido AC-DC-AC proposto para condição **A** empregando a configuração #2 no inversor e a configuração #14 no retificador



Fonte: Dados da pesquisa, 2017

No início do projeto de um conversor é necessário levar em conta algumas considerações, são elas:

- O projeto do carregador de baterias não será realizado neste trabalho;
- Apesar de não projetado, a potência do carregador deve ser considerada no dimensionamento do retificador. Será considerada uma potência de carga de 4% da potência nominal de saída, Assim a potência nominal do retificador pode ser dada por:

$$P_{ret} = \frac{P_{inv}}{\eta} + P_{carregador} = \frac{10k}{0,94} + 400 \cong 11kW \quad (3.1)$$

- Outros circuitos normalmente encontrados em UPSs de dupla conversão não serão levados em consideração, tais como: chaves de bypass, IHM (Interface Homem-Máquina) e dispositivos de pré-carga.

A Tabela 7 resume as principais especificações e critérios de projeto para esta UPS. As frequências de chaveamento foram determinadas a partir da análise do capítulo 2, optou-se por utilizar frequências de chaveamento ligeiramente diferentes no retificador e no inversor de forma a evitar ressonâncias e oscilações.

Tabela 7 – Principais especificações e critérios de projeto para a UPS da condição A

Especificação	Valor
Potência de saída ( $P_{inv}$ )	10 kW
Tensão de saída fase-neutro ( $V_{a-inv}$ )	127 V
Corrente de saída ( $I_{a-inv}$ )	26,25 A
Potência de entrada ( $P_{ret}$ )	11 kW
Tensão de entrada fase-neutro ( $V_{a-ret}$ )	127 V +/- 10%
Corrente de entrada ( $I_{a-ret}$ )	32 A (pior caso)
Tensão do barramento ( $V_{dc}$ )	400 V
Frequência de operação ( $f_g$ )	60 Hz
Frequência de chaveamento do inversor ( $f_{sw-inv}$ )	101,34 kHz
Frequência de chaveamento do retificador ( $f_{sw-ret}$ )	102 kHz
Temperatura ambiente ( $T_a$ )	40 °C
Temperatura de junção ( $T_j$ )	150 °C
Máximo <i>Ripple</i> de corrente de saída ( $\Delta I_{max-inv}$ )	50 % da corrente de pico
Máximo <i>Ripple</i> de corrente de entrada ( $\Delta I_{max-ret}$ )	40 % da corrente de pico
Máximo <i>Ripple</i> de tensão c.c. ( $\Delta V_c$ )	5 % da tensão $V_{dc}$
Rendimento ( $\eta$ )	94%

Fonte: Dados da pesquisa, 2017

Desse modo, considerando as especificações informadas, as próximas seções irão tratar do projeto do hardware da UPS destacando os seguintes pontos: projeto térmico, projeto dos indutores, dimensionamento dos capacitores, projeto do *gate driver* e a especificação dos sensores utilizados.

### 3.1 Projeto Térmico

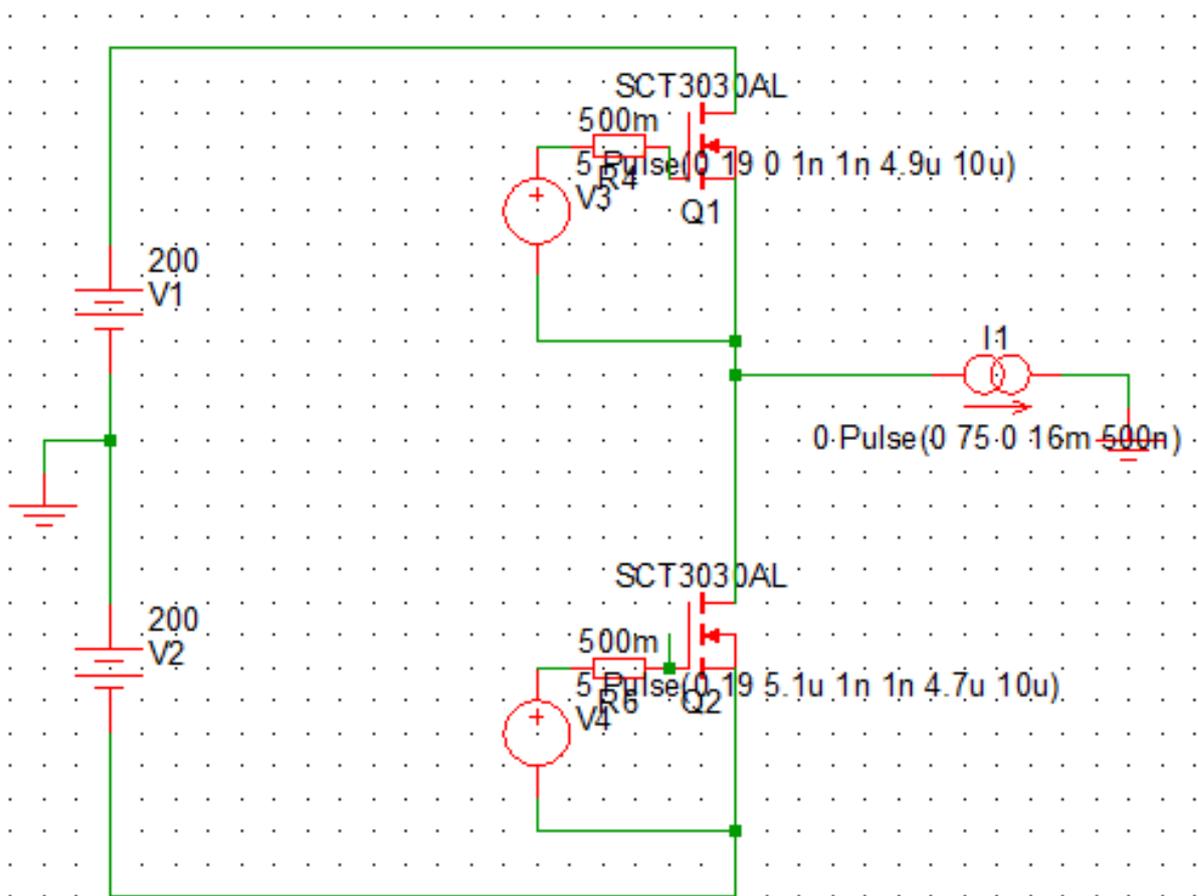
Apesar de se constituir como um bom ponto de partida para comparação e escolha de topologia, a estimação das perdas de chaveamento através da utilização das curvas de energia do *datasheet* não é precisa. O fabricante não informa com clareza as condições em que o ensaio de duplo pulso foi executado, não são informados os equipamentos de medição utilizados nem a indutância da malha de comutação. Alguns pesquisadores publicaram trabalhos reportando enormes diferenças entre as curvas de energia disponibilizadas nos *datasheets* e curvas verificadas experimentalmente em protótipos reais [54, 55, 56].

Os trabalhos citados utilizaram montagens experimentais para medir as energias de comutação para, em seguida, poder utilizar essas curvas na estimação de perdas do conversor. Porém, na maioria das vezes é necessário que o projetista possa estimar as

perdas de um conversor sem a necessidade de realizar um procedimento experimental.

Assim, este trabalho utilizará uma abordagem de simulação para estimar as curvas de energia do MOSFET e, por conseguinte, estimar as perdas. A simulação será feita em Spice através do *software* SImetrix utilizando o modelo Spice do transistor SCT3030AL fornecido pelo fabricante. Inicialmente, considerou-se o modelo mais simples, sem adição de indutâncias na malha, mostrado na Figura 22.

Figura 22 – Diagrama da simulação realizada no SImetrix para extração das curvas de energia de comutação

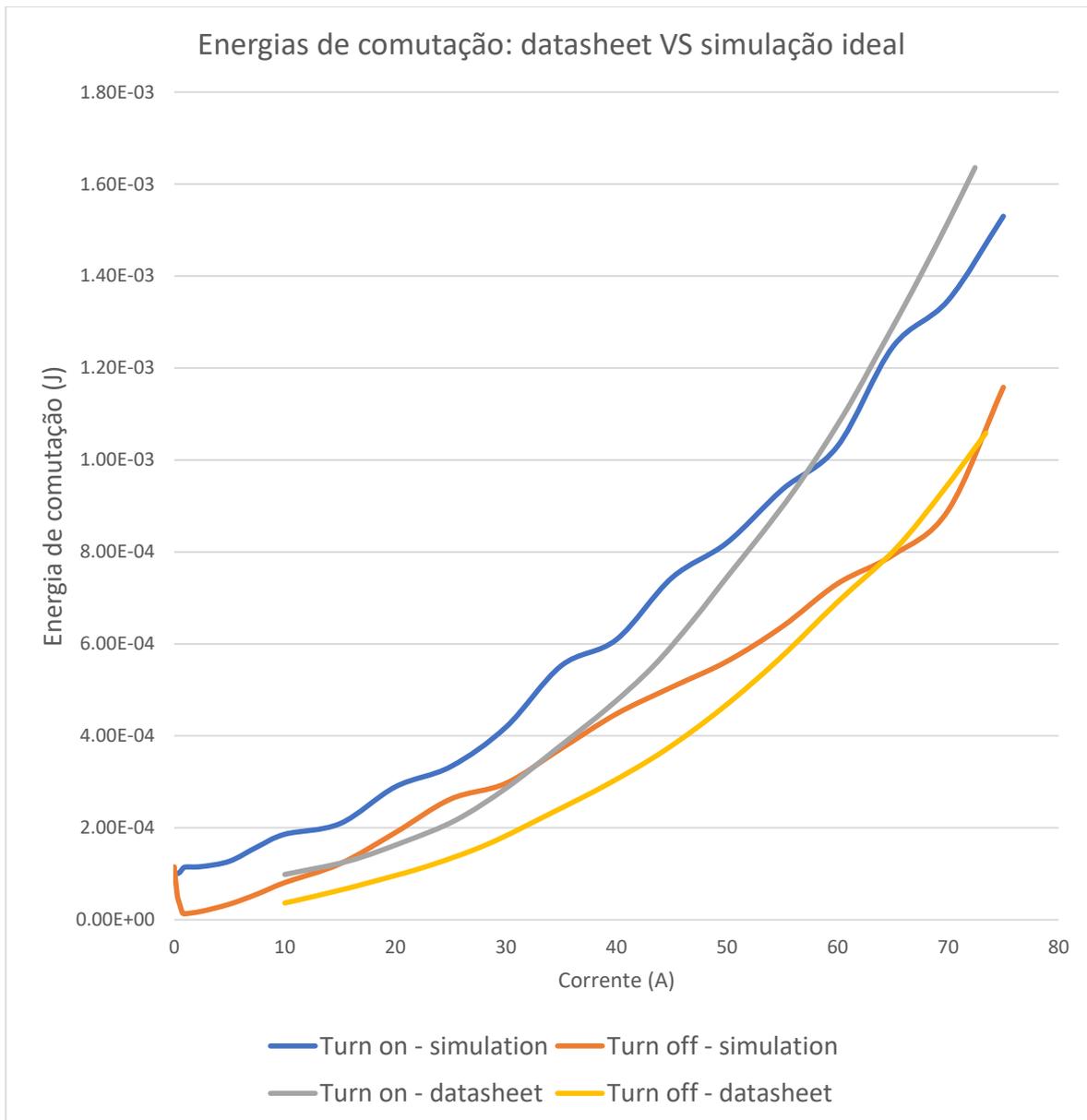


Fonte: Dados da pesquisa, 2017

A simulação foi executada e as curvas de energia obtidas foram plotadas na Figura 23 em conjunto com as curvas fornecidas pelo *datasheet*. Observa-se que o erro é maior para valores pequenos de corrente e decresce com o aumento desta corrente.

No entanto, a simulação deve ser feita de forma a modelar uma condição mais realista de funcionamento considerando as indutâncias da malha de potência e dos terminais dos transistores. Essas indutâncias exercem grande influência na comutação do transistor podendo torna-la mais lenta. Assim, foi realizada uma simulação mais realista incluindo

Figura 23 – Comparação das curvas de energia obtidas via simulação ideal e das curvas divulgadas no *datasheet* do dispositivo

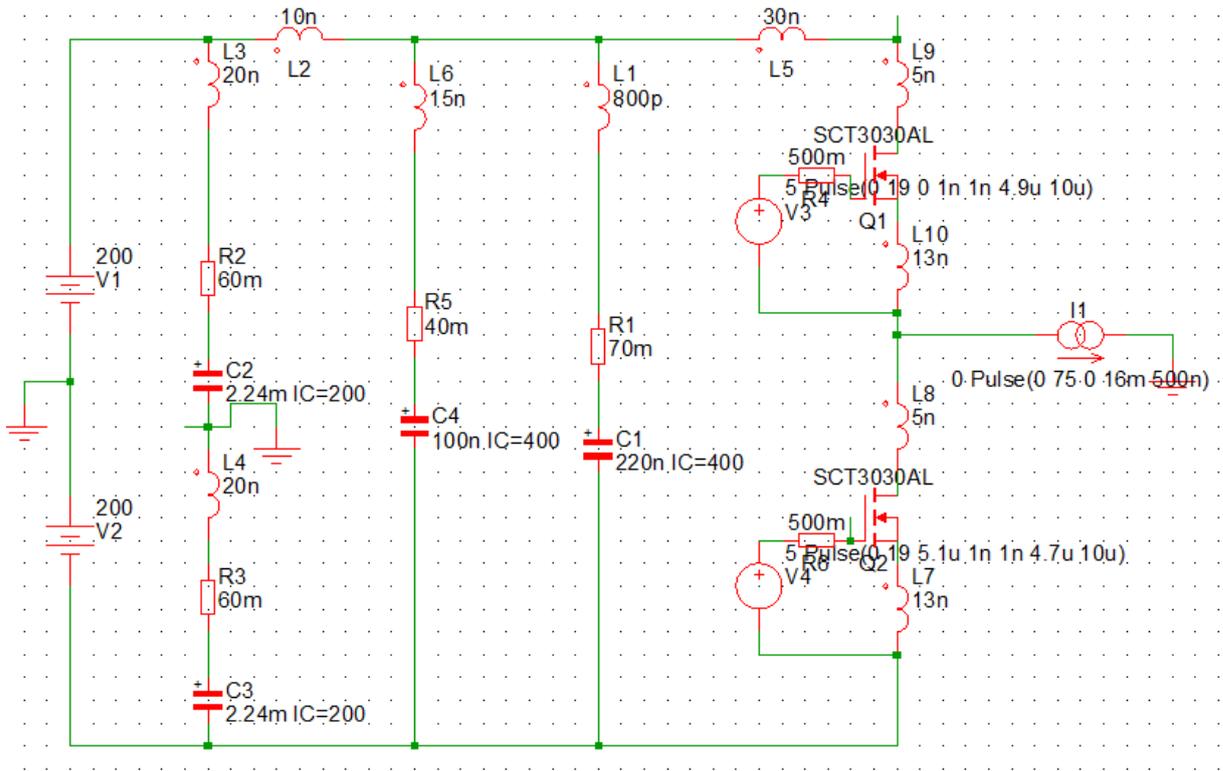


Fonte: Dados da pesquisa, 2017

as indutâncias parasitas dos capacitores de desacoplamento, dos transistores e das trilhas. As indutâncias dos capacitores foram obtidas em seus respectivos *datasheets* (EPCOS *part number* B43644B9567M000, EPCOS *part number* B32683A6104K, Murata *part number* GR355XD72J224KW05L [57, 58]), para os transistores foram consideradas indutâncias de outro MOSFET que possui o mesmo encapsulamento TO-247 [59] e para as trilhas considerou-se que cada centímetro de trilha possui 15 nH, totalizando 30 nH entre o capacitor de desacoplamento e o transistor. O diagrama de simulação pode ser visto na

Figura 24.

Figura 24 – Diagrama da simulação realizada no SIMetrix para extração das curvas de energia de comutação, com acréscimo de indutâncias parasitas



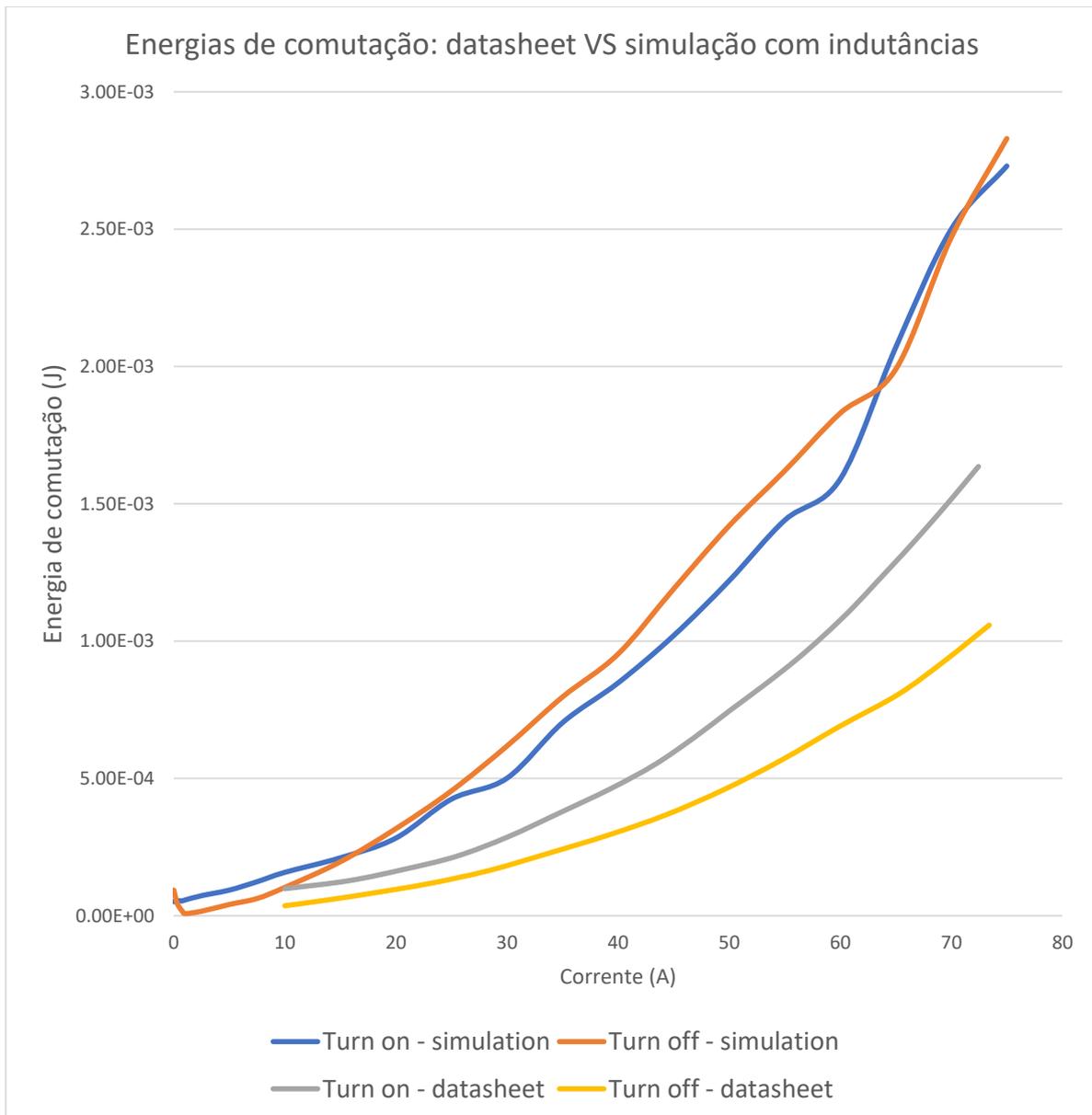
Fonte: Dados da pesquisa, 2017

A simulação foi executada e as curvas de energia obtidas foram plotadas na Figura 25 em conjunto com as curvas fornecidas pelo *datasheet*.

Através da análise dos gráficos, é possível perceber que a inclusão das indutâncias parasitas aumenta muito as perdas de comutação, o que reafirma a necessidade de minimizar essas indutâncias. O erro chega a alcançar cerca de 70% para o ponto de máxima corrente. Ademais, nota-se que quando a corrente é próxima de zero a energia de comutação não é nula, isso ocorre devido à insuficiência de energia para descarregar e carregar as capacitâncias parasitas dos transistores. Dessa forma a comutação só ocorrerá após o termino do tempo morto, onde a chave complementar será fechada realizando a carga e descarga abrupta das capacitâncias de saída dos MOSFETs. Portanto, quando a corrente é próxima de zero, a energia perdida na comutação corresponde à energia armazenada nas capacitâncias parasitas.

Tendo em vista a análise das simulações realizadas, as perdas dos MOSFETs serão estimadas a partir das curvas de energia que consideram as indutâncias parasitas. O cálculo será feito, assim como foi feito no Capítulo 2, utilizando o software desenvolvido em [16].

Figura 25 – Comparação das curvas de energia obtidas via simulação com indutâncias parasitas e das curvas divulgadas no *datasheet* do dispositivo



Fonte: Dados da pesquisa, 2017

As perdas totais foram calculadas e são mostradas na Tabela 8 para o retificador e na Tabela 9 para o inversor. Como o diodo Schottky SiC possui recuperação reversa desprezível, suas perdas de chaveamento foram consideradas nulas. Observa-se que, ao considerar as curvas de energia obtidas via simulação, as perdas no retificador são 66 % maiores e as perdas no inversor são 88 % maiores em relação aos resultados obtidos no Capítulo 2.

Tabela 8 – Perdas calculadas para o retificador operando na frequência de 102 kHz

	Por Diodo STPSC40065C			Por MOSFET SCT3030AL			Perdas Totais
Carga	$P_{cond}$	$P_{sw}$	$P_{diodo}$	$P_{cond}$	$P_{sw}$	$P_{MOSFET}$	$P_{perdas-ret}$
25 %	2,02 W	0	2,02 W	0,37 W	4,51 W	4,88 W	41,4 W
50 %	4,73 W	0	4,73 W	1,64 W	9,24 W	10,88 W	93,7 W
75 %	8,03 W	0	8,03 W	3,88 W	16,23 W	20,11 W	168,8 W
100 %	11,8 W	0	11,8 W	6,98 W	25,07 W	32,05 W	263,1 W

Fonte: Dados da pesquisa, 2018

Tabela 9 – Perdas calculadas para o inversor operando na frequência de 101,34 kHz

	Por MOSFET SCT3030AL			Perdas Totais
Carga	$P_{cond}$	$P_{sw}$	$P_{MOSFET}$	$P_{perdas-inv}$
25 %	0,68 W	8,27 W	8,95 W	53,7 W
50 %	3,09 W	16,91 W	20 W	120 W
75 %	7,25 W	29,58 W	36,83 W	220,98 W
100 %	13,2 W	45,73 W	58,93 W	353,58 W

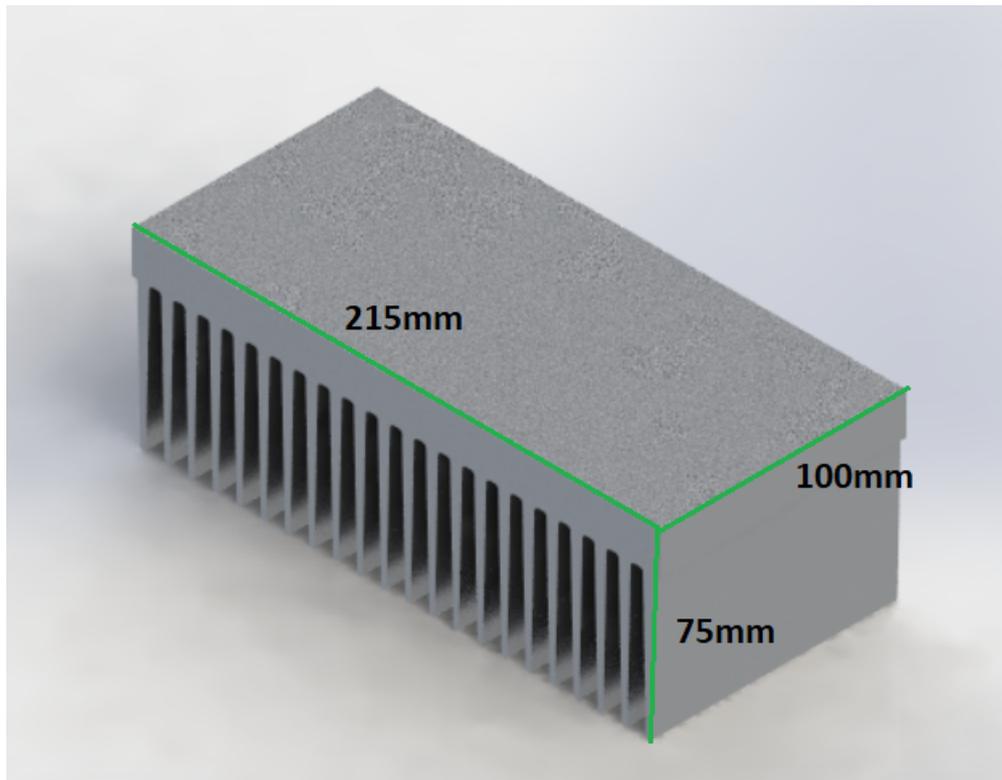
Fonte: Dados da pesquisa, 2018

A partir da estimativa de perda é possível dimensionar o dissipador para refrigeração do conversor. Dois dissipadores idênticos foram escolhidos para uso, um para as chaves do retificador e outro para as refrigerar as chaves do inversor. As dimensões do dissipador escolhido são mostradas na Figura 26.

A resistência térmica ( $R_{th_s-a}$ ) deste dissipador, quando submetido a um fluxo de ar de 6 m/s em suas aletas, é de 0,175 °C/W. Foi utilizada uma interface térmica Sil-Pad 2000 cuja resistência térmica ( $R_{th_c-s}$ ) é de 0,23 °C/W. Como a resistência térmica *junction-case* ( $R_{th_j-c}$ ) do diodo e do MOSFET valem, respectivamente, 0,6 °C/W e 0,44 °C/W as temperaturas nas junções dos transistores podem ser calculadas através dos modelos térmicos da Figura 27 e da Figura 28.

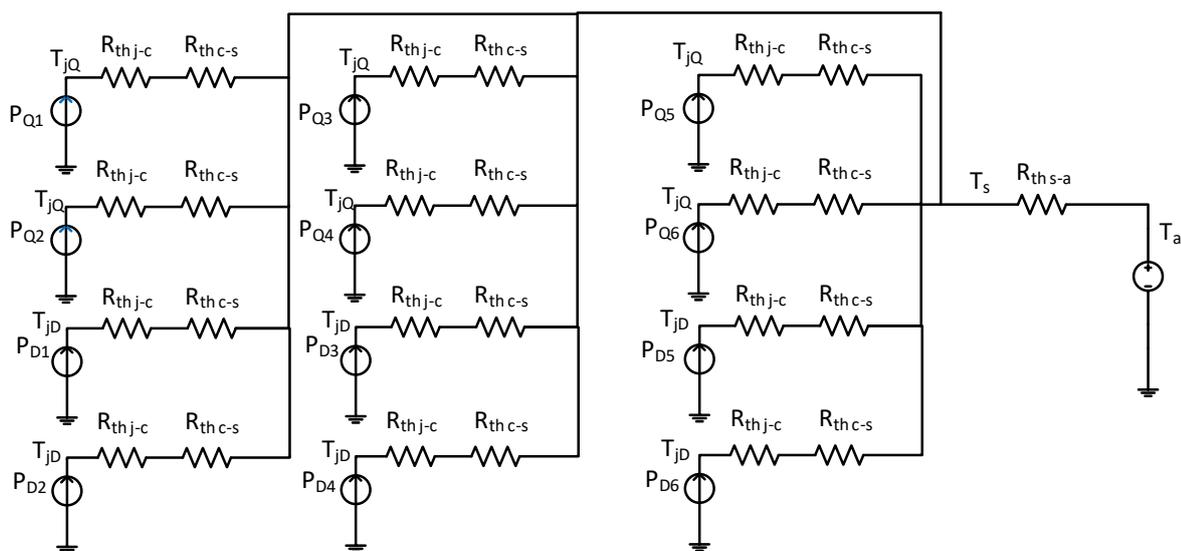
As temperaturas foram calculadas e são mostradas na Tabela 10, considerou-se temperatura ambiente de 40 °C. Como se pode observar, a temperatura de junção de nenhum dispositivo semiconductor ultrapassou o limite máximo de operação de 175 °C. Logo, o projeto térmico desenvolvido é considerado adequado.

Figura 26 – Modelo 3D do dissipador utilizado



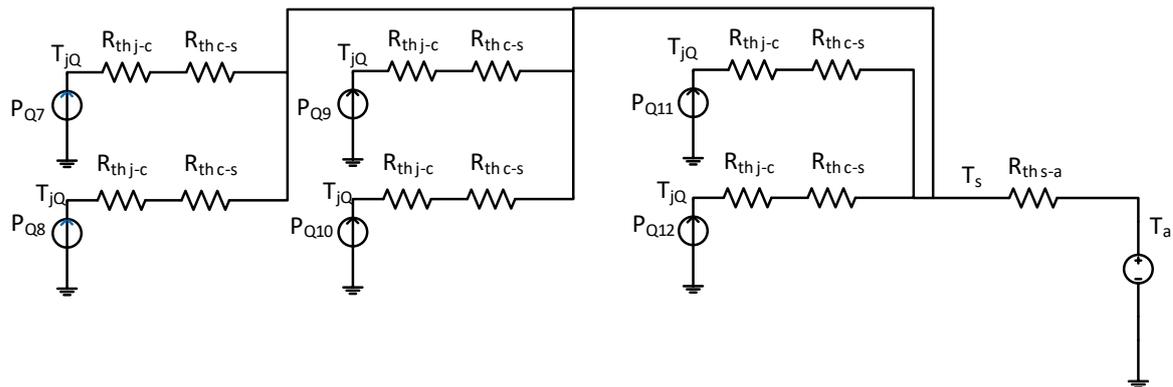
Fonte: Dados da pesquisa, 2018

Figura 27 – Modelo térmico equivalente para dissipação do calor gerado pelas chaves do retificador



Fonte: Dados da pesquisa, 2018

Figura 28 – Modelo térmico equivalente para dissipação do calor gerado pelas chaves do inversor



Fonte: Dados da pesquisa, 2018

Tabela 10 – Temperaturas calculadas utilizando os modelos térmicos das Figuras 27 e 28

<b>Retificador</b>				
	$T_a$	$T_{jQ}$	$T_{jD}$	$T_s$
Temperatura	40 °C	107,5 °C	95,8 °C	86,0 °C
<b>Inversor</b>				
	$T_a$	$T_{jQ}$	$T_{jD}$	$T_s$
Temperatura	40 °C	141,4 °C	NA	101,9 °C

Fonte: Dados da pesquisa, 2018

## 3.2 Projeto do Indutor

Os indutores de entrada e saída são responsáveis por filtrar as componentes harmônicas na frequência de chaveamento. O projeto do indutor envolve o cálculo da indutância necessária para a obtenção de um determinado *ripple*, escolha do material do núcleo magnético e projeto dos enrolamentos.

O valor da indutância necessária pode ser calculada através da seguinte equação genérica [60]:

$$L = \frac{1}{n} \times \frac{V_{dc}}{\Delta I_{max} \times f_{sw}} \quad (3.2)$$

Onde  $n$  é uma variável que depende do número de níveis, para conversores de 2 níveis  $n = 4$  e para conversores de 3 níveis  $n = 8$ .

Assim, é possível calcular o valor para as indutâncias de entrada e saída. Primeiramente para o retificador:

$$L_{ret} = \frac{1}{n} \times \frac{V_{dc}}{\Delta I_{max-ret} \times f_{sw-ret}} = \frac{1}{8} \times \frac{400}{32\sqrt{2} \times 0,4 \times 102000} = 27,1\mu H \quad (3.3)$$

Em seguida, um cálculo similar é realizado para o inversor:

$$L_{inv} = \frac{1}{n} \times \frac{V_{dc}}{\Delta I_{max-inv} \times f_{sw-inv}} = \frac{1}{4} \times \frac{400}{26,24\sqrt{2} \times 0,5 \times 101340} = 53,2\mu H \quad (3.4)$$

Optou-se por utilizar valores relativamente altos de *ripple* para reduzir a indutância necessária e melhorar a dinâmica do sistema.

Para a escolha do material magnético apenas núcleos de pó de ferro foram considerados pois eles são adequados para operação em elevadas correntes e alta frequência de chaveamento. A Magnetics [61] oferece em seu catálogo diversos núcleos de tamanhos e materiais magnéticos diferentes. Optou-se por fixar o tamanho do núcleo e escolher o material baseando-se em suas perdas e no seu custo. A Tabela 11 informa as principais características dos núcleos avaliados.

As perdas no núcleo podem ser calculadas usando a formula proposta por Steinmetz [63], a qual é uma expressão empírica que é ajustada aos dados de perdas mediante a escolha de 3 coeficientes fornecidos pelos fabricantes ou obtidos a partir de curvas que também podem ser fornecidas pelos fabricantes. A equação pode ser escrita como:

$$P_{núcleo} = k_c f^\alpha \hat{B}^\beta V_e, \quad (3.5)$$

onde  $k_c$ ,  $\alpha$  e  $\beta$  são os coeficientes de Steinmetz que dependem das características do material,  $f$  é a frequência de operação,  $\hat{B}$  é o valor de pico da densidade de fluxo e  $V_e$  é o volume do núcleo magnético.

Tabela 11 – Características dos núcleos magnéticos considerados

Nome	High Flux	XFlux	MPP	Kool M $\mu$
<b>Composição</b>	FeNi	FeSi	FeNiMo	FeSiAl
<b>Especificação</b>	C058090A2	0078090A7	C055090A2	0077090A7
<b>Permeabilidade relativa <math>\mu_r</math></b>	60	60	60	60
<b>Indutância específica <math>A_L</math> (nH/Espira)</b>	86 $\pm$ 8%	86 $\pm$ 8%	86 $\pm$ 8%	86 $\pm$ 8%
<b>Densidade de Fluxo de saturação <math>B_{sat}</math></b>	1,5 T	1,6 T	0,8 T	1,0 T
<b>Temperatura máxima de operação</b>	200°C	200°C	200°C	200°C
<b>Diâmetro externo: OD (mm)</b>	47,63	47,63	47,63	47,63
<b>Diâmetro interno: ID (mm)</b>	27,88	27,88	27,88	27,88
<b>Altura: HT (mm)</b>	16,2	16,2	16,2	16,2
<b>Comprimento do caminho <math>l_e</math> (mm)</b>	116	116	116	116
<b>Área da secção <math>A_e</math> (mm<sup>2</sup>)</b>	134	134	134	134
<b>Área da janela <math>A_W</math> (mm<sup>2</sup>)</b>	610	610	610	610
<b>Volume <math>V_e</math> (cm<sup>3</sup>)</b>	15,6	15,6	15,6	15,6
<b>Comprimento médio por espira <math>MTL</math>(mm)</b>	66,4	66,4	66,4	66,4
<b>Área da superfície <math>A_s</math> (mm<sup>2</sup>)</b>	6100	6100	6100	6100
<b>Área da superfície @ fu 40% <math>A_{s40}</math> (mm<sup>2</sup>)</b>	9800	9800	9800	9800
<b>Steinmetz <math>k_c</math> (mW/cm<sup>3</sup>)</b>	0,055	0.034	0.155	0.026
<b>Steinmetz <math>\alpha</math></b>	1.32	1.332	1.12	1.29
<b>Steinmetz <math>\beta</math></b>	2.22	1.825	2.05	2.01
<b>Custo (USD)</b>	6,60	2,21	32,42	5,19

Fonte: Datasheet dos núcleos [61] e cotação feita junto ao distribuidor no Brasil em 15/01/18 [62]

No entanto, essa equação empírica é obtida a partir da aplicação de densidades de fluxo senoidais. A densidade de fluxo imposta nos materiais magnéticos de conversores estáticos normalmente possui formas de onda não-senoidais. Como exemplo pode-se citar formas de onda triangulares ou trapezoidais, no caso do retificador e do inversor abordados neste trabalho a forma de onda da densidade de flux é ainda mais complexa, sendo composta por uma componente senoidal superimposta por uma componente triangular de amplitude variável.

Por esse motivo, muitos pesquisadores propuseram melhorias para a equação de Steinmetz para levar em conta a aplicação de formas de onda não-senoidais. Algumas dessas propostas são *Modified Steinmetz Equation-MSE* [64], *Generalized Steinmetz Equation-GSE* [65], *improved Generalized Steinmetz Equation-iGSE* [66] e *improved-improved Generalized Steinmetz Equation-i<sup>2</sup>GSE* [67].

Alguns trabalhos apresentaram resultados precisos quando a iGSE ou i<sup>2</sup>GSE são

utilizadas na estimativa das perdas no núcleo, com erros entre o resultado experimental e teórico menores que 10 % [66, 68, 67, 69]. A diferença entre a iGSE e a i<sup>2</sup>GSE é o fato da i<sup>2</sup>GSE incluir os efeitos de relaxação devido a níveis c.c. da densidade de fluxo. Todavia, as formas de onda da densidade de fluxo dos conversores deste trabalho não apresentam níveis c.c., assim a utilização da iGSE é suficiente para o cálculo das perdas no núcleo. A fórmula para utilizar o método iGSE é dada a seguir:

$$P_{núcleo} = \frac{V_e}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha (\Delta B)^{\beta-\alpha} dt \quad (3.6)$$

com  $k_i$  sendo determinado por:

$$k_i = \frac{k_c}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos(\theta)|^\alpha 2^{\beta-\alpha} d\theta}, \quad (3.7)$$

onde  $\Delta B$  denota a excursão de pico a pico da densidade de fluxo B com período T da fundamental, os coeficientes  $k_c$ ,  $\alpha$  e  $\beta$  são os mesmos da equação de Steinmetz e  $\theta$  é uma variável auxiliar de integração.

Os autores do método iGSE [66] disponibilizaram no site do grupo de pesquisa *Dartmouth Magnetic Component and Power Electronics Research* [70] um código em Matlab para realizar o cálculo da iGSE. A utilização do algoritmo proposto possui duas desvantagens: a primeira é a complexidade computacional do algoritmo que deve varrer o vetor de densidade de fluxo para realizar uma separação de *loops*, a segunda é obtenção do vetor de densidade de fluxo que, se feito por simulação, pode gastar tempo considerável.

Em razão disso, foi proposto em [71] um método para acelerar o processo de utilização do iGSE. O método consiste na dedução da solução em forma fechada da forma de onda de excitação. Desse modo é possível realizar os cálculos da iGSE apenas com os dados de entrada do conversor (tensão eficaz, corrente eficaz, frequência de chaveamento, etc), ou seja, sem a necessidade de simulação, sendo ideal para aplicação em algoritmos de otimização de projeto de indutores. Os autores do trabalho citado realizaram as deduções para o caso do conversor PFC sem ponte, podendo também ser aplicado à retificadores de três níveis, que é o caso do retificador desta dissertação.

Assim, baseando-se na iGSE e em [71], a forma fechada para o inversor de dois níveis foi deduzida e, em seguida, criaram-se códigos no Matlab para o cálculo das perdas no núcleo. As rotinas de cálculo criadas no Matlab podem ser obtidas no Apêndice A.

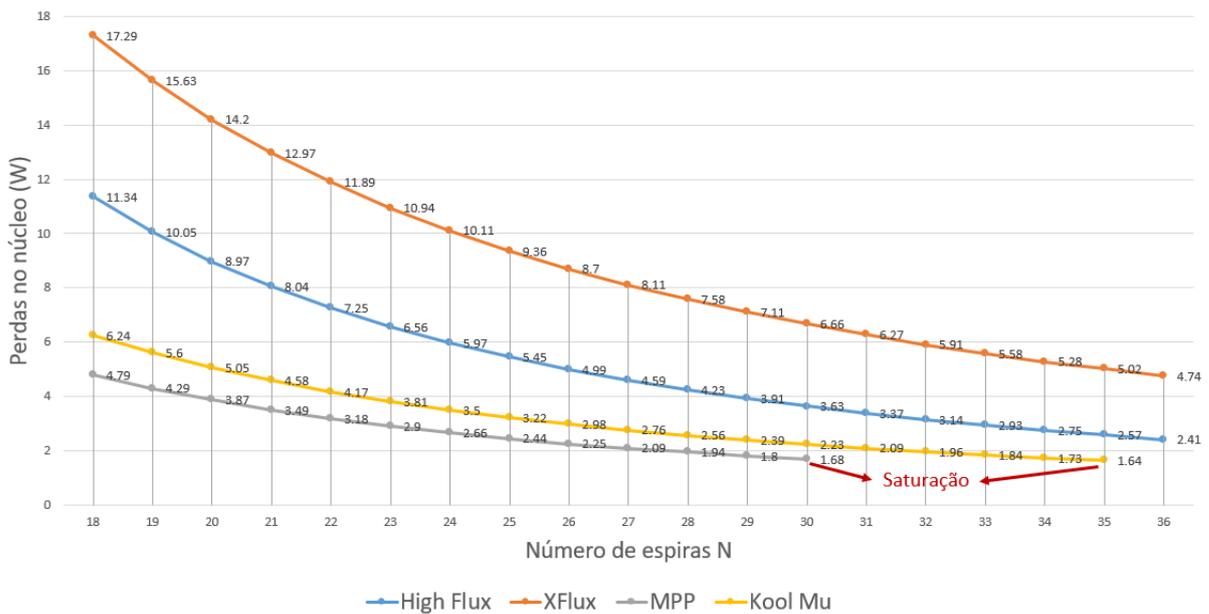
Então, calcularam-se as perdas para os quatro núcleos avaliados em função do número de espiras para  $18 \leq N \leq 36$ , respeitando o número máximo de espiras para levar a densidade de fluxo a um valor correspondente a 70% da saturação do núcleo. O número máximo de espiras foi calculado a partir da seguinte equação:

$$N_{max} = \frac{H(0,7B_{sat}) \times l_e}{I_{peak}} \quad (3.8)$$

em que  $H(0,7B_{sat})$  é a intensidade de campo magnético necessária para elevar a densidade de fluxo a um valor correspondente a 70% da saturação do núcleo, seu valor pode ser encontrado nas curvas de magnetização do material disponíveis no catálogo da Magnetics [61],  $l_e$  é o comprimento do caminho magnético do núcleo e  $I_{peak}$  é a corrente de pico do indutor que vale 45,25 A para o retificador (fator de crista  $\sqrt{2}$ ) e 78,75 A para o inversor (fator de crista 3).

As Figuras 29 e 30 mostram os resultados do cálculo das perdas no núcleo. Primeiramente, pode-se perceber que o núcleo com maiores perdas é o XFlux, portanto ele é descartado da seleção. Em seguida, quanto maior o número de espiras menor a diferença entre as perdas do núcleo High Flux e o núcleo MPP, de custo elevado. Além do mais, os núcleos MPP e Kool M $\mu$  possuem como desvantagem a baixa densidade de fluxo de saturação, a Figura 30 mostra que, mesmo com poucas espiras, esses núcleos saturam devido à elevada corrente do inversor. Portanto, o núcleo de material High Flux será escolhido para os indutores do retificador e do inversor.

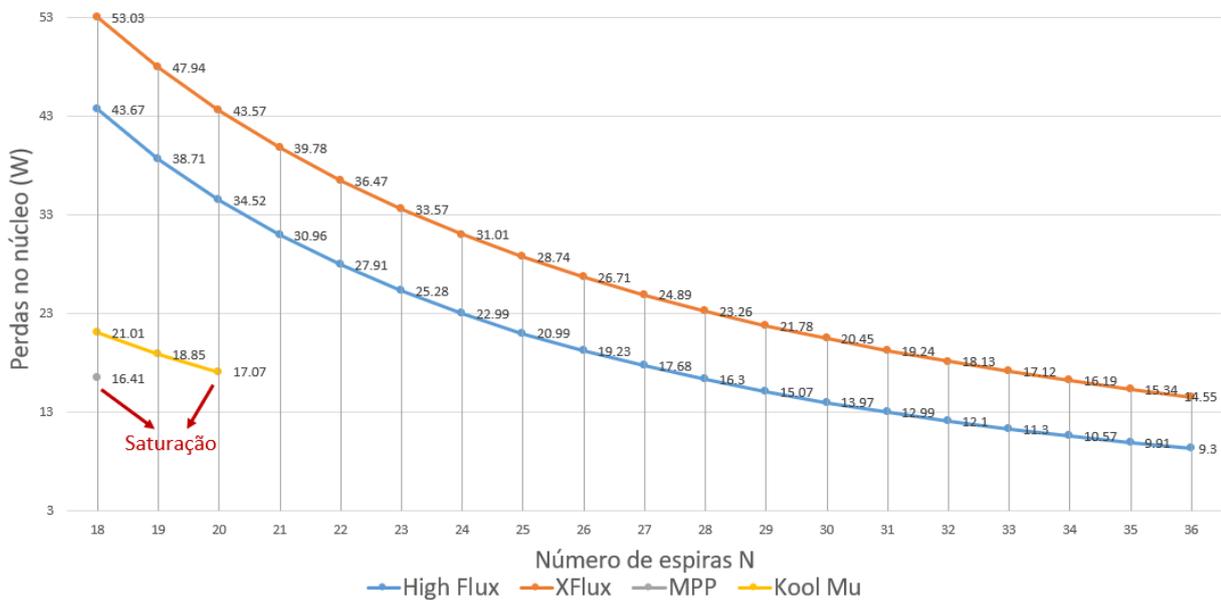
Figura 29 – Comparativo de perdas no núcleo para o indutor do retificador



Fonte: Dados da pesquisa, 2018

O número de espiras utilizado nos indutores do retificador e do inversor será 21 e 28, respectivamente. Com essa quantidade de espiras é possível atingir a indutância necessária. A permeabilidade efetiva do material varia em função da amplitude do campo magnético aplicados, dependendo do projeto, a permeabilidade efetiva pode ser reduzida tanto quanto 50% do seu valor inicial [72], afetando significativamente a indutância alcançada. Considerando este efeito, foi calculado o valor de indutância obtida para os indutores projetados em função da corrente aplicada, este resultado é mostrado na Figura

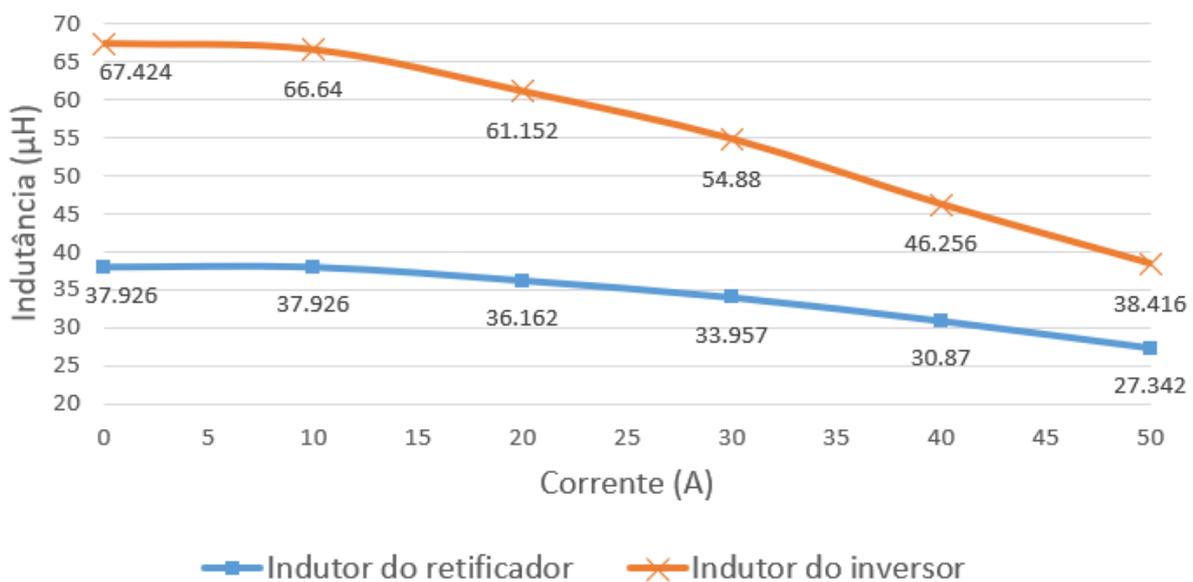
Figura 30 – Comparativo de perdas no núcleo para o indutor do inversor



Fonte: Dados da pesquisa, 2018

31. Como o *ripple* de corrente é menor nos picos de uma onda senoidal, a diminuição da indutância nestes pontos não afetará o funcionamento do circuito de forma significativa.

Figura 31 – Indutância efetiva dos indutores em função da corrente



Fonte: Dados da pesquisa, 2018

Para compor os enrolamentos serão utilizados 7 fios de cobre esmaltado de bitola AWG18 em paralelo. A resistência dos enrolamentos pode ser calculada por:

$$R_{dc} = \rho \frac{N \cdot MLT}{A_{fio} \cdot n_{fios}} \quad (3.9)$$

em que  $\rho$  é a resistividade do cobre, como ela varia com a temperatura foi utilizado seu valor na temperatura de 100 °C, que vale  $2,19 \times 10^{-8}$  [73, 74]. A variável  $A_{fio}$  corresponde à área do fio considerado e  $n_{fios}$  é a quantidade de fios em paralelo.

Para estimar as perdas no cobre de forma precisa seria necessário calcular a resistência em alta frequência do enrolamento devido ao efeito de proximidade e ao efeito pelicular. E, em seguida, a contribuição de perdas de cada componente de alta frequência deveria ser calculada. No entanto, para fins de simplificação deste trabalho, as perdas de alta frequência serão desprezadas e apenas a contribuição na frequência da rede será levada em consideração. Além disso, será considerado que a resistência do enrolamento na frequência de 60 Hz é igual a resistência c.c., dessa forma as perdas no cobre podem ser calculadas por:

$$P_{cobre} = R_{dc} \cdot I_{rms}^2 \quad (3.10)$$

As perdas foram calculadas e são mostradas na Tabela 12. As perdas no núcleo foram consideradas constantes e independentes da corrente de carga, as perdas nos núcleos do retificador são menores devido ao uso de uma topologia de três níveis que reduz a amplitude da densidade de fluxo imposta no indutor. Conclui-se que as perdas totais nos indutores são importantes e têm grande impacto no rendimento do equipamento.

Tabela 12 – Perdas calculadas para os indutores

	Perdas por indutor do retificador				Perdas por indutor do inversor				Perdas Totais
Carga	$P_{núcleo}$	$R_{dc}$	$P_{cobre}$	$P_{L-ret}$	$P_{núcleo}$	$R_{dc}$	$P_{cobre}$	$P_{L-inv}$	$P_{indutores}$
25 %	8,04 W	5,3 mΩ	0,34 W	8,38 W	16,3 W	7,1 mΩ	0,31 W	16,61 W	75 W
50 %	8,04 W	5,3 mΩ	1,37 W	9,41 W	16,3 W	7,1 mΩ	1,22 W	17,52 W	80,8 W
75 %	8,04 W	5,3 mΩ	3,07 W	11,11 W	16,3 W	7,1 mΩ	2,76 W	19,06 W	90,5 W
100 %	8,04 W	5,3 mΩ	5,46 W	13,5 W	16,3 W	7,1 mΩ	4,81 W	21,1 W	103,8 W

Fonte: Dados da pesquisa, 2018

### 3.3 Dimensionamento dos Capacitores

O dimensionamento do capacitor do barramento c.c. irá levar em consideração o critério de *ripple*. Para o capacitor do barramento c.c. o pior caso acontece quando o inversor alimenta uma carga desbalanceada [4]. Durante a alimentação de uma carga desbalanceada uma corrente de segundo harmônico circulará pelo barramento c.c., quanto maior o desbalanceamento maior será o *ripple*. O valor instantâneo da corrente de segundo harmônico,  $i_2(t)$ , pode ser calculado por [4]:

$$i_2(t) = \frac{V_{a-peak} I_{n-peak}}{2V_{dc}} \cos(2\omega t + \theta_n) \quad (3.11)$$

em que  $I_{n-peak}$  é o valor de pico da corrente de neutro e  $\theta_n$  é o ângulo de fase desta corrente, a tensão no capacitor é dado pela integral da corrente:

$$v_c(t) = \frac{1}{C} \int i_2(t) = \frac{V_{a-peak} I_{n-peak}}{8\pi f_g V_{dc} C} \sin(2\omega t + \theta_n) \quad (3.12)$$

a tensão no capacitor terá oscilação máxima quando a função seno for igual a 1, substituindo o valor da capacitância total,  $C$ , por  $C_{dc}/2$  é possível obter o valor da capacitância de cada grupo de capacitores necessários para formar o barramento positivo e o barramento negativo:

$$C_{dc} = \frac{V_{a-peak} \cdot I_{n-peak}}{4\pi \cdot f_g \cdot V_{dc} \cdot \Delta V_c} \quad (3.13)$$

A corrente de neutro é igual a soma vetorial das correntes de fase, no pior caso duas fases possuem corrente igual a zero, então o valor de pico da corrente de neutro é igual ao valor de pico máximo da corrente de saída do inversor. Assim pode-se determinar o valor de capacitância necessário:

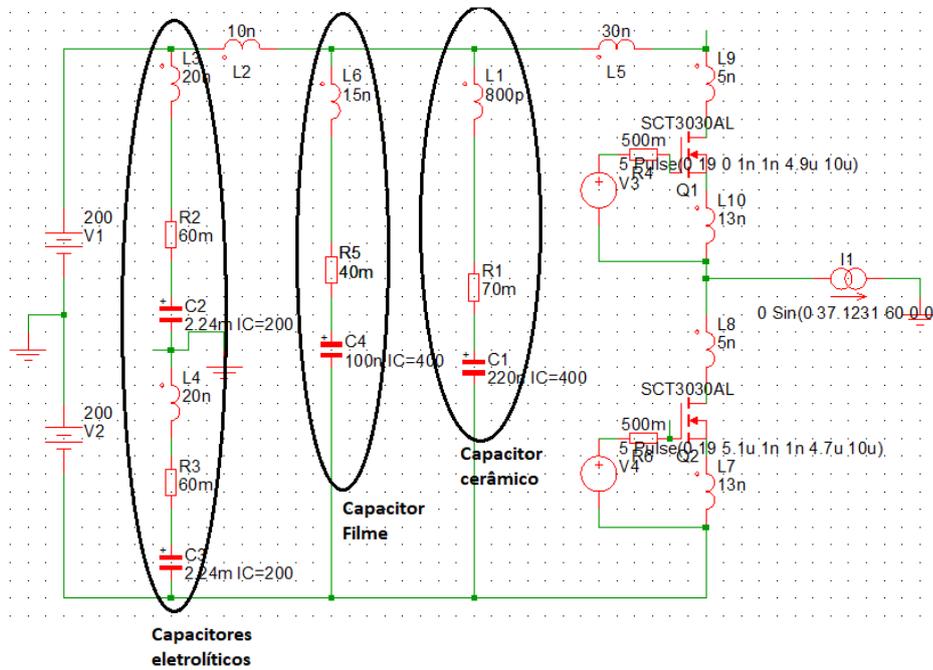
$$C_{dc} = \frac{127\sqrt{2} \cdot 78,75}{4\pi \cdot 60 \cdot 400 \cdot 20} = 2.344\mu F \quad (3.14)$$

Optou-se por utilizar 4 capacitores eletrolíticos de  $560 \mu F/400 V$ , fabricados pela EPCOS *part number* B43644B9567M000, em paralelo, totalizando uma capacitância de  $2.240 \mu F$ . Como existem 2 grupos de capacitores ligados ao neutro pelo ponto central, é necessário um total de 8 capacitores e cada capacitor estará sujeito à metade da tensão do barramento, ou seja,  $200 V$ .

Adicionalmente aos capacitores eletrolíticos, devem ser previstos capacitores de desacoplamento. Estes precisam possuir baixa *esl*, indutância equivalente série, e baixa *esr*, resistência equivalente série, pois devem ser conectados o mais próximo possível do malha de comutação de forma a filtrar os harmônicos de chaveamento e reduzir a indutância equivalente da malha. Optou-se por utilizar dois capacitores em paralelo, o primeiro é um

capacitor filme de 100 nF/630 V fabricado pela EPCOS *part number* B32683A6104K e o segundo é um capacitor cerâmico de 220 nF/630 V fabricado pela Murata *part number* GR355XD72J224KW05L [57, 58]. Realizou-se uma simulação Spice no software Simetrix para determinar a corrente eficaz nos capacitores e verificar se a corrente está dentro do limite especificado pelo fabricante, o diagrama da simulação pode ser visto na Figura 32. Obteve-se para os capacitores de filme e cerâmico correntes eficazes de 1,97 A e 2,59 A, respectivamente, tais valores de corrente estão dentro do limite estabelecido pelo fabricante, assim os capacitores funcionarão de forma adequada.

Figura 32 – Simulação para verificação da corrente eficaz nos capacitores de desacoplamento, os parâmetros dos capacitores foram extraídos das curvas do fabricante



Fonte: Dados da pesquisa, 2018

Em seguida, o capacitor do filtro LC de saída será dimensionado baseando-se no critério de atenuação, este filtro é necessário para filtrar as componentes harmônicas próximas da frequência de chaveamento. O filtro em questão é de segunda ordem e possui atenuação de 40 dB por década a partir da frequência de corte, assim a frequência de corte,  $f_c$ , será definida como um décimo da frequência de chaveamento, o que garantirá atenuação de 100 vezes na amplitude dos harmônicos. Logo, o valor do capacitor pode ser determinado por:

$$C_{out} = \frac{1}{(2\pi f_c)^2 L_{inv}} = \frac{1}{(2\pi \frac{f_{sw}}{10})^2 L_{inv}} = \frac{1}{(2\pi 10,134e3)^2 53,2e-6} = 4,63\mu F \quad (3.15)$$

Assim, optou-se por utilizar três capacitores de  $2,2 \mu F/400 \text{ V}$  em paralelo, totalizando capacitância de  $6,6 \mu F$ , os capacitores são fabricados pela Panasonic e possuem *part number* ECQ-E4225KF.

O filtro LCL de entrada é um filtro formado pela indutância da rede ( $L_g$ ), indutância do retificador ( $L_{ret}$ ) e a capacitância de entrada ( $C_{in}$ ). Diversos pesquisadores publicaram trabalhos onde a abordagem central é o projeto e modelagem de filtros LCL usando diferentes metodologias e critérios [75, 76, 77, 78]. No entanto, como o indutor do retificador já foi dimensionado utilizando o critério de *ripple*, resta apenas estimar a indutância da rede e dimensionar o capacitor de forma a alocar a frequência de ressonância entre dez vezes a frequência da rede (600 Hz) e metade da frequência de chaveamento (51 kHz), seguindo um dos critérios definidos em [75]. Espera-se que a UPS opere em instalações onde a potência de curto-circuito seja de 10 a 200 vezes a potência do equipamento, ou seja,  $100kVA \leq P_{cc} \leq 2MVA$ . Assim, considerando que a reatância indutiva é muito maior que a resistência da instalação, pode-se escrever:

$$L_g = \frac{V_{linha}^2}{2\pi f_g P_{cc}} \Rightarrow 64,19\mu H \leq L_g \leq 1,28mH \quad (3.16)$$

A frequência de ressonância de um filtro LCL pode ser calculado através da seguinte equação:

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_g + L_{ret}}{L_g L_{ret} C_{in}}} \quad (3.17)$$

Rearranjando os termos da equação 3.17 e alocando a frequência de ressonância em 15 kHz, é possível obter uma faixa de valores para o capacitor.

$$C_{in} = \frac{L_g + L_{ret}}{(2\pi)^2 f_{res}^2 L_g L_{ret}} \Rightarrow 4,21\mu F \leq C_{in} \leq 5,8\mu F \quad (3.18)$$

Dessa maneira, decidiu-se utilizar dois capacitores de  $2,2 \mu F/400 \text{ V}$  em paralelo, totalizando capacitância de  $4,4 \mu F$ , os capacitores são fabricados pela Panasonic e possuem *part number* ECQ-E4225KF. Ao Recalcular a frequência de ressonância mantendo a capacitância fixa e observando a variação da indutância da rede, tem-se que a frequência de ressonância irá variar entre 14,6 kHz e 17,3 kHz. Com isto, conclui-se que o projeto do filtro é satisfatório, mesmo sob efeito de variações paramétricas.

## 3.4 Sensores

Os sensores desempenham dupla função em conversores eletrônico. A primeira é servir ao controle realimentado de tensão e corrente dos conversores, melhorando as características dinâmicas e de regulação do equipamento. A segunda é realizar o monitoramento do sistema, provendo ao sistema de controle a capacidade de efetuar diagnósticos e informar o usuário sobre as condições de operação do equipamento, aumentando a confiabilidade.

Como todas as tensões da UPS em questão são referenciadas ao neutro, a medição das tensões pode ser feita de forma simples e sem isolamento galvânico utilizando divisores resistivos, que garantem elevada banda passante e precisão. Uma vez que o dimensionamento de divisores resistivos é feito de maneira simples, ele não será detalhado neste trabalho.

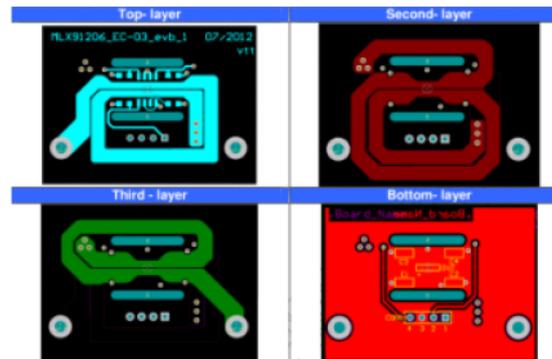
No que concerne a medição de corrente, é possível encontrar em [79] uma extensa revisão sobre diversas técnicas de medição. Os principais sensores utilizados em eletrônica de potência são:

- Resistor *shunt*;
- Transformador de corrente;
- Sensor de efeito Hall.

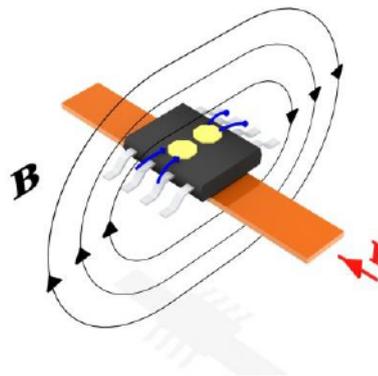
O resistor *shunt* é capaz de medir o valor instantâneo de correntes c.c. e c.a. com elevada precisão e banda passante, porém é um sensor invasivo que pode inserir elevadas perdas quando a amplitude da corrente é importante ou alterar a configuração do circuito. O transformador de corrente é capaz de medir corrente c.a. com elevada precisão e banda passante, no entanto necessita-se de transformadores com elevado volume quando a corrente a ser medida é elevada, impossibilitando sua integração em conversores onde se deseja volume e peso reduzido. Os sensores baseados no efeito Hall se configuram como opção razoável por garantirem isolamento galvânico, possuírem baixa impedância de inserção e precisão da ordem de 1%.

Assim, o sensor MLX91208 foi escolhido para ser utilizado nesta aplicação. O MLX91208 é um sensor de efeito Hall de malha aberta que produz em sua saída uma tensão proporcional à corrente que circula em uma trilha de PCB ou condutor sob o CI. Possui como principais vantagens o baixo custo, pequeno tamanho e sua versatilidade. Dependendo da forma como é integrado ao circuito, este sensor pode ser capaz de medir correntes de até 1000 A. A Figura 33 mostra exemplos típicos de montagem para utilizar o CI em diferentes faixas de corrente. Independente da montagem o projetista pode escolher utilizar um pequeno núcleo magnético em formato de U, este núcleo é capaz de proteger o sensor de *cross-talk* e campos externos além de garantir homogeneização da densidade de fluxo, a utilização deste núcleo é opcional.

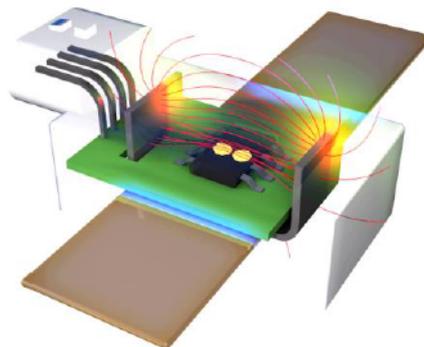
Figura 33 – Diferentes formas de montagem para utilização do sensor MLX91208 (a) Múltiplas trilhas sob o CI para medição de corrente na faixa de 2-10 A (b) Única trilha sob o CI para medição de correntes de até 50 A, a trilha deve ser larga o suficiente para suportar a corrente medida (c) Montagem sobre barramento de potência para medição de corrente na faixa de 1000 A



(a)



(b)



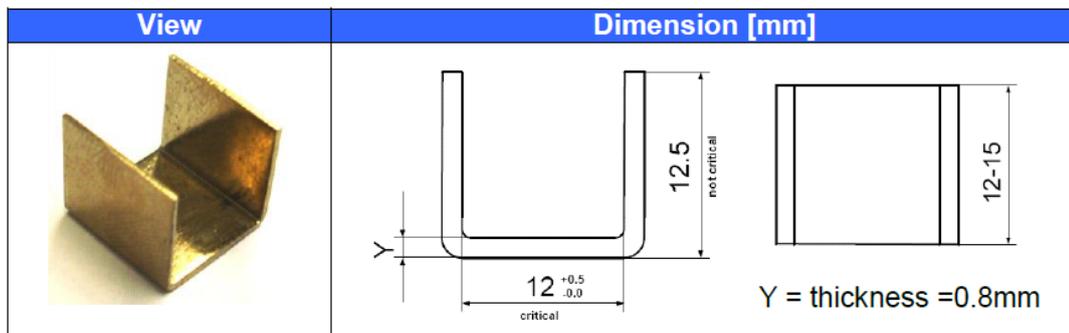
(c)

Fonte: Adaptado de [80]

Adicionalmente, o sensor possui banda passante de 250 kHz e tempo de resposta de  $3 \mu s$ . O fabricante fornece três opções de sensibilidade, optou-se por utilizar a opção CAL

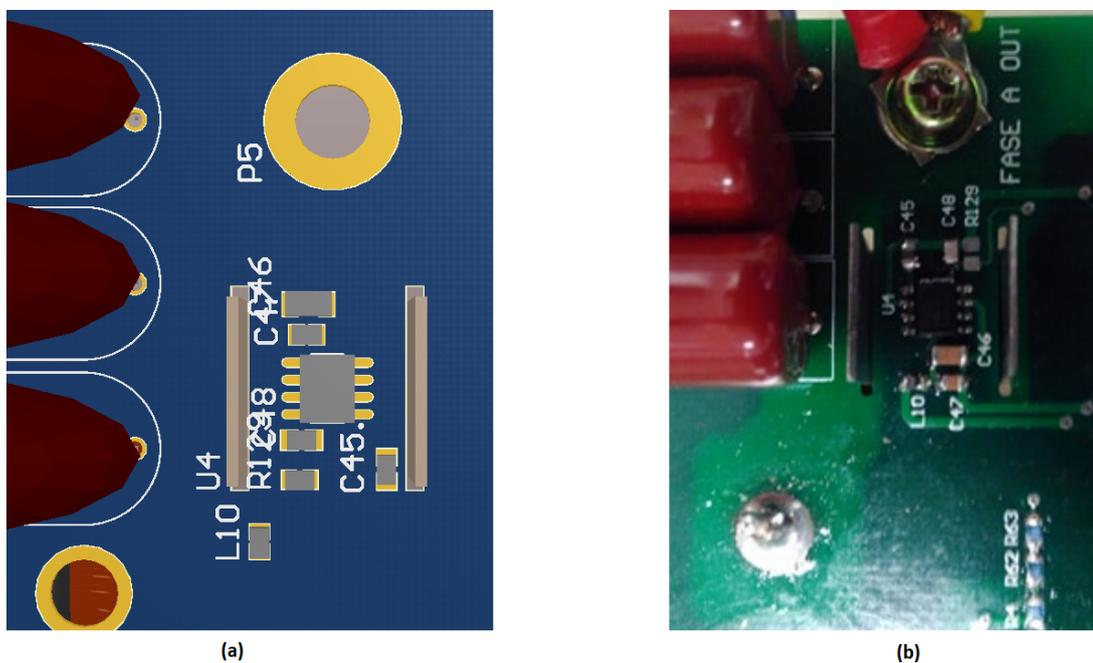
para campos de baixa intensidade. Ao utilizar o núcleo U mostrado na Figura 34, as linhas de campo se concentrarão sobre a superfície do CI resultando em sensibilidade equivalente de 40 mV/A. A Figura 35 mostra o sensor integrado à placa de circuito impresso em uma representação 3D feito no Altium Designer e em uma foto do protótipo real.

Figura 34 – Dimensões do núcleo U utilizado



Fonte: Adaptado de [80]

Figura 35 – Sensor MLX91208 integrado à PCB com núcleo U (a) Representação 3D do Altium Designer (b) Protótipo real

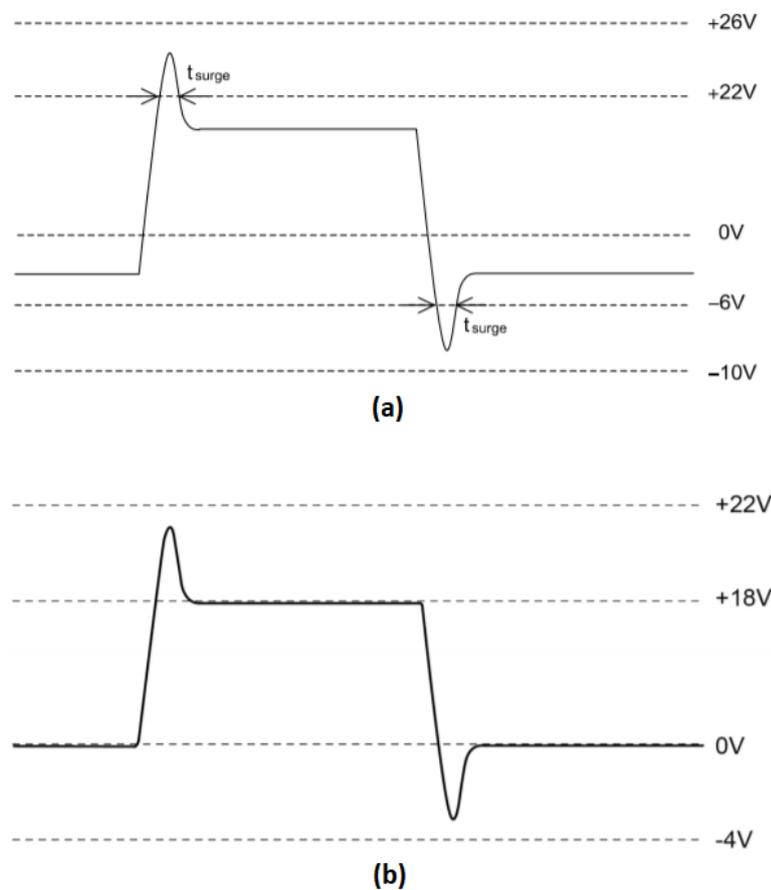


Fonte: Dados da pesquisa, 2018

### 3.5 Projeto do Gate Driver

Para o projeto do *gate driver* é necessário, primeiramente, destacar que os níveis de tensão necessários para comandar um transistor SiC podem ser diferentes. A Figura 36 mostra os níveis de tensão de comando recomendados e valores máximos absolutos para dois MOSFETs SiC fabricados pela Rohm, isto deve ser avaliado em caso de troca de transistor ou adaptação de circuitos de *gate driver* pré-existentes.

Figura 36 – Níveis de tensão de comando recomendados e valores máximos absolutos para dois MOSFETs SiC fabricados pela Rohm (a)SCH2080KE (b)SCT3030AL



Fonte: [36]

No caso deste projeto, o transistor SCT3030AL possui limite máximo absoluto para a tensão de *gate* de -4 V a 22 V, assim o *gate driver* irá trabalhar com tensão de 0 V para desligar o transistor e tensão de 20 V para ligar o transistor. Além do nível de tensão, outras considerações são importantes no projeto do *gate driver*:

- O circuito de gate driver e o resistor de gate ( $R_g$ ) devem ser posicionados o mais próximo possível do transistor para minimizar as indutâncias parasitas na malha de *gate* [81];

- O resistor  $R_g$  deve ser escolhido de forma a estabelecer um compromisso entre perdas e EMI. Escolher um  $R_g$  pequeno diminuirá as perdas de chaveamento, porém irá aumentar o  $dv/dt$  e o  $di/dt$  e, conseqüentemente, aumentará os problemas de EMI [81];
- O *gate driver* pode possuir circuitos para detecção e sinalização de curto-circuitos ou faltas. Tradicionalmente, vários CIs têm usado o circuito de dessaturação (desat) para monitorar a tensão entre dreno e fonte ( $V_{ds}$ ) e determinar se o MOSFET se encontra em curto circuito. Se o gate driver não possui circuitos de proteção outros métodos de detecção devem ser implementados [81];
- Isolar o GND de potência e o GND de *gate* [82];
- A capacidade de corrente do CI de *gate driver* deve ser suficiente para garantir rápida comutação [83];
- O sinal de saída do *gate driver* deve ter tempos de subida, descida e de atraso pequenos, da ordem de ns, para garantir que o sinal de PWM não seja distorcido [83];
- Minimizar a capacitância entre *gate* e dreno através do afastamento das trilhas desses terminais [82];
- Inserir pequenos núcleos de ferrite, *ferrite bead*, nos terminais de dreno e *gate* para aumentar a impedância em altas frequências e evitar oscilações de *gate* que podem danificar o MOSFET [82];
- A capacitância de interface do *gate driver* e de sua fonte isolada de tensão devem ser minimizadas para atenuar interferências no circuito de controle causadas por elevado  $dv/dt$  [84].

Os MOSFETs do retificador estão ligados em configuração fonte-comum, assim apenas uma fonte isolada e um CI com saída dupla são necessários para comandar os transistores, dessa maneira são necessários 3 CIs de *gate driver* e 3 fontes isoladas para acionar o retificador. Então, a fonte isolada escolhida foi a fonte R05P22005D fabricada pela Recom Power, esta fonte foi projetada especialmente para trabalhar em aplicações de *gate driver* de MOSFETs SiC, possui saída assimétrica de +20 V/-5 V com capacitância de isolamento de 3 pF e elevada tensão de isolamento de 6,4 kV [85]. Como o transistor será comandado para desligar com 0 V, a saída de -5 V desta fonte não será utilizada.

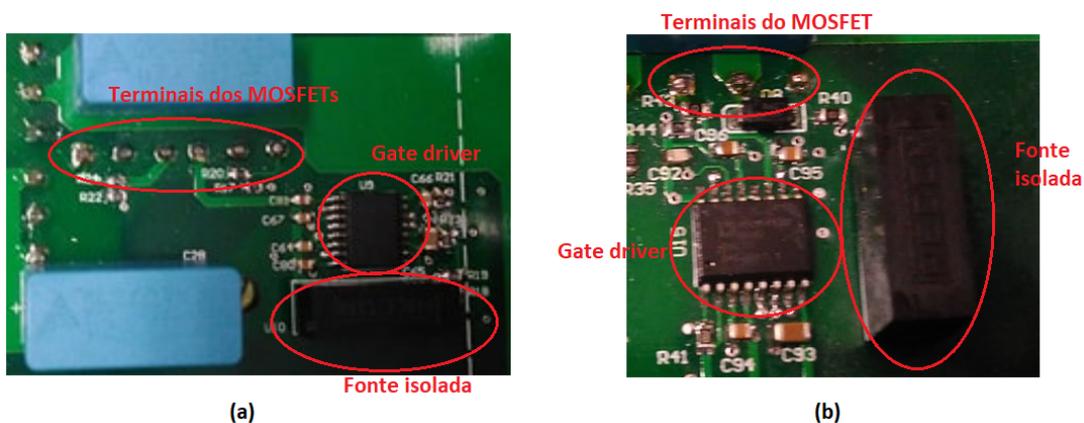
O CI de gate driver escolhido para os MOSFETs do retificador é o UCC21520 fabricado pela Texas Instruments. O UCC21520 é um *gate driver* de duplo canal isolado projetado para acionar MOSFETs Si, IGBTs e MOSFETs SiC operando até 5 MHz com

mínimo atraso de propagação e distorção de sinal. Possui barreira de isolamento reforçada de 5,7 kV e, devido a sua baixa capacitância de isolamento de 1,2 nF, possui imunidade a transitórios de modo comum de 100 V/ns [86]. Tais características justificam a escolha do UCC21520 para acionar os MOSFETs SiC, porém este CI não possui proteção de curto-circuito, desse modo a detecção deverá ser implementada através da medição das correntes de entrada e da utilização dos comparadores analógicos do DSP para sinalizar sobrecorrentes e desligar os transistores.

Com relação ao inversor, cada transistor necessita de um *gate driver* associado a uma fonte isolada para realizar o comando, totalizando 6 *gate drivers* e 6 fontes isoladas R05P22005D. No caso do inversor de dois níveis, não é possível detectar todas as condições de curto-circuito apenas com a medição da corrente de saída tornando imperativo o uso da proteção por dessaturação. Por isso, os MOSFETs do inversor serão comandados pelo CI ADuM4136 que possui características semelhantes mas apresenta saída única e proteção desat integrada [87].

O circuito externo do *gate driver* foi especificado seguindo as orientações contidas nos *datasheets* dos fabricantes. Optou-se por não inserir resistências no circuito de *gate* pois o transistor utilizado já possui resistência interna  $R_g$  considerável, porém foi previsto no *layout* a possibilidade de inserir resistores caso seja necessário reduzir a velocidade de comutação do transistor. Com o intuito de reduzir as indutâncias parasitas da malha de *gate* e garantir operação segura do MOSFET, o circuito de comando foi posicionado próximo aos transistores como mostra a Figura 37. Além disso, *ferrite beads* foram inseridos nos terminais de dreno e *gate* para reduzir as oscilações.

Figura 37 – Foto destacando os componentes dos *gate drivers* (a)Retificador (b)Inversor



Fonte:Dados da pesquisa, 2018

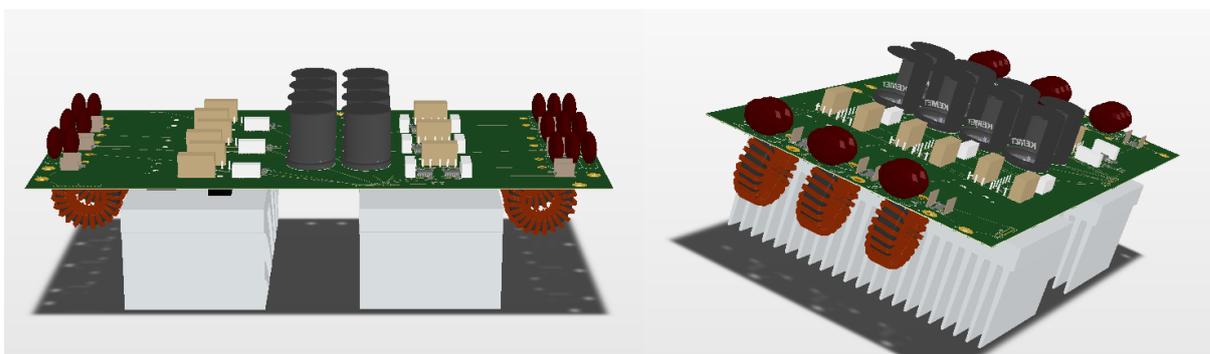
## 3.6 Conclusões do Capítulo

Este capítulo descreveu com detalhes as diretrizes de projeto que guiaram o dimensionamento e a especificação dos principais componentes de hardware.

Pode-se destacar como ponto principal deste capítulo a seção referente ao projeto térmico do conversor, as diferenças entre as curvas de energia de comutação fornecida pelo fabricante e curvas obtidas por outros métodos foram abordadas. Foi mostrado que essas diferenças podem impactar seriamente o rendimento do conversor. Portanto, basear-se apenas nas curvas de *datasheet* não é suficiente pra estimar com precisão as perdas de um conversor eletrônico. Foi proposto um método para obtenção de curvas mais realistas a partir de simulações em Spice, espera-se validar este método com os resultados experimentais do capítulo 5.

Após a especificação de todos os componentes, capturou-se o esquemático em um software de projeto de PCB. Um modelo 3D foi desenvolvido para auxiliar nas decisões de posicionamento e espaçamento dos componentes, o modelo pode ser visto na Figura 38.

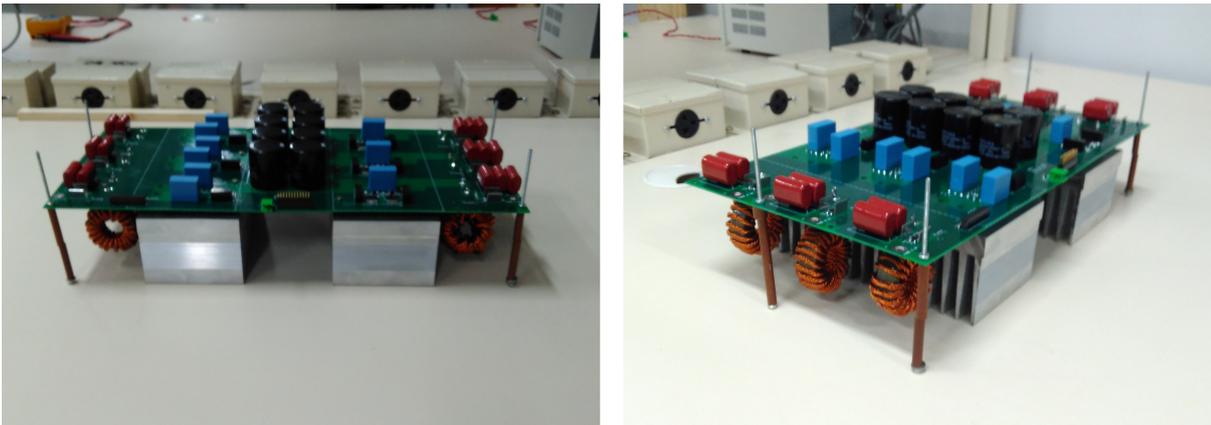
Figura 38 – Modelo 3D criado no software Altium Designer



Fonte: Dados da pesquisa, 2018

Depois de algumas iterações e revisões, a placa de circuito impresso foi enviada para fabricação. Logo após o recebimento da placa, os componentes foram montados resultando no conversor mostrado na Figura 39.

Figura 39 – Foto do protótipo projetado



Fonte: Dados da pesquisa, 2018

## 4 Modelagem, Simulação e Controle em DSP

Neste capítulo serão apresentados os procedimentos adotados para modelagem, simulação e controle dos conversores analisados. A princípio, as simulações foram necessárias para as comparações realizadas no capítulo 2, sendo que a estratégia de modelagem utilizada foi aplicada a todas as topologias analisadas. Posteriormente, as simulações foram realizadas para validar a performance do controlador aplicado ao conversor da Figura 21 frente à carga linear em regime permanente e variação dinâmica de carga. Por fim, este capítulo apresenta uma breve explicação a respeito do DSP TMS320F28379D e da implementação prática do algoritmo de controle embarcado neste dispositivo.

### 4.1 Modelagem e Controle

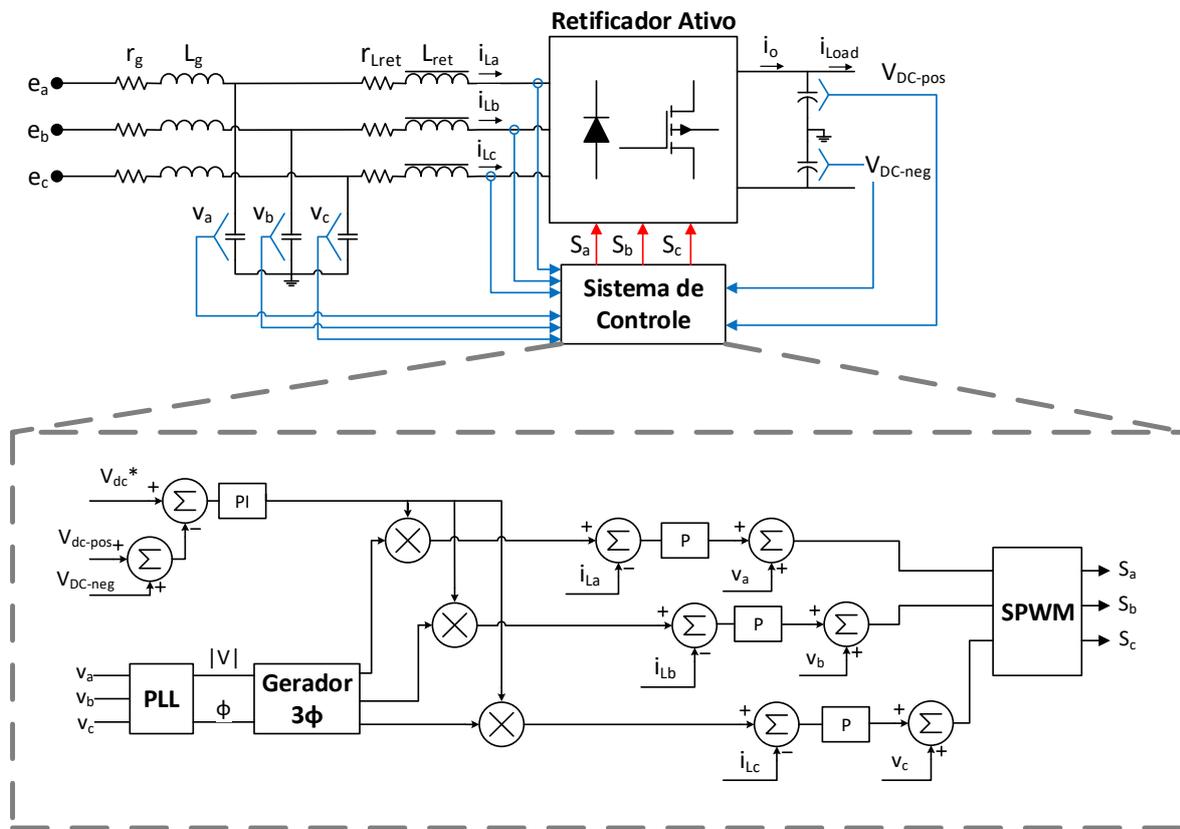
Nesta etapa do trabalho, decidiu-se operar o inversor em malha aberta e realizar o controle em malha fechada apenas do retificador. O sistema de controle do retificador deve ser responsável por regular a corrente de entrada, mantendo-a senoidal e com fator de potência unitário, e manter a tensão do barramento c.c. constante, isto implicará que a potência injetada no conversor é igual à potência fornecida à carga.

O sistema de controle implementado é mostrado na Figura 40. Será utilizada a técnica de controle em cascata com quatro malhas.

As três primeiras malhas, mais internas, controlam as correntes nos indutores de cada fase, a ação de controle é composta pela resposta de um controlador proporcional (P) junto com o *feedforward* da tensão de entrada. A malha mais externa, e mais lenta, é responsável por manter constante a tensão no barramento c.c., por se tratar de uma malha com referência constante a utilização de um compensador proporcional-integral (PI) é suficiente para garantir erro nulo em regime permanente, a saída desta malha multiplicada por tensões senoidais trifásicas gera a referência para as malhas internas de corrente. O PLL (*Phase Locked Loop*) é utilizado para gerar essas tensões trifásicas, isto desacopla a referência de possíveis distorções presentes nas tensões de entrada, melhorando a qualidade da corrente sintetizada [88].

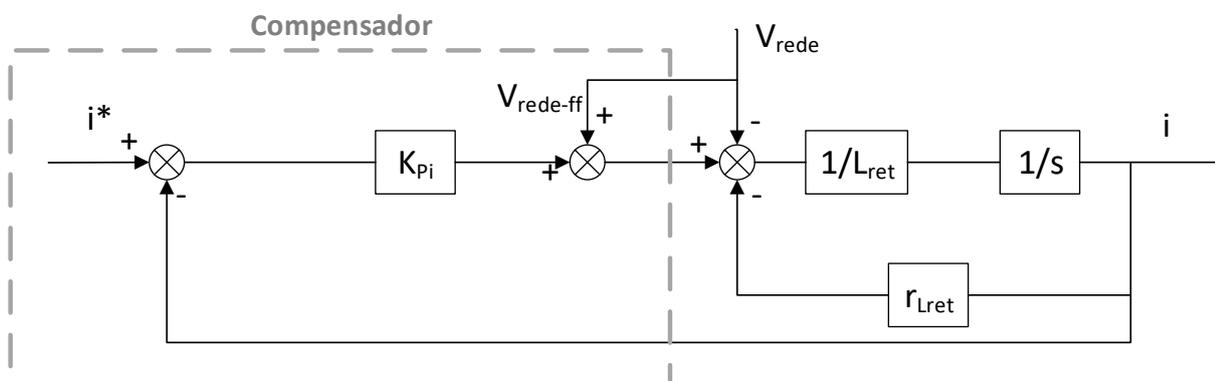
Para determinar o ganho dos compensadores é necessário modelar o sistema. No caso da malha de corrente será feita uma consideração que reduz a ordem do sistema: a tensão no capacitor do filtro LCL será considerada igual à tensão da rede. Assim, o sistema, originalmente de terceira ordem, é reduzido a um sistema de primeira ordem. Ao incluir o compensador proporcional e a ação *feedforward* da tensão da rede, o sistema equivalente por fase pode ser descrito pelo diagrama de blocos da Figura 41.

Figura 40 – Diagrama em blocos da técnica de controle aplicado ao retificador



Fonte:Dados da pesquisa, 2018

Figura 41 – Sistema equivalente por fase da malha de corrente descrita por diagrama de blocos



Fonte:Dados da pesquisa, 2018

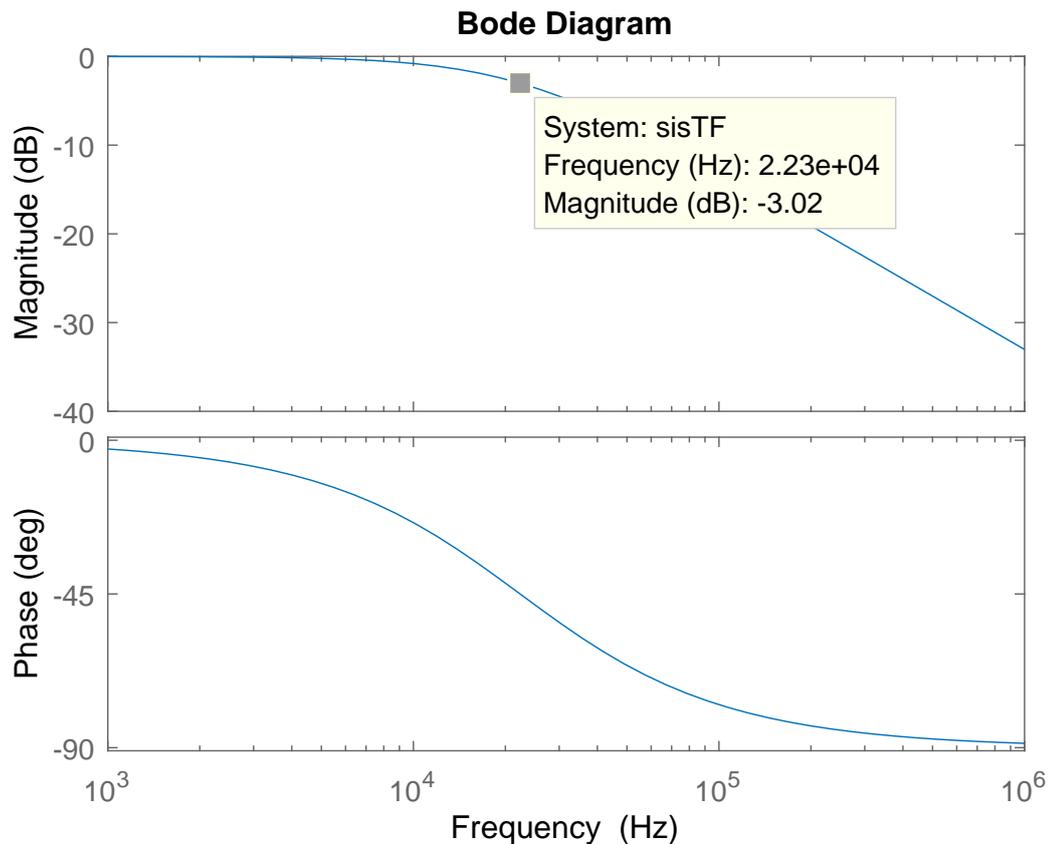
Considerando que a compensação *feedforward* rejeita completamente a perturbação da tensão da rede, ou seja,  $V_{rede-ff} = V_{rede}$ , pode-se deduzir o seguinte modelo em espaço

de estados:

$$\dot{X} = AX + BU \Rightarrow \begin{bmatrix} \dot{i} \end{bmatrix} = \begin{bmatrix} -K_{Pi} - r_{Lret} \\ L_{ret} \end{bmatrix} \begin{bmatrix} i \end{bmatrix} + \begin{bmatrix} K_{Pi} \\ L_{ret} \end{bmatrix} \begin{bmatrix} i^* \end{bmatrix} \quad (4.1)$$

O ganho proporcional foi escolhido baseando-se unicamente no critério de banda passante. Para que não haja interferência da dinâmica do controle na dinâmica de chaveamento do conversor, a frequência de corte da malha de corrente deve ser de no máximo metade da frequência de chaveamento. Utilizou-se o Matlab para avaliação de diversos ganhos com o modelo em espaço de estados da Equação 4.1 e verificou-se que ao usar ganho  $K_{Pi} = 3,8$ , obtém-se frequência de corte de aproximadamente 22 kHz, cerca de um quinto da frequência de chaveamento. A Figura 42 mostra a resposta em frequência da malha de corrente.

Figura 42 – Resposta em frequência da malha de corrente com ganho proporcional  $K_{Pi} = 3,8$

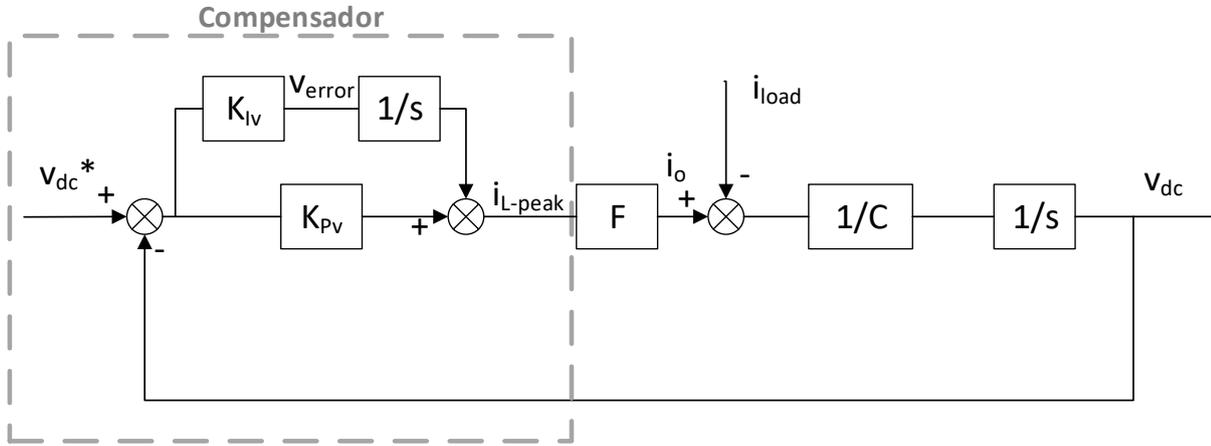


Fonte: Dados da pesquisa, 2018

Após o ajuste das malhas de corrente foi feita a sintonia da malha de tensão. Utilizando um compensador PI, o sistema equivalente da malha de tensão pode ser descrito

pelo diagrama de blocos da Figura 43.

Figura 43 – Sistema equivalente da malha de tensão descrita por diagrama de blocos



Fonte:Dados da pesquisa, 2018

Na Figura 43,  $K_{Iv}$  e  $K_{Pv}$  são os ganhos do compensador PI,  $i_o$  é a corrente do lado c.c. do retificador,  $i_{L-peak}$  é a corrente de pico nos indutores,  $i_{load}$  é a corrente de carga do retificador,  $C$  é a capacitância equivalente do barramento c.c. e o ganho  $F$  estabelece uma relação de equivalência de potência ativa entre os lados c.c. e c.a. do retificador como mostra as Equações 4.2 e 4.3.

$$\frac{3}{2}V_{x-peak}i_{L-peak} = V_{dc}i_o \quad (4.2)$$

$$F = \frac{i_o}{i_{L-peak}} = \frac{3}{2} \frac{V_{x-peak}}{V_{dc}} \quad (4.3)$$

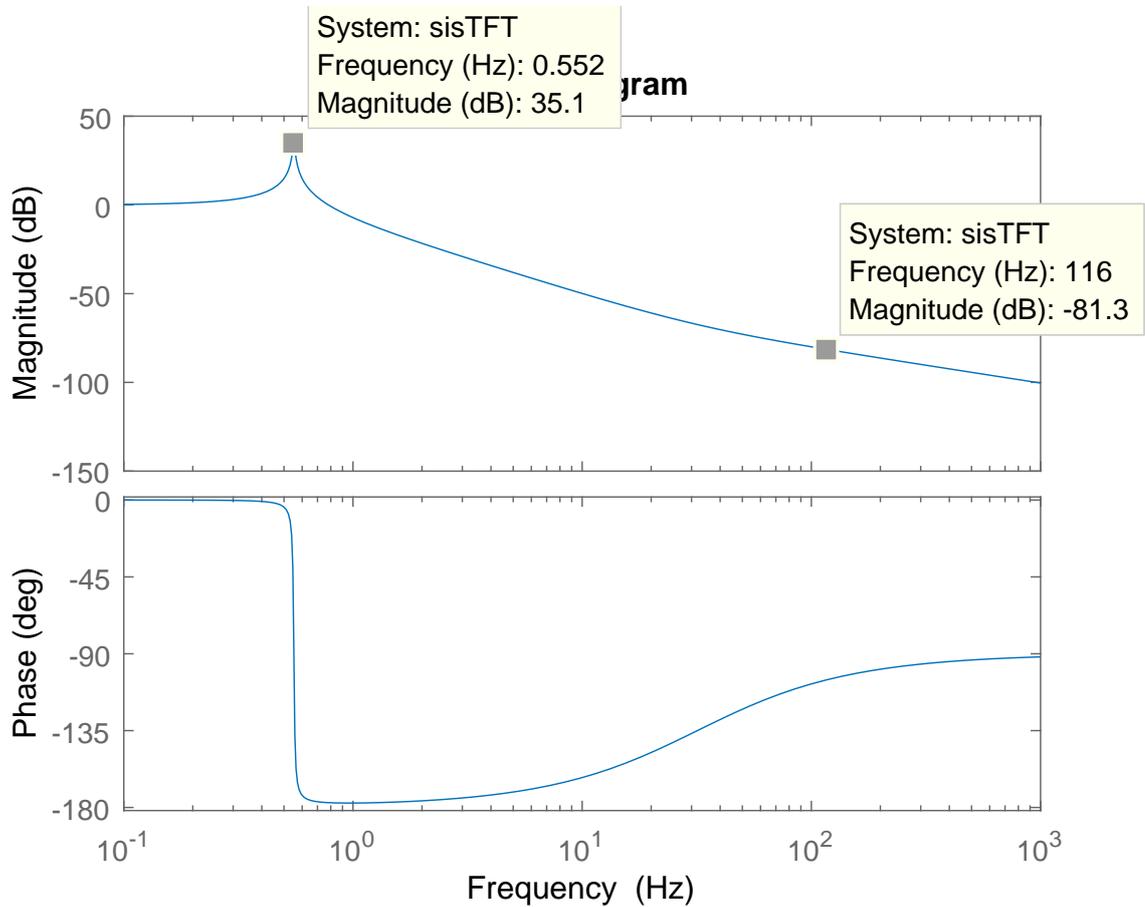
onde  $V_x$  é a tensão de pico do lado c.a.

Tendo em vista o diagrama de blocos apresentado, foi deduzido o seguinte modelo em espaço de estados:

$$\dot{X} = AX + BU \Rightarrow \begin{bmatrix} \dot{v}_{dc} \\ \dot{v}_{error} \end{bmatrix} = \begin{bmatrix} \frac{-K_{Pv}F}{C} & \frac{F}{C} \\ -K_{Iv} & 0 \end{bmatrix} \begin{bmatrix} v_{dc} \\ v_{error} \end{bmatrix} + \begin{bmatrix} \frac{K_{Pv}F}{C} & \frac{-1}{C} \\ K_{Iv} & 0 \end{bmatrix} \begin{bmatrix} v_{dc}^* \\ i_{load} \end{bmatrix} \quad (4.4)$$

A banda passante da malha de tensão deve ser mantida lenta para que as oscilações do barramento c.c. devido à carga desbalanceada, na frequência de 120 Hz, não se reproduzam na ação de controle do compensador. Utilizou-se o Matlab para avaliação de diversos ganhos com o modelo em espaço de estados da Equação 4.4 e verificou-se que ao usar ganhos  $K_{Pv} = 0,0001$  e  $K_{Iv} = 0,02$ , obtém-se banda passante de aproximadamente

Figura 44 – Resposta em frequência da malha de tensão com ganhos  $K_{Pv} = 0,0001$  e  $K_{Iv} = 0,02$



Fonte: Dados da pesquisa, 2018

0,6 Hz, muito distante de 120 Hz onde a atenuação é em torno de 80 dB. A Figura 44 mostra a resposta em frequência da malha de tensão.

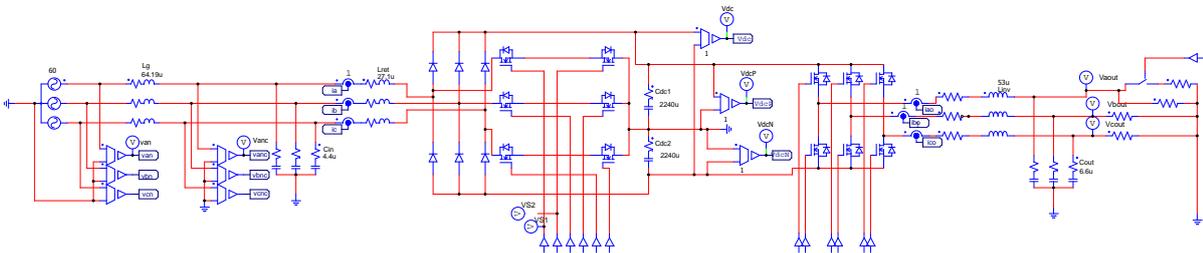
Apesar de possuir bom desempenho em regime permanente, o PI projetado é lento e muito sensível às perturbações de variação de carga [89]. Então, um PI não-linear foi utilizado para melhorar o desempenho do sistema frente à perturbações. Neste PI não-linear, os ganhos são multiplicados por 20 quando o valor absoluto do erro de tensão ultrapassa 12 V, isto significa que os ganhos serão multiplicados sempre que ocorrerem afundamentos ou sobretensões no barramento c.c.

O funcionamento do conversor e o desempenho das malhas de controle serão avaliados na próxima secção por meio de simulações.

## 4.2 Simulações

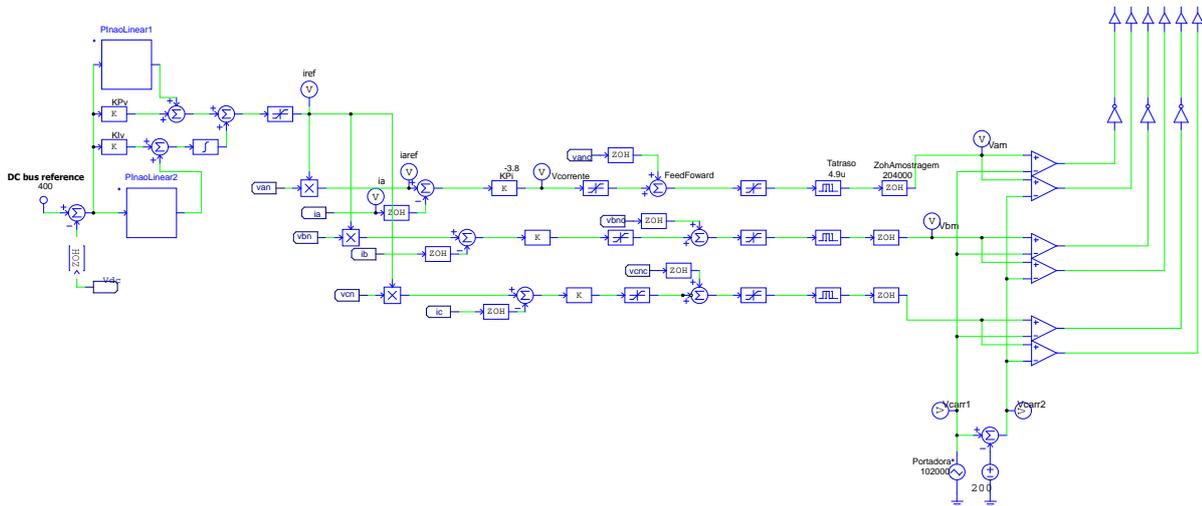
Esta secção se dedica à avaliação do comportamento do conversor por meio de simulação. A simulação foi desenvolvida empregando o *software* PSIM. As Figuras 45 e 46 mostram os diagramas esquemáticos implementados para a parte de potência e para o circuito de controle do retificador, respectivamente. O diagrama de controle do inversor não é mostrado, pois o mesmo foi operado em malha aberta.

Figura 45 – Diagrama esquemático da simulação implementada no PSIM destacando o circuito de potência de potência



Fonte:Dados da pesquisa, 2018

Figura 46 – Diagrama esquemático da simulação implementada no PSIM destacando o circuito de controle do retificador



Fonte:Dados da pesquisa, 2018

Para simulação do circuito de potência foram utilizadas chaves ideais e os valores dos componentes passivos são aqueles calculados no capítulo 3. Em relação ao circuito de controle, foram adicionados seguradores de ordem zero (*zero order holder - ZOH*) e tempos de atraso para representar, respectivamente, a amostragem e o tempo de cálculo

do DSP. A estratégia de controle e o valor dos ganhos foram discutidos na última seção. A Tabela 13 resume os principais parâmetros utilizados na simulação.

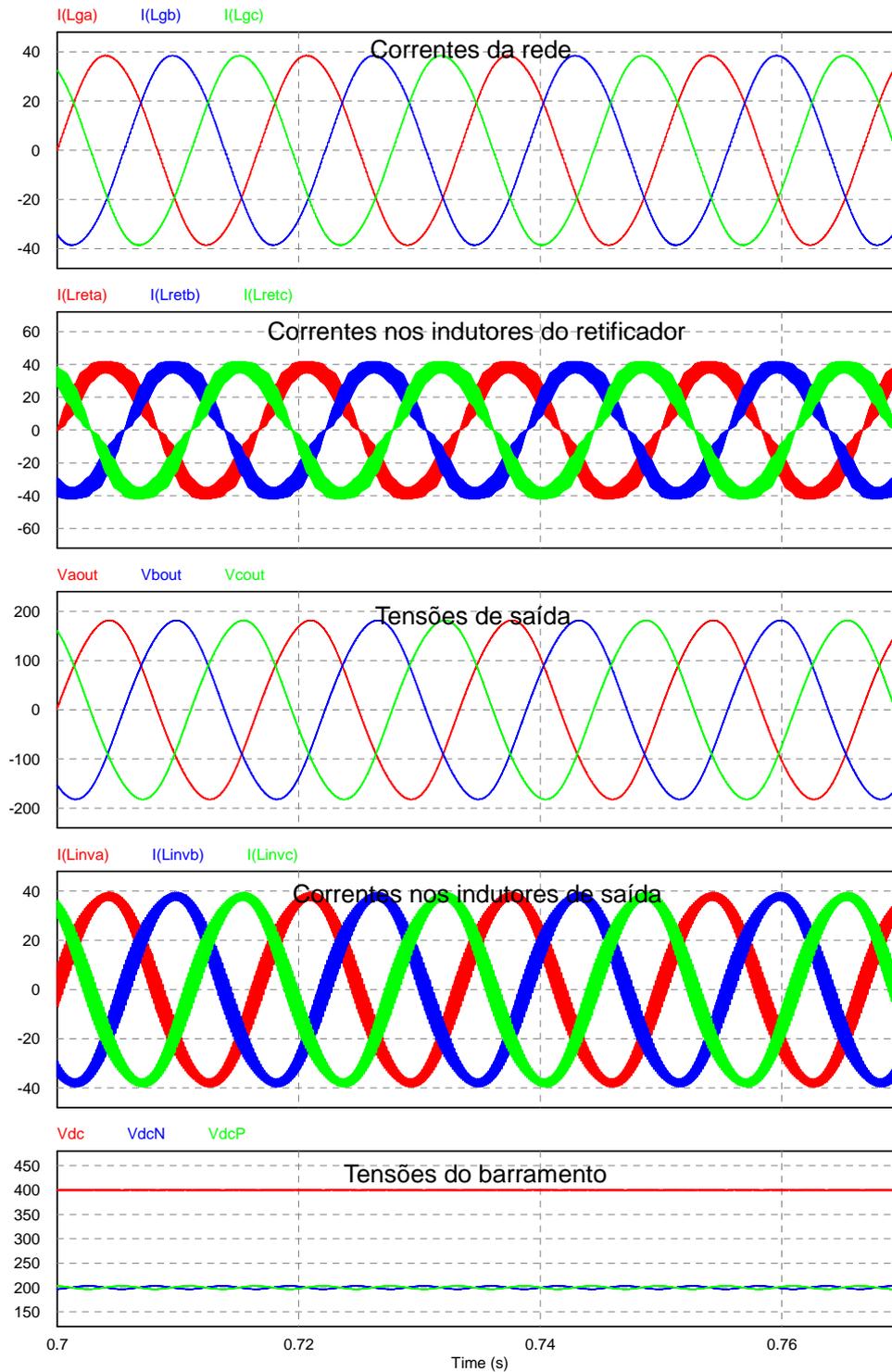
Tabela 13 – Parâmetros de simulação utilizados

Parâmetro	Valor
<b>Potência</b>	
Tensão de saída fase-neutro ( $V_{a-inv}$ )	127 V
Tensão de entrada fase-neutro ( $V_{a-ret}$ )	127 V
Frequência da rede ( $f_g$ )	60 Hz
Tensão do barramento ( $V_{dc}$ )	400 V
Frequência de chaveamento do inversor ( $f_{sw-inv}$ )	101,34 kHz
Frequência de chaveamento do retificador ( $f_{sw-ret}$ )	102 kHz
Indutância da rede ( $L_g$ )	64,19 $\mu H$
Indutância do retificador ( $L_{ret}$ )	27,1 $\mu H$
Indutância do inversor ( $L_{inv}$ )	53 $\mu H$
Capacitância de entrada ( $C_{in}$ )	4,4 $\mu F$
Capacitância de saída ( $C_{out}$ )	6,6 $\mu F$
Capacitâncias do barramento c.c. ( $C_{dc}$ )	2,24 mF
<b>Controle</b>	
Ganho proporcional da malha de corrente ( $K_{P_i}$ )	3,8
Ganho proporcional da malha de tensão ( $K_{P_v}$ )	0,0001
Ganho integral da malha de tensão ( $K_{I_v}$ )	0,02
Multiplicador de ganho PI não-linear	20
Frequência de amostragem ( $f_{sample}$ )	204 kHz
Tempo de atraso ( $t_{delay}$ )	4,9 $\mu s$

Fonte: Dados da pesquisa, 2018

Os primeiros resultados de simulação coletados foram as formas de onda relativas ao funcionamento do conversor em regime permanente e com carga nominal na saída. Os resultados podem ser vistos na Figura 47. Pode-se verificar que a técnica de controle de corrente utilizada no retificador é eficaz e produz, na entrada, correntes senoidais com taxa de distorção harmônica de 1,43%. Os valores máximos de *ripple* nas correntes nos indutores do retificador e do inversor são de, respectivamente, 16,9 A e 18,1 A, valores que correspondem aos valores teóricos. Apesar de funcionar em malha aberta, o inversor é capaz de produzir tensões de qualidade, com THD de 1,97%, quando operando com carga linear. O fator de potência na entrada foi de 0,999 com carga nominal.

Figura 47 – Resultados de simulação do conversor operando em regime permanente e com carga nominal. São mostradas as correntes da rede, as correntes nos indutores do retificador, as correntes nos indutores de saída, as tensões de saída e as tensões do barramento. As variáveis são identificadas pelos símbolos da Figura 45

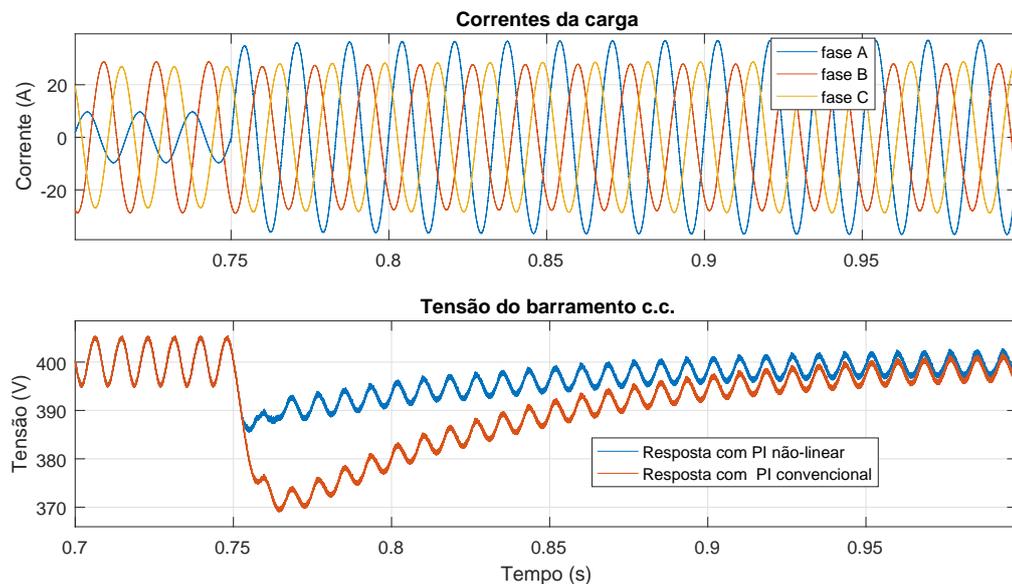


Fonte:Dados da pesquisa, 2018

Apesar de apresentar resultados razoáveis em regime permanente, ainda é necessário avaliar a performance da malha de controle da tensão do barramento c.c. frente à perturbações da corrente de carga.

Nos resultados apresentados na Figura 48, as cargas das fases B e C são mantidas constantes e valem aproximadamente 2,5 kW cada. No instante  $t = 0,75s$ , é aplicado um degrau de carga na fase A de 833 W para 3,33 kW, que corresponde a um degrau de 25% da potência nominal. Foi avaliado a performance da malha de tensão utilizando dois compensadores, um PI convencional e um PI não-linear. O PI não-linear entra em ação apenas quando o valor absoluto do erro de tensão é maior que 12 V, multiplicando por 20 os ganhos do PI convencional. Pode-se observar que o afundamento ao utilizar somente o PI convencional é de 30 V, enquanto que ao utilizar o PI não-linear o afundamento é de 12 V e com resposta mais rápida. Cabe destacar que a pequena oscilação de 120 Hz presente na tensão do barramento é devida ao desbalanceamento da carga.

Figura 48 – Resultado para variação de carga na fase A de 833 W para 3,33 kW em  $t = 0,75s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores

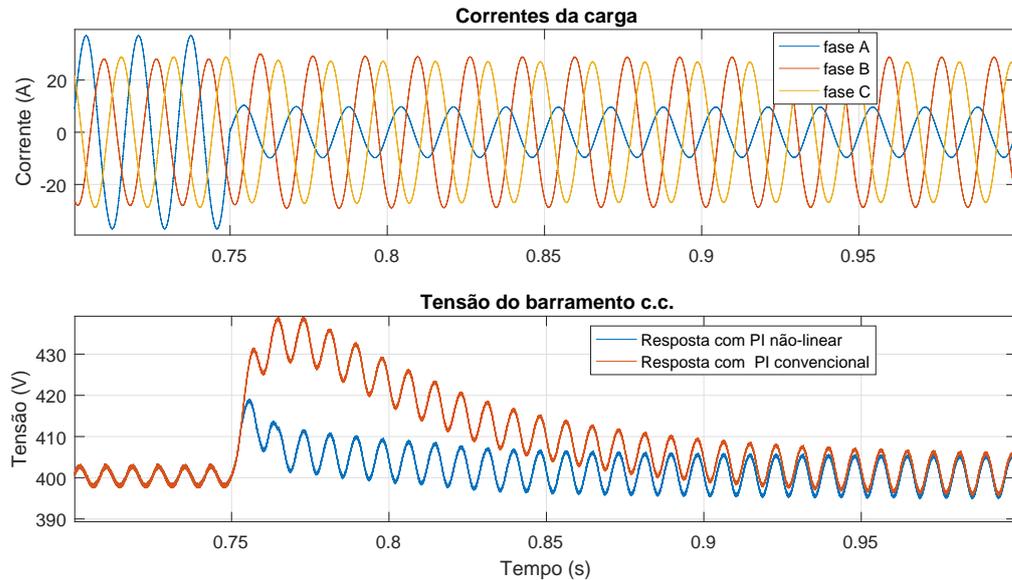


Fonte:Dados da pesquisa, 2018

Em seguida, os resultados apresentados na Figura 49 mostram o comportamento do tensão do barramento c.c. quando um degrau de carga de 3,33 kW para 833 W é aplicado na fase A, no instante  $t = 0,75s$ . As cargas das fases B e C são mantidas constantes e valem aproximadamente 2,5 kW cada. Foi avaliado a performance da regulação utilizando dois compensadores, um PI convencional e um PI não-linear. Pode-se observar que a sobretensão ao utilizar somente o PI convencional é de 40 V, enquanto que ao utilizar o

PI não-linear esse valor é de apenas 18 V e com resposta mais rápida.

Figura 49 – Resultado para variação de carga na fase A de 3,33 kW para 833 W em  $t = 0,75s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores



Fonte:Dados da pesquisa, 2018

Assim, é possível afirmar, tendo em vista os resultados obtidos, que a utilização de um PI não-linear na malha de tensão melhora significativamente o comportamento da tensão do barramento c.c. em caso de perturbações na corrente de carga.

A partir dos resultados de simulação obtidos, pode-se concluir que o dimensionamento dos componentes passivos, realizado no capítulo 3, e as técnicas de controle utilizadas no retificador são satisfatórios.

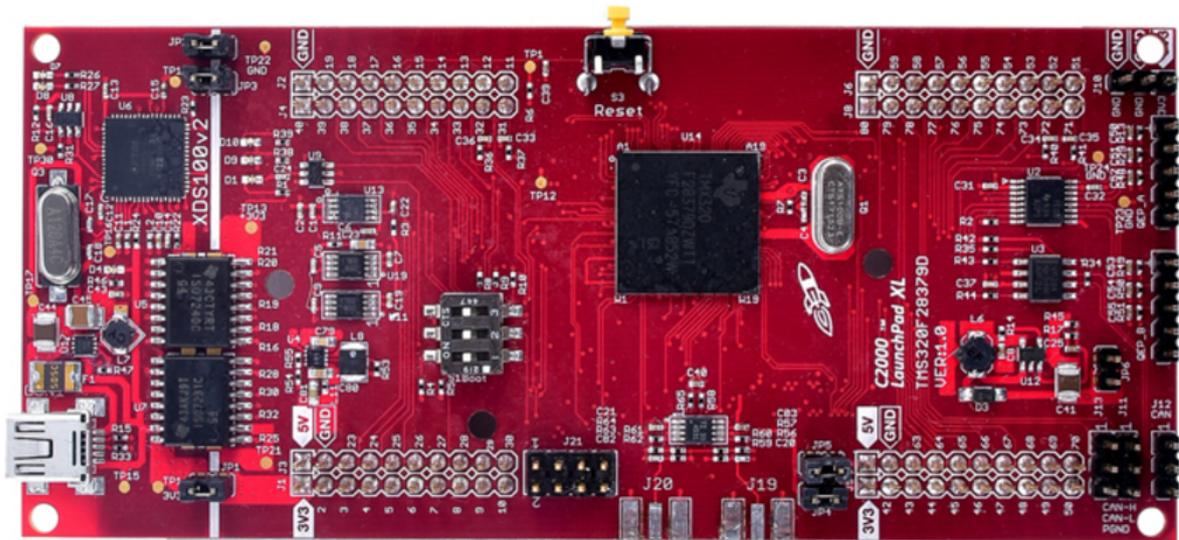
### 4.3 Processador TMS320F28379D

Esta seção se dedica ao estudo e descrição do microcontrolador escolhido para realizar o controle digital da UPS. Como os conversores operam com frequência de chaveamento elevada, na ordem de 100 kHz, é necessário que o processador seja capaz de executar todos os cálculos e malhas de controle dentro de um período da onda portadora, ou seja, em menos 10  $\mu s$ . Ainda assim, é exigido que seja realizado o controle de dois conversores: retificador e inversor.

Dentro deste cenário, pode-se afirmar que um processador de elevado desempenho se torna essencial. Ao pesquisar e analisar os microcontroladores disponíveis no mercado,

conclui-se que o kit de desenvolvimento LaunchPad, que embarca o microcontrolador TMS320F28379D fabricado pela Texas Instruments, é capaz de realizar todas as funções necessárias de forma eficiente com custo relativamente baixo. Uma foto do kit pode ser vista na Figura 50. A seguir as principais características do DSP TMS320F28379D serão evidenciadas.

Figura 50 – Kit de desenvolvimento LaunchPad F28379D



Fonte: [90]

O dispositivo TMS320F28379D da família Delfino™ é um poderoso microcontrolador (microcontroller unit - MCU) capaz de operar em ponto flutuante com 32 bits projetado para aplicações avançadas de controle em malha fechada tais como: acionamentos elétricos, inversores solares, fontes digitais, fontes ininterruptas de energia e aplicações automotivas [91].

Os MCUs F2837xD incorporam uma nova arquitetura *dual-core* (dois núcleos de processamento) baseada nas CPUs (Central Processing Unit) TI C28x 32 bits de ponto flutuante, cada núcleo opera com frequência de *clock* de 200 MHz, o que incrementa significativamente a performance do sistema. Cada núcleo possui acesso à sua própria memória RAM e memória FLASH locais, bem como a memória RAM compartilhada globalmente. O compartilhamento de informações entre os dois núcleos da CPU pode ser realizado com o módulo IPC (Inter-Processor Communications).

Outras melhorias do processador TI C28x e de seus periféricos incrementam ainda mais o desempenho do sistema, as principais melhorias são listadas e detalhadas a seguir:

- **TMU - Trigonometric Math Unit:** É uma extensão da unidade de ponto flutu-

ante e do conjunto de instruções do processador TI C28x, e executa eficientemente operações trigonométricas e aritméticas comumente encontradas em aplicações de sistemas de controle em eletrônica de potência, tais como transformadas e controle de torque (Park, Clarke, PLL, geração de senoides). Semelhante à FPU, o TMU fornece suporte de hardware para operações de ponto flutuante de precisão única IEEE-754 que são especificamente focadas nas funções matemáticas trigonométricas. A integração de código é realizada por suporte incorporado do compilador que gera automaticamente instruções TMU, quando aplicável. Isso aumenta drasticamente o desempenho das funções trigonométricas, o que de outra forma poderia gastar muitos ciclos de execução. Ele usa o mesmo pipeline, arquitetura de barramento de memória e registros da FPU, removendo assim quaisquer requisitos especiais para salvar ou restaurar o contexto de interrupção. Juntas a FPU e TMU tornam obsoletas bibliotecas como IQMath e *look-up tables* para cálculos trigonométricos.

- **VCU - Viterbi, Complex Math, e unidade CRC:** Adiciona um conjunto extenso de registros e instruções para a arquitetura C28x padrão para suportar vários algoritmos baseados em comunicações, como o *power line communications* (PLC). Esses algoritmos geralmente requerem decodificação Viterbi, Transformação Rápida de Fourier (FFT), filtros complexos e verificação de redundância cíclica (CRC). Ao utilizar a VCU, um benefício de desempenho significativo é realizado quando comparado a uma implementação de software. Ele realiza operações de ponto fixo usando o conjunto de instruções existente, pipeline e arquitetura de barramento de memória. Além disso, o VCU é muito útil para aplicações de processamento de sinais, como filtragem e análise espectral.
- **CLA - Control Law Accelerator:** A família de microcontroladores F2837xD possui dois co-processadores aceleradores de lei de controle (CLA). O CLA é um processador de ponto flutuante independente de 32 bits que opera na mesma velocidade que a CPU principal. O CLA responde a disparos de periféricos (ADC End of Conversion, ePWM triggers) e executa código simultaneamente com a CPU principal C28x. Essa capacidade de processamento paralelo pode efetivamente dobrar o desempenho computacional de um sistema de controle em tempo real. Ao usar o CLA para atender às funções críticas de lei de controle, a CPU C28x principal é livre para executar outras tarefas, como comunicações, diagnósticos, interface homem-máquina e configuração do sistema. A arquitetura dual C28x + CLA permite particionamento inteligente entre várias tarefas do sistema. Por exemplo, em aplicações de acionamentos elétricos um núcleo CLA pode ser usado para rastrear a velocidade e posição, enquanto o outro núcleo CLA pode ser usado para controlar torque e corrente. Já em aplicações de UPS, um núcleo pode ser responsável pelo controle do inversor, e o outro núcleo pode permanecer responsável pelo controle do

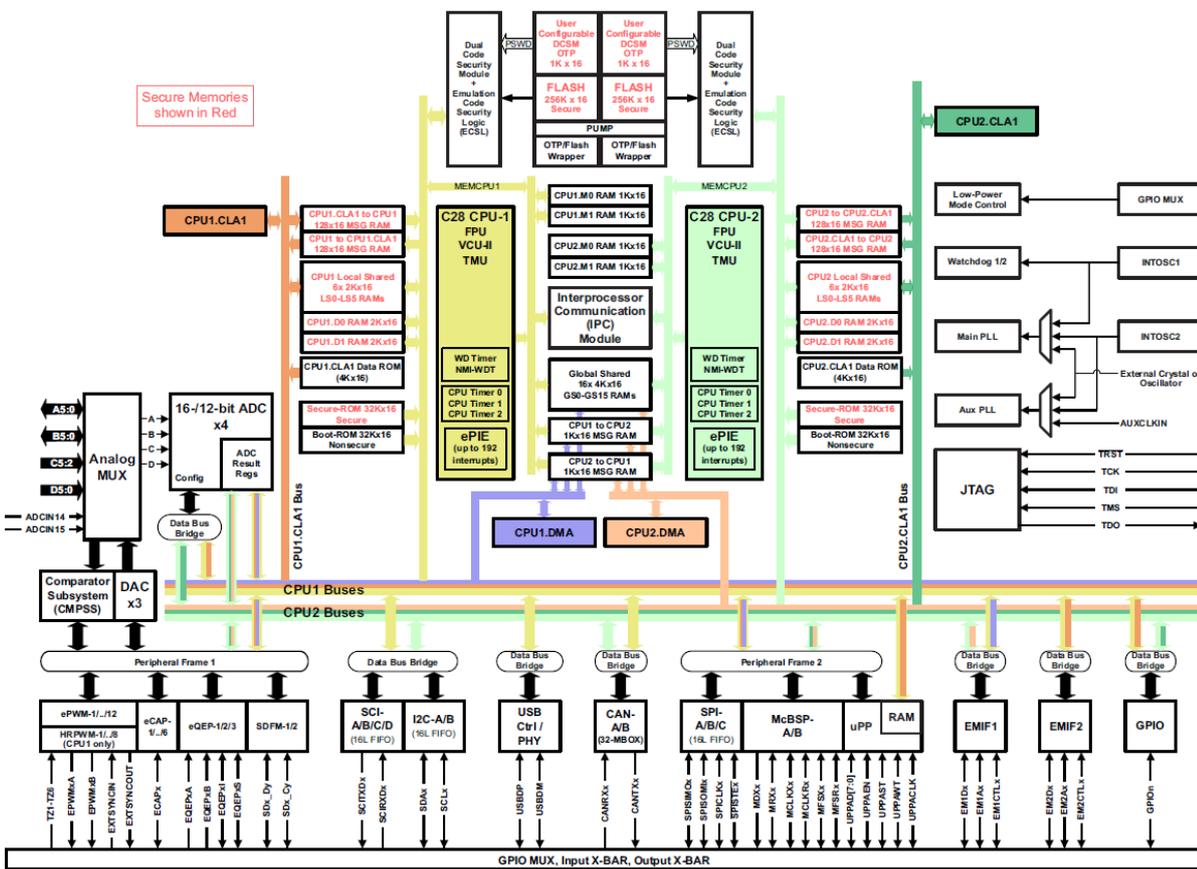
retificador. Assim, pode-se afirmar que o co-processador CLA é uma das maiores melhorias dos dispositivos da família F2837xD.

- ***ePWM - Enhanced Pulse Width Modulator***: Essencial para as aplicações de eletrônica de potência, os periféricos de modulação por largura de pulso (PWM) já estavam presentes e são bem conhecidos desde as famílias mais antigas de microcontroladores da Texas Instruments. No entanto, os dispositivos da família F2837xD possibilitam a operação em alta resolução do PWM em 16 dos 24 canais, a alta resolução se torna particularmente necessária em conversores operando com elevadas frequências de chaveamento (acima de 200 kHz) ou em modulações especiais como a Phase-Shift. Assim, o periférico ePWM possibilita a geração de sinais PWM complexos, sendo capaz de atender à quase totalidade das topologias de conversores existentes.
- ***ADC - Analog to Digital Converter***: O F2837xD inclui quatro módulos de conversão analógica para digital de alto desempenho independentes, que podem ser acessados por ambos os subsistemas da CPU, permitindo que o dispositivo gere eficientemente vários sinais analógicos para aumentar a taxa de aquisição do sistema. Cada módulo ADC possui um único circuito de amostragem e retenção (Sample & Hold - SH) e o uso de múltiplos módulos ADC permite amostragem simultânea ou operação independente. O periférico ADC é implementado usando um conversor de tipo de aproximação sucessiva com uma resolução configurável de 16 bits ou 12 bits. Para resolução de 16 bits, o ADC realiza conversões de sinal diferencial, no modo de sinal diferencial, um par de pinos (entrada positiva ADCINxP e entrada negativa ADCINxN) é amostrado e a entrada aplicada ao conversor é a diferença entre os dois pinos (ADCINxP - ADCINxN). Um benefício do modo de amostragem diferencial é a capacidade de cancelar o ruído de modo comum introduzido. Para resolução de 12 bits, o ADC executa conversões de sinal em modo *single-ended*, isto é, modo de medição referenciada ao terra, no modo single-ended um único pino (ADCINx) é amostrado e aplicado à entrada do conversor.
- ***CMPSS - Comparator Subsystem***: O F2837xD inclui oito módulos independentes de comparadores (CMPSS) que são úteis para auxiliar o desenvolvimento de aplicações que utilizam controle de corrente em modo de pico, correção de fator de potência, monitoramento de nível tensão e proteção. Cada módulo CMPSS é projetado em torno de um par de comparadores analógicos que gera uma saída digital indicando se a tensão na entrada positiva é maior do que a tensão na entrada negativa. A entrada positiva para o comparador é sempre a partir de um pino externo. A entrada negativa pode ser alimentada por um pino externo ou por um sinal proveniente de um conversor digital-analógico (DAC) programável de 12 bits. Cada saída do comparador alimenta um filtro digital programável que pode remover sinais

de disparo espúrios. A saída do CMPSS gera sinais de disparo para o submódulo de proteção do ePWM ou para os pinos de entrada/saída de uso geral (General Purpose Input/Output - GPIO).

O microcontrolador TMS320F28379D incorpora ainda diversos outros periféricos tais como: conversor digital-analógico (DAC), módulo de captura (eCAP), medidor de pulsos de encoder (eQEQ), filtros sigma-delta (SDFM), módulo de acesso direto à memória (DMA) e diversos periféricos de comunicações SPI, SCI, McBSP, CAN, I<sup>2</sup>C, USB, uPP.. A relação completa dos periféricos pode ser vista na Tabela 14 e o diagrama funcional do microcontrolador é mostrado na Figura 51.

Figura 51 – Diagrama funcional dos microcontroladores da família F2837xD



Copyright © 2016, Texas Instruments Incorporated

Fonte: Datasheet do microcontrolador [91]

Tabela 14 – Lista das características do  $\mu\text{C}$  TMS320F28379D no encapsulamento nFBGA

<b>Processadores e Aceleradores</b>	
Número de CPUs	2
Frequência da CPU	200 MHz
FPU	1 por CPU
VCU	1 por CPU
TMU	1 por CPU
CLA	2
DMA	2
<b>Memória</b>	
FLASH	512 KB por CPU
RAM Local	36 KB por CPU
RAM Global	128 KB
RAM Mensagem	2 KB por CPU
<b>Sistema</b>	
Timers	3 por CPU
Timers Watchdog	1 por CPU
GPIO	169
<b>Periféricos Analógicos</b>	
Canais ADC 16 bits modo diferencial	12
Canais ADC 12 bits modo single ended	24
Sensor de Temperatura	1
CMPSS	8
DAC	3
<b>Periféricos de Controle</b>	
Entradas eCAP	6
Canais ePWM	24 (16 de alta resolução)
Módulos eQEP	3
Canais SDFM	8
<b>Periféricos de Comunicação</b>	
CAN	2
I <sup>2</sup> C	2
McBSP	2
SCI	4
SPI	3
USB	1
uPP	1

Fonte: Datasheet do microcontrolador [91]

De forma a demonstrar o potencial e capacidades do microcontrolador TMS320F28379D foi medido o tempo de execução de uma rotina de controle de um inversor trifásico em três condições distintas: usando o TMS320F28379D com TMU, usando o TMS320F28379D com *IQMath* e, por último, utilizando o processador TMS320F28335 com biblioteca *IQMath*. O código utilizado para as três condições é o mesmo e contém algoritmos para leituras de variáveis do ADC, Phase-Locked Loop (PLL), controle em cascata com malhas de tensão e corrente e cálculo dos tempos de chaveamento para modulação PWM senoidal. Os tempos de execução medidos são mostrados na Tabela 15, pode-se observar o desempenho superior do processador TMS320F28379D quando a unidade trigonométrica é utilizada.

Tabela 15 – Tempos de execução da rotina de controle

Condição	TMS320F28379D com TMU	TMS320F28379D com <i>IQMath</i>	TMS320F28335 com <i>IQMath</i>
<b>Leitura ADC</b>	0,5 $\mu$ s	0,7 $\mu$ s	Não medido
<b>PLL</b>	1,6 $\mu$ s	1,9 $\mu$ s	Não medido
<b>Controle em cascata</b>	1,2 $\mu$ s	2,6 $\mu$ s	Não medido
<b>PWM</b>	1,3 $\mu$ s	2,3 $\mu$ s	Não medido
<b>Tempo total</b>	4,6 $\mu$ s	7,5 $\mu$ s	20 $\mu$ s

Fonte: Resultados da Pesquisa, 2018

### 4.3.1 Implementação Prática

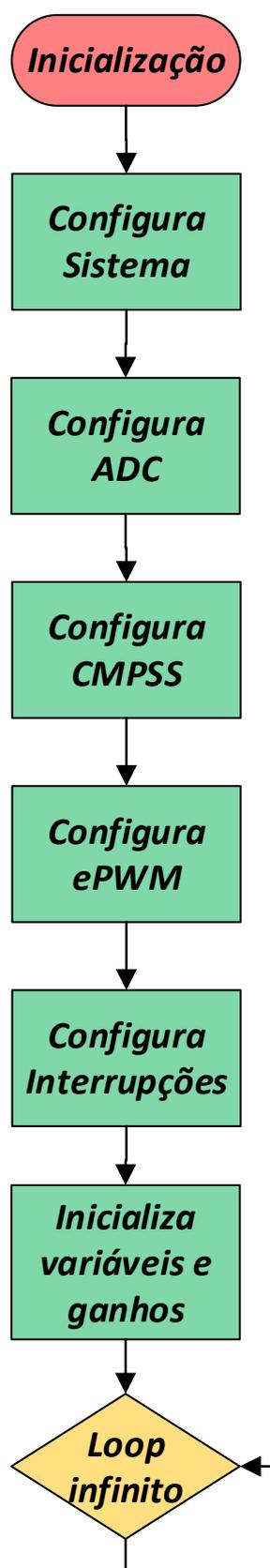
Pelo fato do microcontrolador TMS320F28379D possuir duas CPUs, a primeira será programada para realizar o controle do retificador e a segunda será programada para realizar o controle em malha aberta do inversor. O *firmware* de cada CPU deve ser desenvolvido de forma independente. Como os dois *firmwares* são similares, será descrito aqui, de forma breve, apenas a implementação realizada para a CPU1 que controla o retificador.

A Figura 52 mostra o fluxograma de inicialização do programa. Primeiramente é feito a configuração do sistema, onde os osciladores do sistema são habilitados e sincronizados e são definidos os estados iniciais das portas de GPIOs.

Seguidamente, o conversor analógico-digital é ligado e configurado para realizar amostragens nos picos e nos vales da portadora triangular digital, assim, a frequência de amostragem será o dobro da frequência de chaveamento do conversor, isto é, 204 kHz.

Os módulos de comparadores analógicos (CMPSS) são configurados para monitorar a corrente de entrada do conversor. Caso o valor instantâneo da corrente ultrapasse 70 A, um *flag* é disparado e enviado ao módulo de PWM para desabilitar o chaveamento e proteger o conversor.

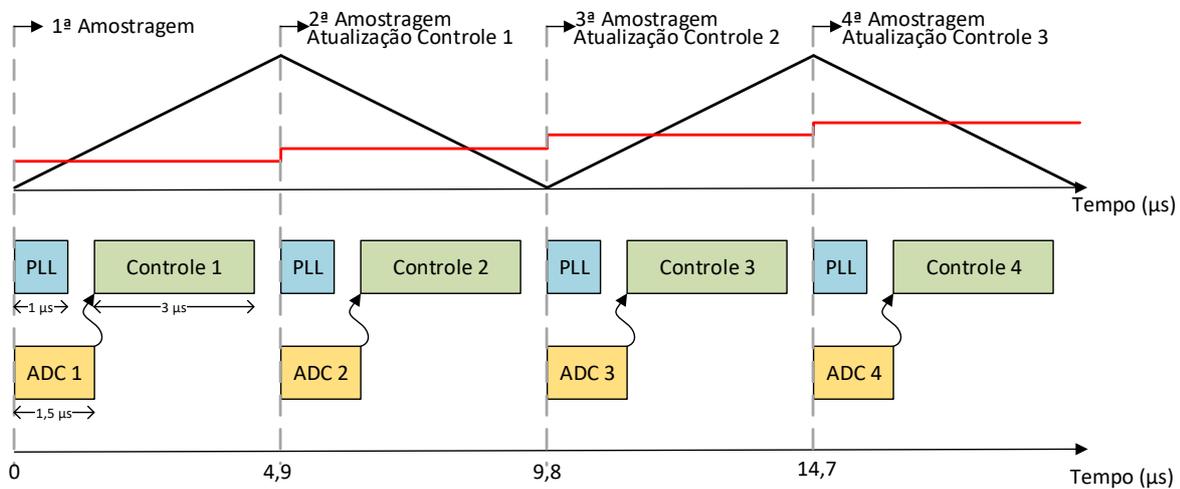
Figura 52 – Fluxograma de inicialização do código



Os módulos de PWM são configurados para trabalhar na frequência de chaveamento desejada e realizar a atualização do ciclo de trabalho nos picos e nos vales da portadora triangular digital.

Por fim, as interrupções são configuradas e habilitadas e as variáveis globais são inicializadas. A partir deste ponto, o processador entra em *loop* infinito e passa a executar as ações de controle através de interrupções seguindo o diagrama temporal descrito na Figura 53.

Figura 53 – Diagrama temporal de execução do código, o sinal em preto corresponde à portadora PWM e o sinal em vermelho corresponde à ação de controle calculada



Fonte: Dados da pesquisa, 2018

No instante  $t = 0$ , a portadora triangular se encontra em um vale, então, o ADC realiza a primeira amostragem e começa uma sequência de conversão. Simultaneamente, uma interrupção começa a ser tratada para realizar o cálculo do PLL das tensões de entrada do conversor. Este cálculo é feito com valores de tensão amostrados anteriormente, como a frequência de amostragem é muito superior à frequência da rede, o desempenho do PLL não é prejudicado. Dessa maneira, é possível reduzir o tempo ocioso do processador enquanto o ADC realiza as conversões.

O ADC gasta cerca de 1,5  $\mu\text{s}$  para realizar a sequência de amostragem e conversão, após ter realizado as conversões o ADC gera um *flag* de interrupção. Este *flag* é tratado pela função de controle principal, esta função é responsável por ajustar o ganho e o *offset* das variáveis medidas e, em seguida, efetuar o cálculo das malhas de controle e do ciclo de trabalho. A malha de tensão gera a referência de corrente, a malha de corrente, por sua vez, gera um valor de tensão média que deve ser aplicada pelo conversor para se obter a corrente desejada. O ciclo de trabalho é calculado para o retificador Vienna de três níveis,

em função da tensão média desejada, através da Equação 4.5.

$$D = 1 - \frac{2|\bar{V}|}{V_{dc}} \quad (4.5)$$

onde  $D$  é o ciclo de trabalho,  $|\bar{V}|$  é o valor médio absoluto da tensão aplicada pelo conversor e  $V_{dc}$  é o valor da tensão total do barramento.

A função de controle leva aproximadamente  $3 \mu s$  para ser executada e gerar um novo valor de ciclo de trabalho. No entanto, este o novo valor só é atualizado em  $t = 4,9 \mu s$ , ou seja, existe um atraso total de  $4,9 \mu s$  entre a amostragem das variáveis e a atualização da ação de controle. Neste ponto, a segunda amostragem é realizada e a sequência temporal de execução é reiniciada.

## 4.4 Conclusões do Capítulo

Neste capítulo, a modelagem e a estratégia de controle do retificador foram abordadas. Foram utilizados compensadores do tipo Proporcional com ação *feedforward* para controle das correntes de entrada e um controlador Proporcional-Integral não-linear para a malha de tensão do barramento c.c., os modelos das malhas foram deduzidos e os critérios para escolha dos ganhos foram definidos.

Em seguida, a técnica de controle foi validada por meio de simulações, foram obtidos baixos valores de taxa de distorção harmônica, elevado fator de potência e boa resposta dinâmica frente à variações de carga quando o PI não-linear é utilizado no controle da malha de tensão do barramento c.c.. Assim, pode-se concluir que os resultados de simulação foram satisfatórios, espera-se reforçar esta validação através dos resultados experimentais que serão mostrados no capítulo 5.

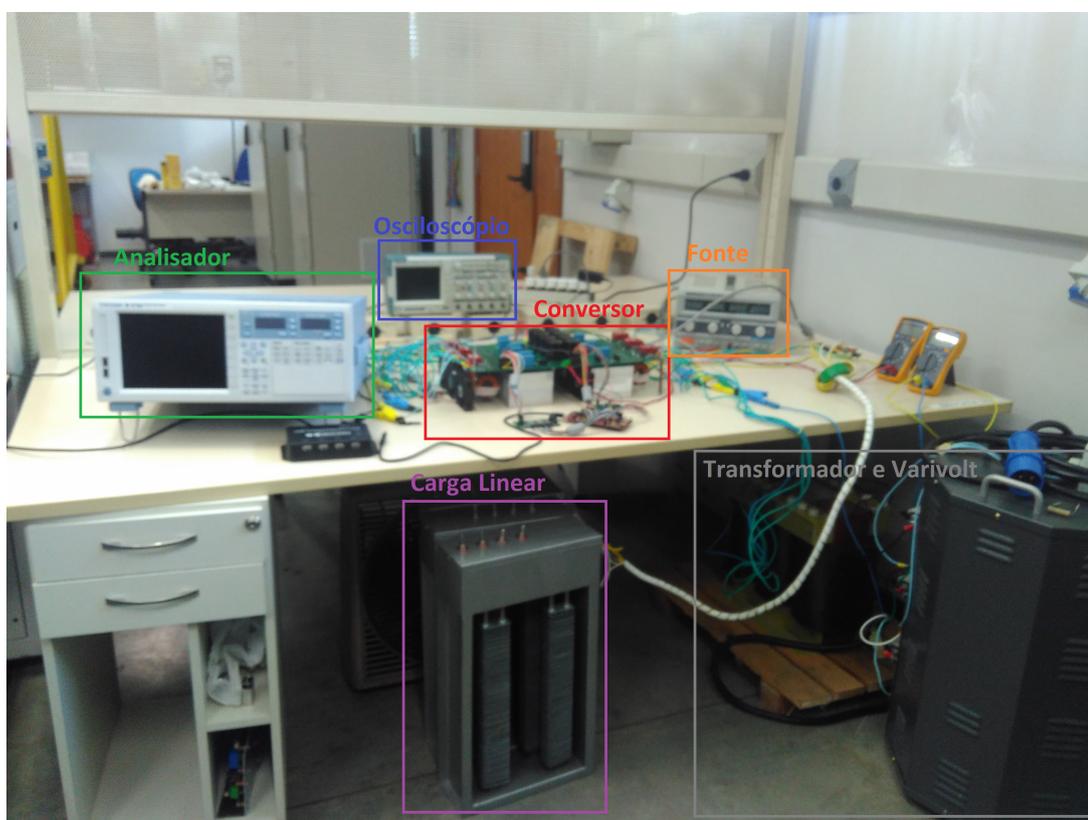
Além disso, as principais características do DSP TMS320F28379D foram mostradas, com destaque para as características que proporcionam melhorias de desempenho e para a implementação prática do *firmware* responsável pelo controle do retificador.



## 5 Resultados Experimentais

Neste capítulo, os resultados experimentais obtidos com o conversor desenvolvido serão apresentados e discutidos. A Figura 54 mostra uma foto da montagem experimental realizada no laboratório de eletrônica de potência do GEP-UFMG, onde os principais equipamentos são destacados.

Figura 54 – Montagem experimental realizada, são destacados os principais equipamentos utilizados



Fonte: Dados da pesquisa, 2018

A relação completa dos equipamentos utilizados pode ser vista a seguir:

- Conversor desenvolvido;
- Kit de desenvolvimento LaunchPad F28379D;
- Analisador de potência de precisão YOKOGAWA WT1800;
- Osciloscópio Tektronix TPS 2024;
- Fonte de tensão 12 V e 5 V;

- Carga linear trifásica 11 kW/220 V;
- Transformador trifásico 220 V-220 V/15 kVA;
- Varivolt trifásico 220 V/15 kVA;
- Multímetro digital Fluke 115;
- Sonda de corrente Tektronix A622;
- Câmera Termográfica FLIR E60;
- Pontas de prova P5120.

O primeiro resultado coletado foi a medição da tensão dreno-fonte ( $V_{ds}$ ) dos transistores do retificador e do inversor durante a comutação. Esse resultado é importante para verificar se a sobretensão máxima vista pelos transistores está dentro do limite especificado pelo fabricante. A medição foi realizada para quatro valores de corrente de pico e pode ser vista nas Figuras 55 e 56 para os transistores do inversor e do retificador, respectivamente. Devido às limitações do osciloscópio não foi possível capturar isoladamente todas as comutações que ocorrem em um ciclo da fundamental, capturou-se apenas a condição de maior sobretensão.

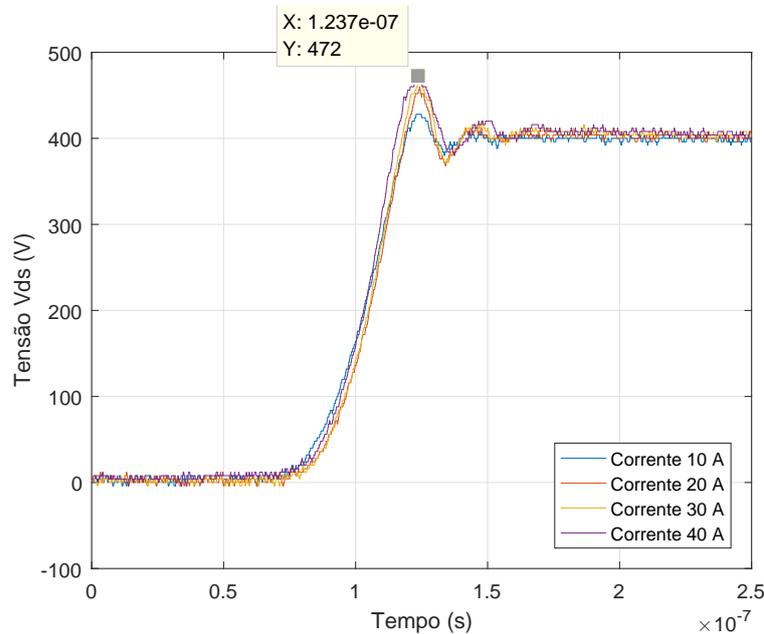
É possível observar que a tensão sobre os transistores está abaixo do valor máximo de 650 V especificado pelo fabricante. Os transistores do retificador operam com larga margem de segurança, pois são beneficiados pela configuração de 3 níveis. Com essa medição, ainda é possível determinar a indutância total da malha de comutação através da Equação 5.1 [92].

$$L_{loop} = \frac{\left(\frac{t_{ringing}}{2\pi}\right)^2}{C_{oss}} \quad (5.1)$$

em que  $L_{loop}$  é a indutância total da malha de comutação,  $t_{ringing}$  é o período da oscilação vista logo após o desligamento do MOSFET e  $C_{oss}$  é a capacitância de saída do MOSFET, deve-se salientar que esta capacitância é não-linear e seu valor varia em função da tensão aplicada. Dessa forma, foi determinado que as indutâncias totais da malha de comutação do retificador e do inversor valem, respectivamente, 79,15 nH e 61,4 nH. Como no retificador a malha possui um elemento a mais, um diodo, sua indutância é maior.

Em seguida, foi medida a tensão entre porta e fonte do MOSFET ( $V_{gs}$ ) durante os instantes de comutação, esse resultado é mostrado na Figura 57. Nota-se que as tensões do *gate driver* estão dentro dos limites estabelecidos na fase de projeto. Ainda é possível observar que o valor máximo da tensão induzida, via acoplamentos quando o MOSFET está desligado, é de aproximadamente 2 V. Como a tensão de limiar do MOSFET escolhido

Figura 55 – Medição da sobretensão durante o desligamento de um MOSFET de um dos braços do inversor. A medição foi realizada para quatro valores de corrente de pico e destacou-se o valor máximo da tensão  $V_{ds}$ . Nesta medição o osciloscópio foi configurado com as seguintes escalas: 100V/div e 25ns/div



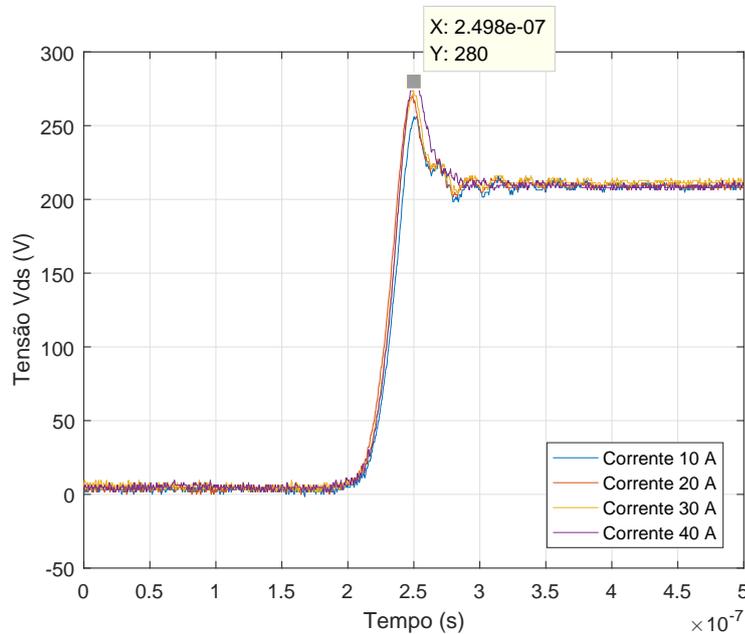
Fonte: Dados da pesquisa, 2018

varia entre 3,5 V e 5 V, a operação segura do transistor é garantida e não há ocorrência da condição de *shoot-through*, este termo é utilizado para designar uma condição em que um transistor é ligado de forma indesejada [93].

Posteriormente, foram coletados resultados para validar a estratégia de controle utilizada. As Figuras 58 e 59 mostram, respectivamente, as tensões e as correntes do conversor em regime permanente e com carga nominal. Graças à ação do PLL implementado, a tensão de saída se mostra adequadamente sincronizada com a tensão de entrada.

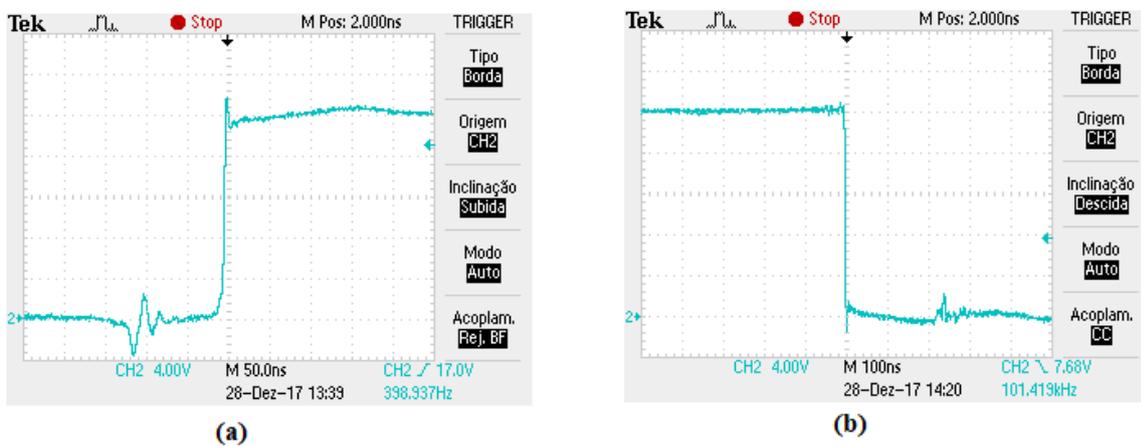
Assim como na simulação, nota-se que tanto a corrente injetada no conversor quanto a tensão sintetizada na saída possuem excelente aspecto senoidal, afirmação que é confirmada ao se calcular as taxas de distorção harmônica, mostradas na Figura 60. Ao visualizar a Figura 60, percebe-se que a THD da tensão de saída é sempre menor que 4% para cargas lineares, resultado satisfatório visto que o inversor opera em malha aberta. Em relação à THD da corrente de entrada, seu valor é menor que 5% para potência de saída acima de 75% da potência nominal, a THD de corrente é inversamente proporcional à potência de saída devido à diminuição da amplitude da componente fundamental da corrente de entrada. O fator de potência na entrada registrado foi de 0,997 com carga nominal e 0,991 com 25% de carga.

Figura 56 – Medição da sobretensão durante o desligamento de um MOSFET de um dos braços do retificador. A medição foi realizada para quatro valores de corrente de pico e destacou-se o valor máximo da tensão  $V_{ds}$ . Nesta medição o osciloscópio foi configurado com as seguintes escalas: 100V/div e 50ns/div



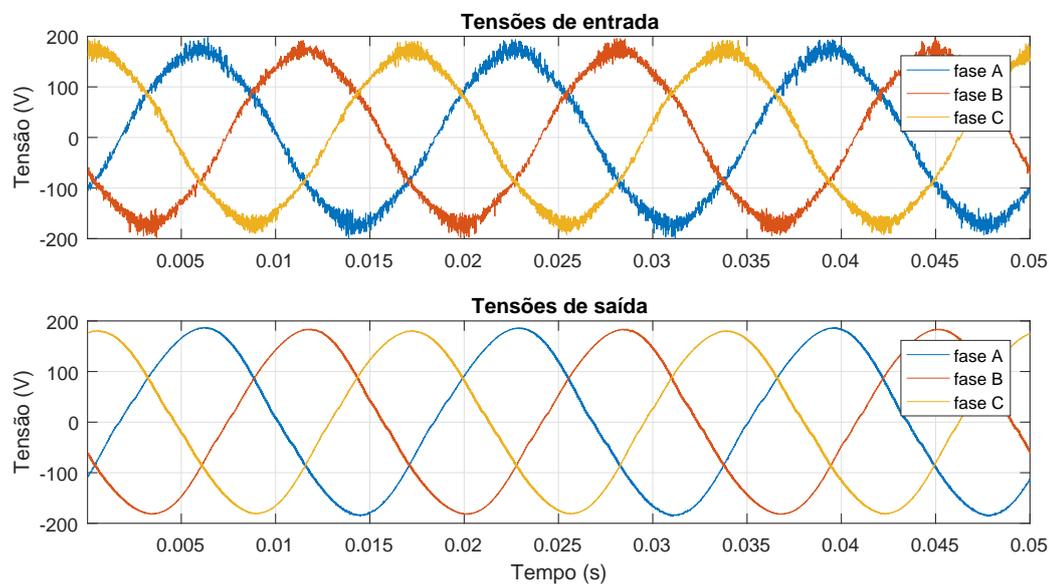
Fonte: Dados da pesquisa, 2018

Figura 57 – Tensão porta-fonte ( $V_{gs}$ ) durante comutações do MOSFET (a) Instante de colocação em condução (b) Instante de bloqueio



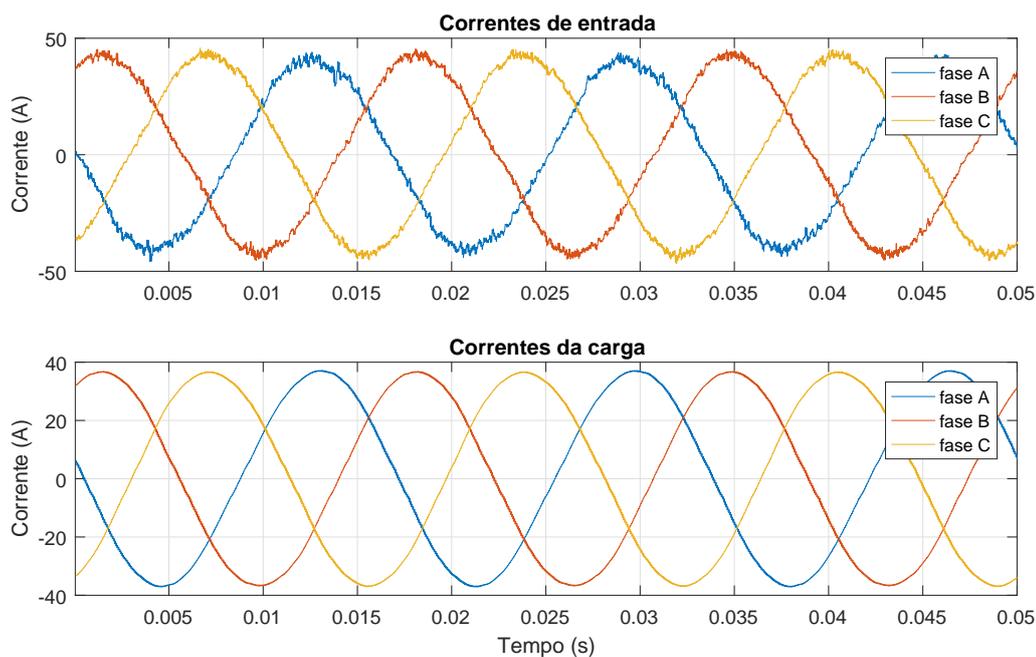
Fonte: Dados da pesquisa, 2018

Figura 58 – Tensões de entrada e saída em regime permanente com potência nominal, esta medição foi realizada utilizando o YOKOGAWA WT1800



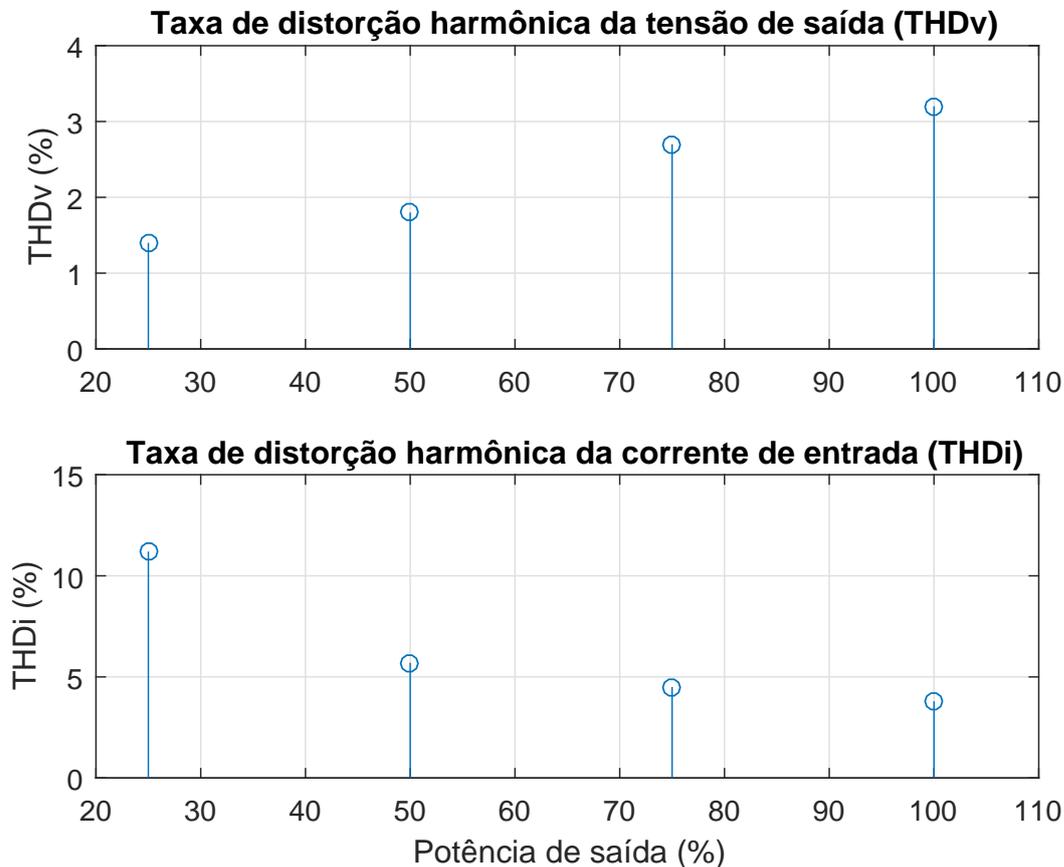
Fonte: Dados da pesquisa, 2018

Figura 59 – Correntes de entrada e saída em regime permanente com potência nominal, esta medição foi realizada utilizando o YOKOGAWA WT1800



Fonte: Dados da pesquisa, 2018

Figura 60 – Taxa de distorção harmônica da tensão de saída e da corrente de entrada em função da potência de saída, medição realizada utilizando o YOKOGAWA WT1800



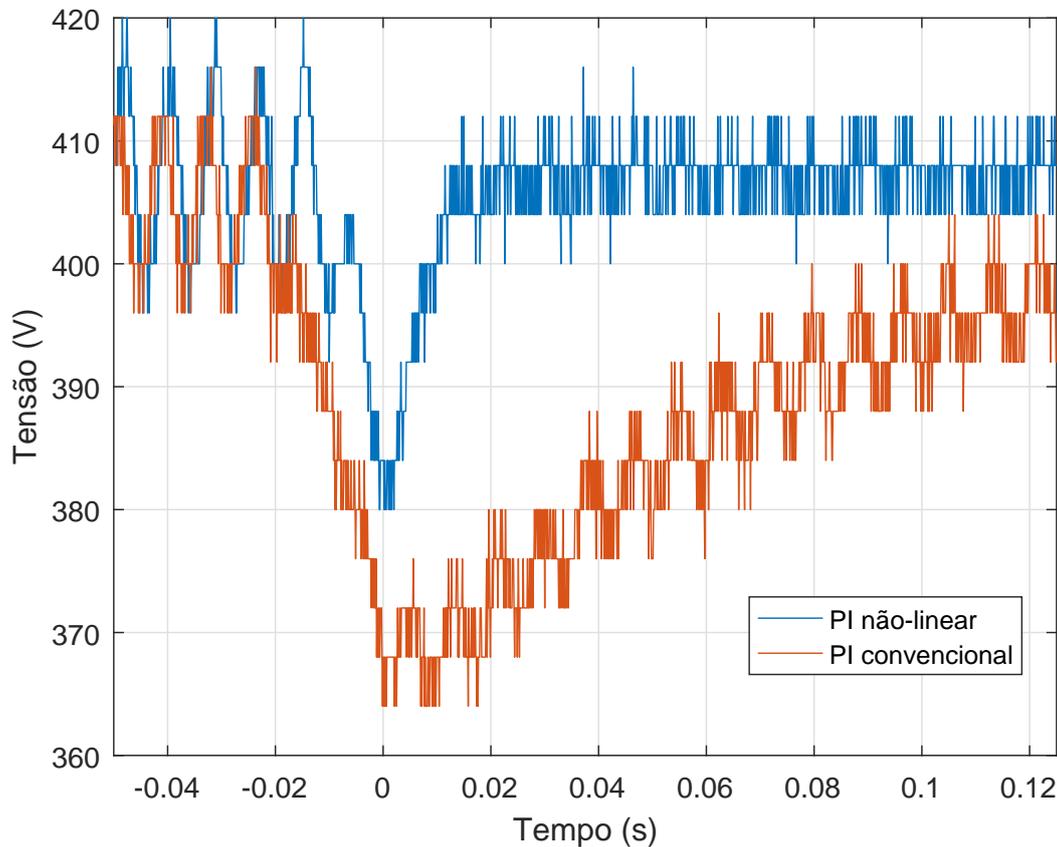
Fonte: Dados da pesquisa, 2018

Após a validação do funcionamento do conversor em regime permanente, é necessário avaliar o desempenho do conversor frente à perturbações da corrente de carga.

Nos resultados apresentados na Figura 61, as cargas das fases B e C são mantidas constantes e valem aproximadamente 2,5 kW cada. No instante  $t = -0.015s$ , é aplicado um degrau de carga na fase A de 833 W para 3,33 kW, que corresponde a um degrau de 25% da potência nominal. Foi avaliado a performance da malha de tensão utilizando dois compensadores, um PI convencional e um PI não-linear, discutidos no capítulo 4. Pode-se observar que o afundamento ao utilizar somente o PI convencional é de 40 V, enquanto que ao utilizar o PI não-linear o afundamento é de 25 V e com resposta mais rápida. Cabe destacar que a pequena oscilação de 120 Hz presente na tensão do barramento é devida ao desbalanceamento da carga.

Em seguida, os resultados apresentados na Figura 62 mostram o comportamento do

Figura 61 – Resultado para variação de carga na fase A de 833 W para 3,33 kW em  $t = -0,015s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores. Esta medição foi realizada com o osciloscópio Tektronix TPS 2024

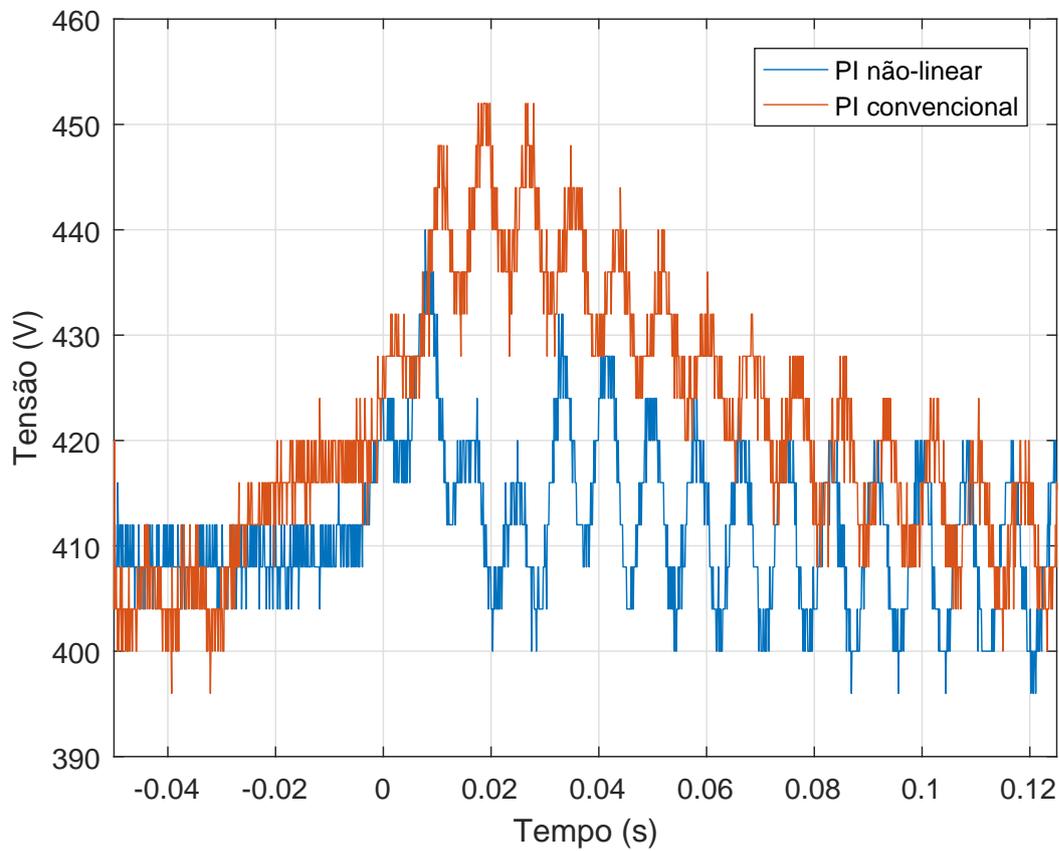


Fonte:Dados da pesquisa, 2018

tensão do barramento c.c. quando um degrau de carga de 3,33 kW para 833 W é aplicado na fase A, no instante  $t = -0,015s$ . As cargas das fases B e C são mantidas constantes e valem aproximadamente 2,5 kW cada. Novamente, avaliou-se a performance da regulação utilizando dois compensadores, pode-se observar que a sobre-tensão ao utilizar somente o PI convencional é de 45 V, enquanto que ao utilizar o PI não-linear esse valor é de apenas 30 V e com resposta mais rápida.

Assim, é possível afirmar, tendo em vista os resultados obtidos, que a utilização de um PI não-linear na malha de tensão melhora significativamente o comportamento da tensão do barramento c.c. em caso de perturbações na corrente de carga. A partir dos resultados obtidos, pode-se concluir que as técnicas de controle utilizadas no retificador são satisfatórias.

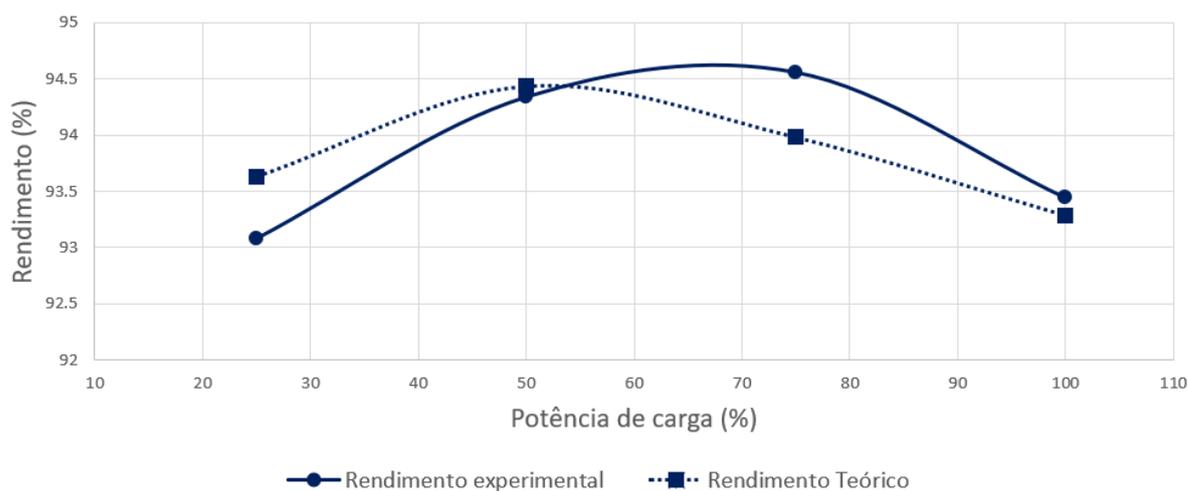
Figura 62 – Resultado para variação de carga na fase A de 3,33 kW para 833 W em  $t = -0,015s$ . São avaliadas a resposta da malha de tensão utilizando dois compensadores. Esta medição foi realizada com o osciloscópio Tektronix TPS 2024



Fonte:Dados da pesquisa, 2018

Uma vez que o funcionamento e as técnicas de controle do conversor foram validados, é necessário avaliar seu rendimento. A aferição do rendimento foi feita utilizando o analisador de potência de precisão YOKOGAWA WT1800, o resultado pode ser visto na Figura 63 em conjunto com a estimativa teórica do rendimento. Pode-se observar que existe grande similaridade entre os valores teóricos e o resultado experimental, o valor máximo de rendimento observado é de 94,6% com carga de 75% da potência nominal, em potência nominal o rendimento experimental observado foi 93,5%, enquanto que o valor teórico foi de 93,3%. Uma estimativa mais precisa das perdas poderia ser feita com o método *online* proposto em [16], o método *online* considera a variação da temperatura em cada ponto de operação para determinar as perdas do conversor.

Figura 63 – Comparação entre o rendimento teórico e experimental com tensão de entrada fase-neutro de 120 V eficaz. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800



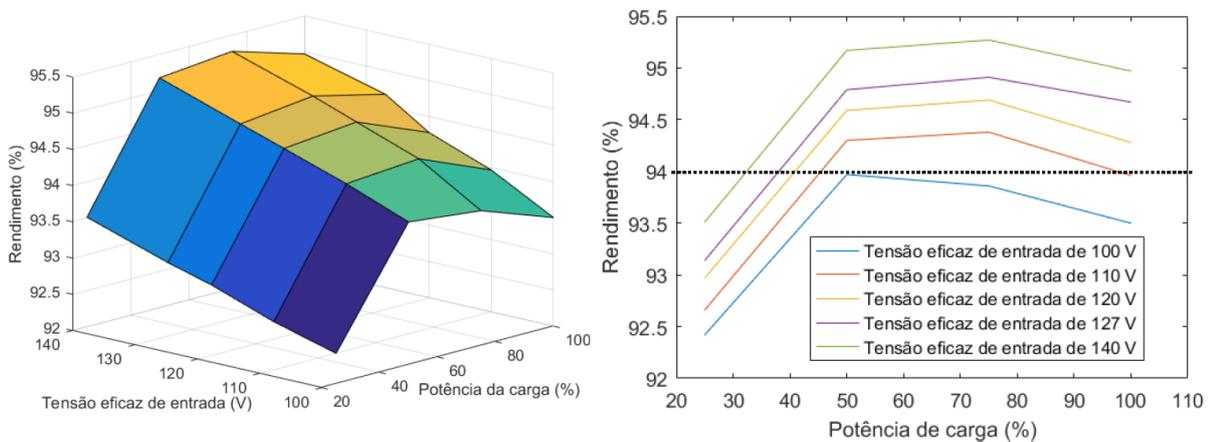
Fonte: Dados da pesquisa, 2018

Neste momento, verificou-se que os dissipadores estavam sobreaquecendo, isso ocorreu pois foram utilizados apenas três ventiladores genéricos modelo S8025M 12V/0,15A acoplados ao dissipador do inversor. Esses ventiladores não eram suficientes para estabelecer o fluxo de ar necessário para dissipação do calor gerado. Assim, decidiu-se realizar a troca desses ventiladores por seis ventiladores modelo F7015R12UY 12V/0,4A fabricados pela AVC, três ventiladores foram acoplados ao dissipador do inversor e os outros três restantes foram acoplados ao dissipador do retificador.

A troca dos ventiladores melhorou significativamente a dissipação de calor e contribuiu, inclusive, para melhoria do rendimento. A melhoria de rendimento ocorre pois os componentes irão operar em temperatura menor, o que reduz a resistência de condução e, conseqüentemente, as perdas de condução também são reduzidas.

O rendimento foi novamente avaliado experimentalmente para diferentes valores de tensão de entrada e potência de saída. O resultado obtido é mostrado na Figura 64, nota-se que o rendimento é proporcional à tensão de entrada e atinge valor máximo de 95,27% quando a tensão de entrada vale 140 V e a potência de saída equivale à 75% da potência nominal. Para uma larga faixa de condições de operação o rendimento permanece acima de 94%, o que satisfaz o critério de projeto definido no capítulo 3.

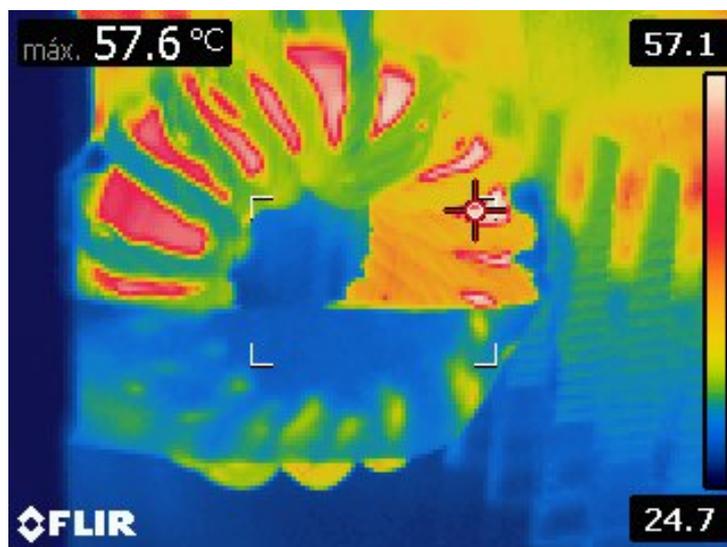
Figura 64 – Avaliação do rendimento experimental em função da tensão fase-neutro de entrada e da potência de carga. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800



Fonte: Dados da pesquisa, 2018

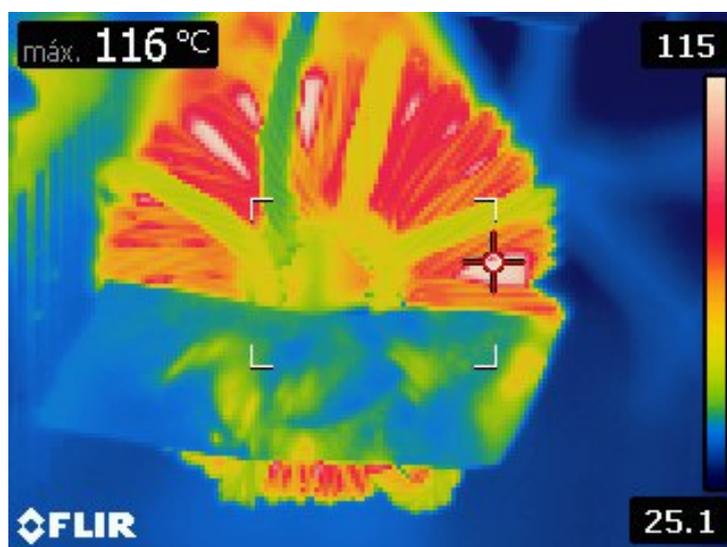
Finalmente, o último resultado coletado foi a medição da temperatura de alguns pontos do conversor utilizando a câmera termográfica FLIR E60. A Figura 65 mostra a distribuição de temperatura em um indutor do retificador e a Figura 66 mostra a distribuição para um indutor do inversor, ambos operando com o conversor alimentando carga nominal. A temperatura dos indutores do retificador é menor por dois motivos: o primeiro é a configuração de três níveis do retificador que diminui a excursão da densidade de fluxo magnético e, conseqüentemente, reduz as perdas no núcleo, o segundo motivo é o posicionamento dos ventiladores, que gera um fluxo de ar que passa primeiramente pelo retificador e sai pelo inversor. As temperaturas máximas observadas valem 57,6 °C e 116 °C para os indutores do retificador e do inversor, respectivamente. Dessa forma, os indutores operam com larga margem de segurança, pois a temperatura máxima de operação do material High Flux é de 200 °C.

Figura 65 – Medição da temperatura de um indutor do retificador operando com carga nominal



Fonte: Dados da pesquisa, 2018

Figura 66 – Medição da temperatura de um indutor do inversor operando com carga nominal

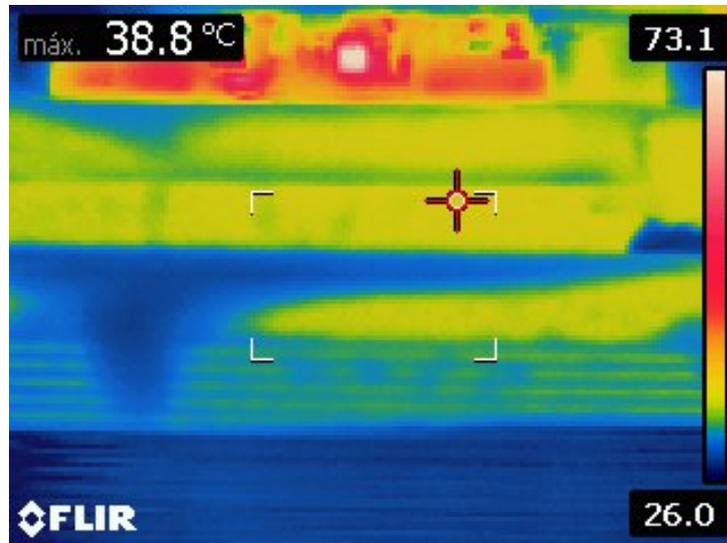


Fonte: Dados da pesquisa, 2018

Como os dissipadores estão posicionados sob a PCB, não foi possível capturar os pontos de maior temperatura dos dissipadores. Foi possível capturar apenas a visão lateral, que é apresentada na Figura 67 e na Figura 68 para o retificador e inversor, respectivamente. É possível notar que as aletas laterais do dissipador não se aquecem consideravelmente. Os pontos de maior temperatura são relativos a alguns transistores, porém não é possível

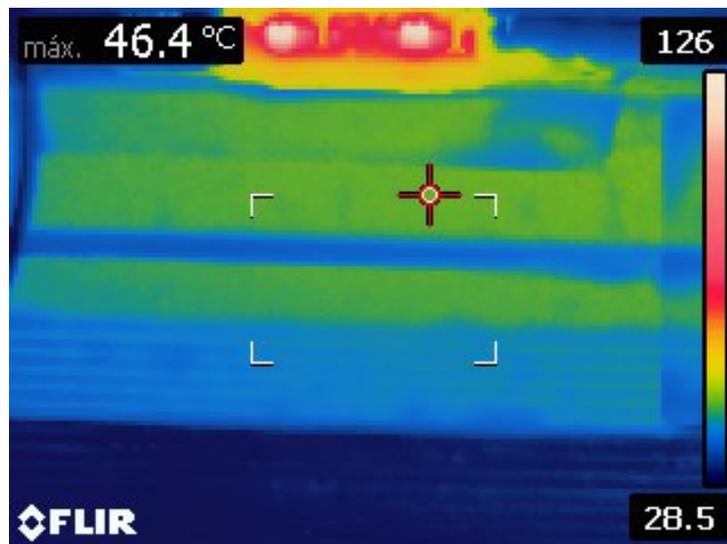
visualizá-los com melhor ângulo.

Figura 67 – Medição da temperatura do dissipador do retificador operando com carga nominal e visto lateralmente



Fonte: Dados da pesquisa, 2018

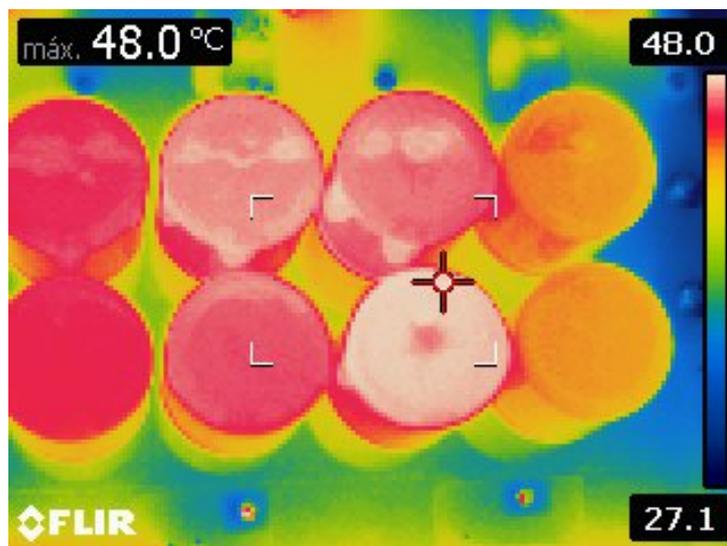
Figura 68 – Medição da temperatura do dissipador do inversor operando com carga nominal e visto lateralmente



Fonte: Dados da pesquisa, 2018

A distribuição de temperatura dos capacitores eletrolíticos do barramento c.c. também foi medida e é vista na Figura 69. Os capacitores operam com temperatura de 48°C, o que respeita a máxima temperatura de operação especificada pelo fabricante de 105°C.

Figura 69 – Medição da temperatura dos capacitores eletrolíticos do barramento c.c.



Fonte: Dados da pesquisa, 2018

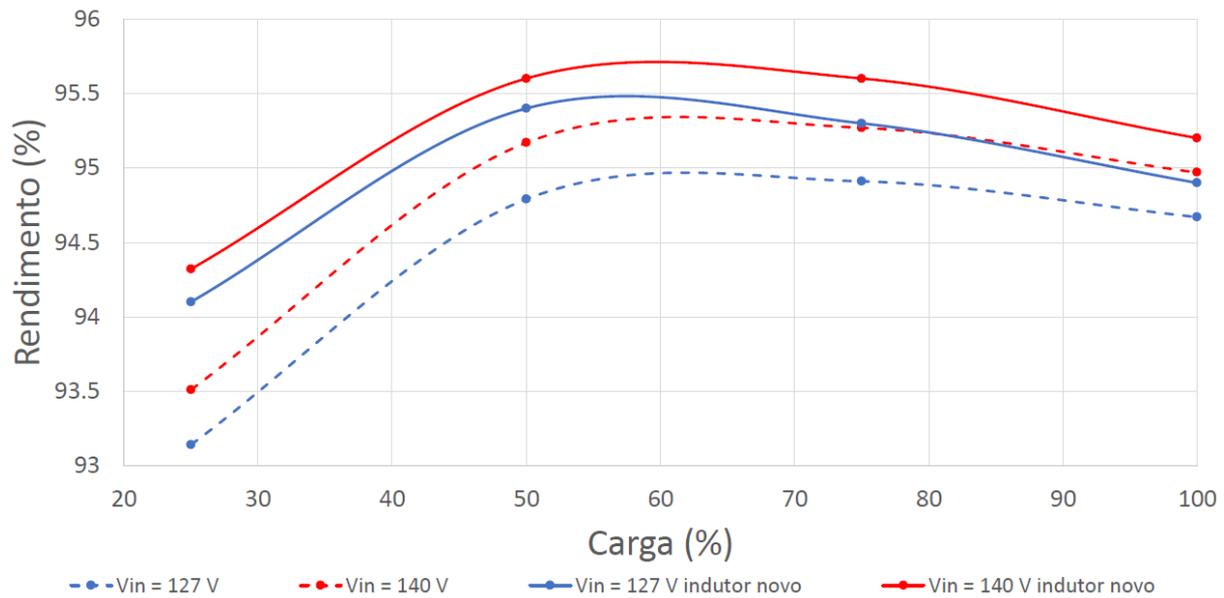
Os outros componentes do conversor não se aquecem de forma considerável. Não foi possível capturar com clareza todos os transistores e diodos pois os mesmos se encontram sob a PCB.

Graças à ajuda da ENGETRON, foi possível melhorar os enrolamentos dos indutores. O número de espiras dos indutores do retificador foi aumentado de 21 para 26, no caso dos indutores do inversor o aumento foi de 28 para 33 espiras. Com o incremento do número de espiras, espera-se que haverá redução nas perdas dos núcleos, conforme mostram as Figuras 29 e 30. Além disso, a bitola do fio utilizada foi trocada para AWG25 e foram utilizados 38 fios em paralelo, como estes fios possuem diâmetro próximo da profundidade de penetração, a contribuição do efeito pelicular nas perdas do cobre será reduzida.

Após a mudança dos indutores, realizou-se a última medição de rendimento, cujo resultado pode ser visto na Figura 70. Pode ser observado que houve melhoria do rendimento do equipamento, o conversor passa a operar com rendimento acima de 95% para grande parte dos pontos de operação analisados. O rendimento máximo registrado foi de 95,6% quando a tensão de entrada vale 140 V e a potência de carga se encontra entre 50% e 75% da potência nominal.

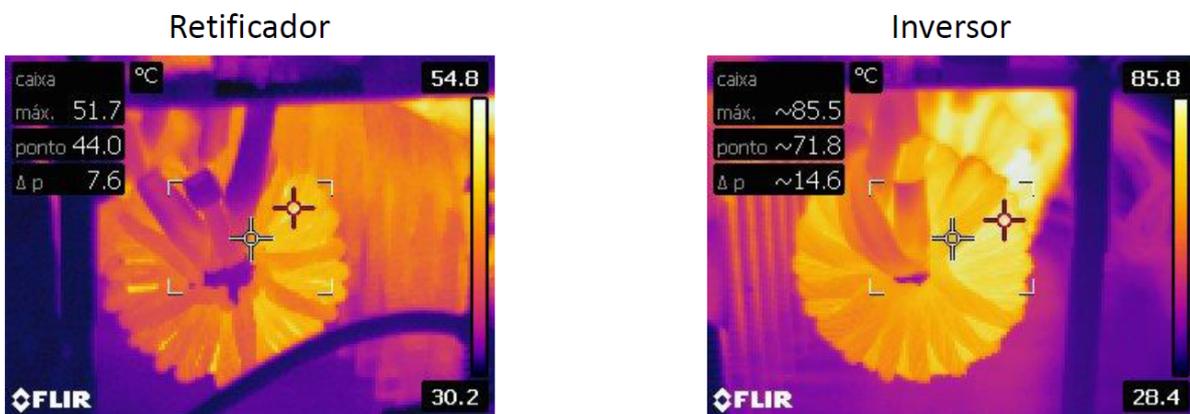
Por fim, registrou-se novamente a temperatura dos indutores com o auxílio da câmera termográfica FLIR E60, a Figura 71 mostra os resultados obtidos. É possível notar que houve redução na temperatura dos indutores, esta redução é mais significativa no indutor do inversor que passa a operar em 85,8 °C, ou seja, o delta de temperatura foi de -30 °C após a mudança dos enrolamentos dos indutores.

Figura 70 – Avaliação do rendimento experimental após a mudança realizada nos enrolamentos dos indutores. A medição do rendimento foi realizada com o analisador YOKOGAWA WT1800



Fonte: Dados da pesquisa, 2018

Figura 71 – Medição da temperatura dos indutores do inversor e do retificador operando com carga nominal



Fonte: Dados da pesquisa, 2018

## 5.1 Conclusões do Capítulo

Fundamentando-se na análise dos resultados, é possível concluir que o conversor opera com elevado rendimento, acima de 95% na maior parte das condições de operação, atendendo os requisitos de projeto. O rendimento máximo registrado foi de 95,6% quando a tensão de entrada vale 140 V e a potência de carga se encontra entre 50% e 75% da potência nominal.

Além disso, o conversor opera de forma segura e confiável, pois os estresses térmicos e elétricos nos principais componentes (transistores, diodos, capacitores e indutores) estão dentro de limites razoáveis e com grande margem de segurança, respeitando os limites informados nos catálogos dos fabricantes.

A técnica de controle aplicada ao retificador se mostrou eficaz em regime permanente e em condições de perturbações da corrente de carga apresentando, assim como na simulação, baixos valores de taxa de distorção harmônica, elevado fator de potência e boa resposta dinâmica frente à variações de carga.



## 6 Conclusão

Neste trabalho, um conversor trifásico c.a.-c.c.-c.a. de elevado rendimento com componentes de Carbetto de Silício foi desenvolvido para aplicações de UPS. Foram abordados, nesta dissertação, as etapas principais que guiaram o desenvolvimento deste conversor, desde a escolha das topologias até a obtenção de resultados experimentais.

No capítulo 2, foi apresentada uma metodologia de seleção de topologia de conversor baseada em comparações do ponto de vista de custo e eficiência energética. Duas soluções híbridas de elevado rendimento foram propostas, uma para operação com tensão de entrada fase-neutro de 127 V e outra para operação em 220V. Verificou-se que a utilização de dispositivos de banda larga de Carbetto de Silício oferece duas vantagens principais: a primeira é a possibilidade de operação à elevadas frequências de chaveamento, o que leva a redução de componentes passivos, já a segunda é o aumento da eficiência do sistema, resultando em economia de energia e diminuição dos custos do sistema de resfriamento. Por trabalhar com tensões reduzidas e oferecer maior segurança para os ensaios em laboratório, decidiu-se construir o conversor proposto para a condição de 127 V.

Os resultados do capítulo 2 possibilitaram a publicação de um artigo no Congresso Brasileiro de Eletrônica de Potência/*Brazilian Power Electronics Conference 2017 (COBEP 2017)*:

- ALVES, W. C.; MORAIS, L. M. F.; CORTIZO, P. C. Design of an efficient hybrid ac-dc-ac converter using silicon carbide for ups applications: A comparison. In: *2017 Brazilian Power Electronics Conference (COBEP)*. [S.l.: s.n.], 2017. p. 1–6.

Através da publicação no COBEP, os autores receberam o convite da *IEEE Industry Applications Society* para submissão de um novo artigo para possível publicação em uma das seguintes revistas: *IEEE Transactions on Industry Applications* ou *IEEE Industry Applications Magazine*. Este novo artigo está sendo elaborado e incluirá partes dos outros capítulos desta dissertação e os resultados experimentais.

Em seguida, o capítulo 3 descreveu com detalhes as diretrizes de projeto que guiaram o dimensionamento e a especificação dos principais componentes de hardware. Verificou-se que a estimação das perdas de chaveamento de dispositivos SiC baseando-se nas curvas fornecidas pelo fabricante não é precisa. Assim, foi proposto um método para obtenção de curvas de energia de comutação mais realistas a partir de simulações em Spice. O cálculo das perdas nos transistores foi refeito utilizando as curvas obtidas e constatou-se que as perdas no retificador são 66 % maiores e as perdas no inversor são 88 % maiores em relação aos resultados obtidos no capítulo 2. Assim sendo, o dimensionamento dos

dissipadores foi feito considerando o pior caso. Ainda foi empregado neste capítulo um método de baixo custo computacional baseado na solução fechada da iGSE para cálculo das perdas nos núcleos dos indutores, as perdas foram utilizadas como um dos critérios para seleção do material magnético. Por fim, este capítulo realizou a especificação dos capacitores, sensores e *gate drivers* utilizados.

No capítulo 4, a modelagem e a estratégia de controle para o retificador foram abordadas. A técnica de controle foi validada por meio de simulações, observou-se que empregar um PI não-linear no controlador da tensão do barramento c.c. melhora significativamente a capacidade de rejeitar perturbações da corrente de carga. Além disso, as principais características do DSP TMS320F28379D foram citadas, com destaque para as características que proporcionam melhorias de desempenho.

Por fim, o capítulo 5 apresentou os resultados experimentais obtidos com o protótipo construído. A técnica de controle foi validada experimentalmente e os resultados obtidos estão em sintonia com a simulação realizada. O rendimento do conversor atende os requisitos de projeto e permanece acima de 95% na maior parte dos pontos de operação, o rendimento de pico registrado foi de 95,6% quando a tensão de entrada vale 140 V e a potência de carga se encontra entre 50% e 75% da potência nominal. Acredita-se que o rendimento do conversor poderia ser melhorado atuando em dois eixos:

- Melhoria do projeto do indutor através da otimização dos enrolamentos, utilização de fios de *Litz* e/ou troca do material do núcleo. Os fabricantes de materiais magnéticos vêm desenvolvendo novos materiais com excelente custo-benefício para operação em alta frequência, como exemplos pode-se citar o *Kool Mμ MAX* da Magnetics e o *High Frequency Sendust* da Micrometals. Estes materiais não foram considerados na comparação devido à indisponibilidade de estoque para amostras no Brasil;
- Diminuição da frequência de chaveamento que implica diretamente na redução das perdas de chaveamento dos transistores. No entanto, ao considerar esta alternativa, é necessário redimensionar os filtros de entrada e saída.

De forma geral, é possível concluir que os objetivos deste trabalho foram alcançados. O conversor desenvolvido apresentou resultados experimentais satisfatórios, a utilização de MOSFETs e diodos de Carbetto de Silício permitiu atingir elevado rendimento, além de contribuir para redução do peso e volume do equipamento. A metodologia de projeto utilizada neste trabalho pode ser aplicada, com os devidos ajustes, à qualquer topologia de conversor.

## 6.1 Propostas de Continuidade

Esta dissertação de mestrado abre um grande leque de possibilidades para trabalhos futuros, abrangendo desde propostas de iniciação científica até trabalhos de mestrado ou doutorado, dependendo da abordagem utilizada. Pode-se listar as seguintes propostas:

- Investigação do comportamento do conversor no que tange os requisitos de Compatibilidade Eletromagnética. Como a comutação dos dispositivos de Carbetto de Silício é mais rápida, as emissões conduzidas e irradiadas do equipamento são mais importantes e precisam ser controladas;
- Implementação do Método da Oposição Modificado proposto em [95] para levantar, experimentalmente e com precisão, as curvas de energia de comutação dos transistores;
- Estudo e projeto dos circuitos auxiliares, como chaves de bypass, carregador de baterias e proteções, para que seja finalizada uma UPS completa;
- Estudo e melhoria das técnicas de controle, adicionando o controle em malha fechada do inversor, o que possibilitará melhor regulação e baixa THD da tensão de saída mesmo em condições de carga não-linear;
- Construção do segundo conversor proposto no capítulo 2 para a condição de tensão fase-neutro de 220 V;
- Estimação das perdas do conversor utilizando o calorímetro recém construído no laboratório;
- O conversor desenvolvido é flexível e pode ser ajustado para possibilitar a coleta de resultados em outras aplicações estudadas pelo GEP como redes ativas de distribuição, microrredes e acionamentos elétricos.
- Criação de uma base de dados de componentes, indutores, capacitores e rotinas de cálculo a ser disponibilizada para os próximos alunos. Incluir este trabalho na base de dados.



# Referências

- 1 SOURCEOECD. World energy balances. *IEA World Energy Statistics and Balances (database)*, 2015. Citado na página 37.
- 2 BEKIAROV, S. B.; EMADI, A. Uninterruptible power supplies: classification, operation, dynamics, and control. In: IEEE. *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*. [S.l.], 2002. v. 1, p. 597–604. Citado 6 vezes nas páginas 37, 42, 43, 44, 45 e 47.
- 3 KARVE, S. Three of a kind. *IEE Review*, IET, v. 46, n. 2, p. 27–31, 2000. Citado 7 vezes nas páginas 37, 43, 44, 45, 46, 47 e 48.
- 4 FRASER, M.; MANNING, C.; WELLS, B. Transformerless four-wire pwm rectifier and its application in ac-dc-ac converters. *IEE Proceedings-Electric Power Applications*, IET, v. 142, n. 6, p. 410–416, 1995. Citado 3 vezes nas páginas 38, 58 e 86.
- 5 KIM, E.-H.; KWON, J.-M.; KWON, B.-H. Transformerless three-phase on-line ups with high performance. *IET Power Electronics*, IET, v. 2, n. 2, p. 103–112, 2009. Citado na página 38.
- 6 BONAN, G. et al. Robust control design of multiple resonant controllers for sinusoidal tracking and harmonic rejection in uninterruptible power supplies. In: IEEE. *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*. [S.l.], 2010. p. 303–308. Citado na página 38.
- 7 ENGETRON. *Brazilian UPS manufacturer*. 2017. Disponível em: <<http://www.engetron.com.br/>>. Citado 3 vezes nas páginas 38, 44 e 46.
- 8 JAPPE, T. K. et al. Control strategy for three-phase four-wire pwm vsi parallel connected in ups applications. In: IEEE. *Industrial Electronics (ISIE), 2014 IEEE 23rd International Symposium on*. [S.l.], 2014. p. 443–448. Citado na página 38.
- 9 KOMATSU, K. et al. New igbt modules for advanced neutral-point-clamped 3-level power converters. In: IEEE. *Power Electronics Conference (IPEC), 2010 International*. [S.l.], 2010. p. 523–527. Citado na página 38.
- 10 LEE, T.; KINOSHITA, M.; SANADA, K. High-efficiency large-capacity uninterruptible power supply using bidirectional-switch-based npc multilevel converter. In: IEEE. *Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on*. [S.l.], 2011. p. 2100–2105. Citado na página 38.
- 11 DONG, D. et al. Design of hybrid ac-dc-ac topology for uninterruptible power supply. In: IEEE. *Future Energy Electronics Conference (IFEEC), 2015 IEEE 2nd International*. [S.l.], 2015. p. 1–5. Citado na página 38.
- 12 MILLAN, J. et al. A survey of wide bandgap power semiconductor devices. *IEEE transactions on Power Electronics*, IEEE, v. 29, n. 5, p. 2155–2163, 2014. Citado 3 vezes nas páginas 38, 48 e 53.

- 13 ARMSTRONG, K. O.; DAS, S.; CRESKO, J. Wide bandgap semiconductor opportunities in power electronics. In: IEEE. *Wide Bandgap Power Devices and Applications (WiPDA), 2016 IEEE 4th Workshop on*. [S.l.], 2016. p. 259–264. Citado 2 vezes nas páginas 38 e 49.
- 14 BOROYEVICH, D.; DIMARINO, C. Is sic a game changer? In: IEEE. *Tutorial talks Southern Power Electronics Conference, IEEE Fortaleza*. [S.l.], 2015. Citado 2 vezes nas páginas 38 e 48.
- 15 IEC-62040-3, I. *62040-3: Uninterruptible power systems (UPS)-Part 3: Method of specifying the performance and test requirements*. 2004. Citado 2 vezes nas páginas 38 e 43.
- 16 COTA, A. P. L. *Desenvolvimento de Ferramentas Computacionais Para a Análise de Perdas em Conversores Estáticos: Aplicação ao Cálculo de Rendimento de UPSs Trifásicas de Dupla Conversão*. Dissertação de Mestrado — Programa de Pós-Graduação em Engenharia Elétrica da UFMG, 2016. Citado 3 vezes nas páginas 39, 75 e 125.
- 17 KING, A.; KNIGHT, W. *Uninterruptible Power Supplies*. [S.l.]: McGraw Hill Professional, 2002. Citado na página 41.
- 18 PLATTS, J.; AUBYN, J. S. *Uninterruptible power supplies*. [S.l.]: Iet, 1992. Citado 2 vezes nas páginas 41 e 42.
- 19 GURRERO, J.; VICUÑA, L. G. D.; UCEDA, J. Uninterruptible power supply systems provide protection. *IEEE Industrial Electronics Magazine*, IEEE, v. 1, n. 1, p. 28–38, 2007. Citado 6 vezes nas páginas 41, 43, 44, 45, 46 e 47.
- 20 LOPES, P. d. T. P. Master, *Desenvolvimento de uma UPS trifásica/monofásica de 6kVA*. 2001. Citado 2 vezes nas páginas 42 e 47.
- 21 KRISHNAN, R.; SRINIVASAN, S. Topologies for uninterruptible power supplies. In: IEEE. *Industrial Electronics, 1993. Conference Proceedings, ISIE'93-Budapest., IEEE International Symposium on*. [S.l.], 1993. p. 122–127. Citado na página 43.
- 22 MKS. *Brazilian UPS manufacturer*. 2017. Disponível em: <<https://www.mksnobreak.com.br/home>>. Citado na página 48.
- 23 NHS. *Brazilian UPS manufacturer*. 2017. Disponível em: <<http://www.nhs.com.br/>>. Citado na página 48.
- 24 SMS. *Brazilian UPS manufacturer*. 2017. Disponível em: <<http://www.sms.com.br/>>. Citado na página 48.
- 25 TEASE. *Brazilian UPS manufacturer*. 2017. Disponível em: <<http://www.tease.com.br/index.php>>. Citado na página 48.
- 26 MOHAN, N.; UNDELAND, T. M. *Power electronics: converters, applications, and design*. [S.l.]: John Wiley & Sons, 2007. Citado 2 vezes nas páginas 48 e 54.
- 27 KOBAYASHI, T. et al. High-voltage power mosfets reached almost to the silicon limit. In: IEEE. *Power Semiconductor Devices and ICs, 2001. ISPSD'01. Proceedings of the 13th International Symposium on*. [S.l.], 2001. p. 435–438. Citado na página 48.

- 28 RABKOWSKI, J.; PEFTITSIS, D.; NEE, H.-P. Silicon carbide power transistors: A new era in power electronics is initiated. *IEEE Industrial Electronics Magazine*, IEEE, v. 6, n. 2, p. 17–26, 2012. Citado na página 48.
- 29 ÖSTLING, M.; GHANDI, R.; ZETTERLING, C.-M. Sic power devices—present status, applications and future perspective. In: IEEE. *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*. [S.l.], 2011. p. 10–15. Citado na página 48.
- 30 GURPINAR, E. *Wide-bandgap semiconductor based power converters for renewable energy systems*. Tese (Doutorado) — University of Nottingham, 2017. Citado na página 48.
- 31 BIELA, J. et al. Sic versus si—evaluation of potentials for performance improvement of inverter and dc–dc converter systems by sic power semiconductors. *IEEE transactions on industrial electronics*, IEEE, v. 58, n. 7, p. 2872–2882, 2011. Citado na página 48.
- 32 WHITAKER, B. et al. A high-density, high-efficiency, isolated on-board vehicle battery charger utilizing silicon carbide power devices. *IEEE Transactions on Power Electronics*, IEEE, v. 29, n. 5, p. 2606–2617, 2014. Citado na página 48.
- 33 BUSCHHORN, S.; VOGEL, K. Saving money: Sic in ups applications. In: VDE. *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*. [S.l.], 2014. p. 1–7. Citado na página 49.
- 34 CHEN, C. et al. On the practical design of a high power density sic single-phase uninterruptible power supply (ups) system. *IEEE Transactions on Industrial Informatics*, IEEE, 2017. Citado na página 49.
- 35 FRAUNHOFER-ISE. *Highly Efficient and Integrated UPS Inverter with SiC Transistors*. 2015. Disponível em: <<https://www.ise.fraunhofer.de/en/research-projects/highly-efficient-ups-inverter-with-sic-transistors.html>>. Citado na página 49.
- 36 ROHM-SEMICONDUCTOR. *Fabricante de dispositivos semicondutores*. 2017. Disponível em: <<http://www.rohm.com/web/global/about-rohm>>. Citado 2 vezes nas páginas 49 e 92.
- 37 TOSHIBA. *Toshiba Introduces SiC-based Three-Phase Uninterruptible Power Systems Lineup*. 2015. Disponível em: <<https://www.toshiba.com/tic/inside-toshiba/toshiba-introduces-sic-based-three-phase-uninterruptible-power-systems-lineup>>. Citado na página 49.
- 38 TOSHIBA. *Toshiba Expands G2020 Series Uninterruptible Power Systems Lineup to Include 750 kVA*. 2016. Disponível em: <<https://www.toshiba.com/tic/inside-toshiba/toshiba-expands-g2020-series-uninterruptible-power-systems-lineup-to-include-750-kva>>. Citado na página 49.
- 39 TOSHIBA. *G2020 SERIES UNINTERRUPTIBLE POWER SYSTEMS*. [S.l.], 2016. Rev. 160309. Disponível em: <[https://www.toshiba.com/tic/datafiles/brochures/G2020\\_Series\\_Brochure.pdf](https://www.toshiba.com/tic/datafiles/brochures/G2020_Series_Brochure.pdf)>. Citado na página 50.

- 40 MADJOUR, K. Silicon carbide market update:from discrete devices to modules. In: *PCIM Europe, 2014*. [S.l.: s.n.], 2014. Citado 2 vezes nas páginas 49 e 51.
- 41 LIAO, J.; EDEN, R. Market forecasts for silicon carbide and gallium nitride power semiconductors. In: *Applied Power Electronics Conference and Exposition, IEEE 2016*. [S.l.: s.n.], 2016. Citado 2 vezes nas páginas 49 e 51.
- 42 SEMICONDUCTOR, R. Sic power devices and modules application note. *Issue of June*, 2013. Citado 2 vezes nas páginas 52 e 53.
- 43 GUEGUEN, P. Market and technology trends in wide bandgap power packaging. In: *Applied Power Electronics Conference and Exposition, IEEE 2015*. [S.l.: s.n.], 2015. Citado na página 52.
- 44 ABOU-ALFOTOUH, A. M. et al. A 1-mhz hard-switched silicon carbide dc–dc converter. *IEEE Transactions on Power Electronics*, IEEE, v. 21, n. 4, p. 880–889, 2006. Citado na página 53.
- 45 BAI, J. G.; CALATA, J. N.; LU, G.-Q. Processing and characterization of nanosilver pastes for die-attaching sic devices. *IEEE Transactions on electronics packaging manufacturing*, IEEE, v. 30, n. 4, p. 241–245, 2007. Citado na página 53.
- 46 MANIKAM, V. R.; CHEONG, K. Y. Die attach materials for high temperature applications: A review. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, IEEE, v. 1, n. 4, p. 457–478, 2011. Citado na página 53.
- 47 BAI, J. G. et al. High-temperature operation of sic power devices by low-temperature sintered silver die-attachment. *IEEE transactions on advanced packaging*, IEEE, v. 30, n. 3, p. 506–510, 2007. Citado na página 53.
- 48 CHEN, Z. et al. A 1200-v, 60-a sic mosfet multichip phase-leg module for high-temperature, high-frequency applications. *IEEE Transactions on Power Electronics*, IEEE, v. 29, n. 5, p. 2307–2320, 2014. Citado na página 53.
- 49 COPPOLA, L. et al. Survey on high-temperature packaging materials for sic-based power electronics modules. In: IEEE. *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*. [S.l.], 2007. p. 2234–2240. Citado na página 53.
- 50 CHEN, C.; LUO, F.; KANG, Y. A review of sic power module packaging: Layout, material system and integration. *CPSS Transactions on Power Electronics and Applications*, CPSS, v. 2, n. 3, p. 170–186, 2017. Citado na página 53.
- 51 DIGIKEY Electronics. Disponível em: <<https://www.digikey.com/>>. Citado 3 vezes nas páginas 57, 60 e 65.
- 52 COTA, A. P. et al. Comparison of three 3-phase converter topologies for ups applications. In: IEEE. *Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), 2015 IEEE 13th Brazilian*. [S.l.], 2015. p. 1–6. Citado na página 57.
- 53 KOLAR, J. W.; FRIEDLI, T. The essence of three-phase pfc rectifier systems. In: IEEE. *Telecommunications Energy Conference (INTELEC), 2011 IEEE 33rd International*. [S.l.], 2011. p. 1–27. Citado na página 64.

- 54 SATHLER, H.; COUGO, B. Improvement of the modified opposition method used for accurate switching energy estimation of wbg transistors. In: *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*. [S.l.: s.n.], 2017. p. 308–315. Citado na página 72.
- 55 ANTHON, A. et al. Switching investigations on a sic mosfet in a to-247 package. In: IEEE. *Industrial Electronics Society, IECON 2014-40th Annual Conference of the IEEE*. [S.l.], 2014. p. 1854–1860. Citado na página 72.
- 56 LAIRD, I. et al. A design optimisation tool for maximising the power density of 3-phase dc-ac converters using silicon carbide (sic) devices. *IEEE Transactions on Power Electronics*, IEEE, 2017. Citado na página 72.
- 57 EPCOS. *Film Capacitors Series B32682 ... B32686*. 2018. Disponível em: <[https://en.tdk.eu/inf/20/20/ds/MFP\\_B32682\\_686.pdf](https://en.tdk.eu/inf/20/20/ds/MFP_B32682_686.pdf)>. Citado 2 vezes nas páginas 74 e 87.
- 58 MURATA. *High Effective Capacitance & High Ripple Current Chip Multilayer Ceramic Capacitors for General Purpose*. 2018. Disponível em: <<http://psearch.en.murata.com/capacitor/product/GR355XD72J224KW05%23.html>>. Citado 2 vezes nas páginas 74 e 87.
- 59 VISHAY. *Power MOSFET datasheet IRFP350*. 2011. Disponível em: <<http://www.vishay.com/docs/91225/91225.pdf>>. Citado na página 74.
- 60 TEODORESCU, R.; LISERRE, M.; RODRIGUEZ, P. *Grid converters for photovoltaic and wind power systems*. [S.l.]: John Wiley & Sons, 2011. v. 29. Citado na página 80.
- 61 MAGNETICS. *Fabricante de materiais magnéticos*. 2017. Disponível em: <<https://www.mag-inc.com/>>. Citado 3 vezes nas páginas 80, 81 e 83.
- 62 RICHARDSONRFPD. *Distribuidor de componentes eletrônicos*. 2018. Disponível em: <<http://www.richardsonrfpd.com/Pages/home.aspx>>. Citado na página 81.
- 63 STEINMETZ, C. P. On the law of hysteresis. *Transactions of the American Institute of Electrical Engineers*, IEEE, v. 9, n. 1, p. 1–64, 1892. Citado na página 80.
- 64 REINERT, J.; BROCKMEYER, A.; DONCKER, R. W. D. Calculation of losses in ferro-and ferrimagnetic materials based on the modified steinmetz equation. *IEEE Transactions on Industry applications*, IEEE, v. 37, n. 4, p. 1055–1061, 2001. Citado na página 81.
- 65 LI, J.; ABDALLAH, T.; SULLIVAN, C. R. Improved calculation of core loss with nonsinusoidal waveforms. In: IEEE. *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*. [S.l.], 2001. v. 4, p. 2203–2210. Citado na página 81.
- 66 VENKATACHALAM, K. et al. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only steinmetz parameters. In: IEEE. *Computers in Power Electronics, 2002. Proceedings. 2002 IEEE Workshop on*. [S.l.], 2002. p. 36–41. Citado 2 vezes nas páginas 81 e 82.

- 67 MUHLETHALER, J. et al. Improved core-loss calculation for magnetic components employed in power electronic systems. *IEEE Transactions on Power electronics*, IEEE, v. 27, n. 2, p. 964–973, 2012. Citado 2 vezes nas páginas 81 e 82.
- 68 MÜHLETHALER, J.; KOLAR, J. W.; ECKLEBE, A. Loss modeling of inductive components employed in power electronic systems. In: IEEE. *Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on*. [S.l.], 2011. p. 945–952. Citado na página 82.
- 69 MULLER, S. et al. Comparison of iron loss calculation methods for soft magnetic composite. In: IEEE. *Power Electronics Conference, 2017 IEEE 14th Brazilian*. [S.l.], 2017. p. 1–6. Citado na página 82.
- 70 COLLEGE, D. *Dartmouth Magnetic Component and Power Electronics Research*. 2018. Disponível em: <<http://thayer.dartmouth.edu/inductor/index.shtml>>. Citado na página 82.
- 71 JACOBOSKI, M. J.; LANGE, A. D. B.; HELDWEIN, M. L. Closed-form solution for core loss calculation in single-phase bridgeless pfc rectifiers based on the igse method. *IEEE Transactions on Power Electronics*, IEEE, 2017. Citado na página 82.
- 72 KAZIMIERCZUK, M. K. *High-frequency magnetic components*. [S.l.]: John Wiley & Sons, 2009. Citado na página 83.
- 73 SERWAY, R. A.; JEWETT, J. W. *Physics for scientists and engineers with modern physics*. [S.l.]: Cengage learning, 2018. Citado na página 85.
- 74 MATULA, R. A. Electrical resistivity of copper, gold, palladium, and silver. *Journal of Physical and Chemical Reference Data*, NIST, v. 8, n. 4, p. 1147–1298, 1979. Citado na página 85.
- 75 LISERRE, M.; BLAABJERG, F.; HANSEN, S. Design and control of an lcl-filter-based three-phase active rectifier. *IEEE Transactions on industry applications*, IEEE, v. 41, n. 5, p. 1281–1291, 2005. Citado na página 88.
- 76 ARAÚJO, S. V. et al. Lcl filter design for grid-connected npc inverters in offshore wind turbines. In: IEEE. *Power Electronics, 2007. ICPE'07. 7th International Conference on*. [S.l.], 2007. p. 1133–1138. Citado na página 88.
- 77 REZNIK, A. et al. lcl filter design and performance analysis for grid-interconnected systems. *IEEE Transactions on Industry Applications*, IEEE, v. 50, n. 2, p. 1225–1232, 2014. Citado na página 88.
- 78 WANG, T. C. et al. Output filter design for a grid-interconnected three-phase inverter. In: IEEE. *Power Electronics Specialist Conference, 2003. PESC'03. 2003 IEEE 34th Annual*. [S.l.], 2003. v. 2, p. 779–784. Citado na página 88.
- 79 ZIEGLER, S. et al. Current sensing techniques: A review. *IEEE Sensors Journal*, IEEE, v. 9, n. 4, p. 354–376, 2009. Citado na página 89.
- 80 MELEXIS. *MLX91208 IMC-Hall Current Sensor (Triaxis Technology)*. [S.l.], 2015. REV004. Disponível em: <<https://www.melexis.com/en/product/MLX91208/250kHz-Programmable-IMC-Hall-Current-Sensor>>. Citado 2 vezes nas páginas 90 e 91.

- 81 RICE, J.; MOOKKEN, J. Sic mosfet gate drive design considerations. In: IEEE. *Integrated Power Packaging (IWIPP), 2015 IEEE International Workshop on*. [S.l.], 2015. p. 24–27. Citado 2 vezes nas páginas 92 e 93.
- 82 FAIRCHILD SEMICONDUCTOR. *Driving and Layout Design for Fast Switching Super-Junction MOSFETs*. [S.l.], 2014. Rev. 1.0.1. Disponível em: <<https://www.fairchildsemi.com/application-notes/AN/AN-9005.pdf>>. Citado na página 93.
- 83 ON SEMICONDUCTOR. *SiC MOSFETs: Gate Drive Optimization*. [S.l.], 2017. Rev. 0. Disponível em: <[www.onsemi.com/pub/Collateral/TND6237-D.PDF](http://www.onsemi.com/pub/Collateral/TND6237-D.PDF)>. Citado na página 93.
- 84 MICROSEMI. *Design Recommendations for SiC MOSFETs*. [S.l.], 2017. Rev. 1.0. Disponível em: <[https://www.microsemi.com/document-portal/doc\\_view/136647-micronote-1826-microsemi-sic-mosfets-design-recommendations](https://www.microsemi.com/document-portal/doc_view/136647-micronote-1826-microsemi-sic-mosfets-design-recommendations)>. Citado na página 93.
- 85 RECOM POWER. *2 Watt SIP7 for SiC and IGBT Application's*. [S.l.], 2017. Rev. 0/2017. Disponível em: <<https://www.recom-power.com/pdf/Econoline/RxxP2xyy.pdf>>. Citado na página 93.
- 86 TEXAS INSTRUMENTS. *UCC21520 4-A, 6-A, 5.7-kVRMS Isolated Dual-Channel Gate Driver*. [S.l.], 2016. Disponível em: <[www.ti.com/lit/ds/symlink/ucc21520.pdf](http://www.ti.com/lit/ds/symlink/ucc21520.pdf)>. Citado na página 94.
- 87 ANALOG DEVICES. *Single-/Dual-Supply, High Voltage Isolated IGBT Gate Driver*. [S.l.], 2016. Rev. 0. Disponível em: <<http://www.analog.com/media/en/technical-documentation/data-sheets/ADuM4136.pdf>>. Citado na página 94.
- 88 MORAIS, L. et al. Pll-based repetitive control applied to the single-phase power factor correction using boost converter. In: IEEE. *Industrial Electronics, 2009. IECON'09. 35th Annual Conference of IEEE*. [S.l.], 2009. p. 737–742. Citado na página 97.
- 89 TEXAS INSTRUMENTS. *Vienna Rectifier-Based, Three-Phase Power Factor Correction (PFC) Reference Design Using C2000 MCU*. [S.l.], 2017. Disponível em: <<http://www.ti.com/lit/ug/tiducj0b/tiducj0b.pdf>>. Citado na página 101.
- 90 TEXAS Instruments. 2017. Disponível em: <<http://www.ti.com/>>. Citado na página 107.
- 91 TEXAS INSTRUMENTS. *TMS320F2837xD Dual-Core Delfino™ Microcontrollers*. [S.l.], 2013. Rev. G. Disponível em: <<http://www.ti.com/lit/ds/symlink/tms320f28379d.pdf>>. Citado 3 vezes nas páginas 107, 110 e 111.
- 92 ON SEMICONDUCTOR. *Methods to Characterize Parasitic Inductance and Resistance of Modern VRM*. [S.l.], 2016. Disponível em: <<http://www.onsemi.jp/pub/Collateral/AND9410-D.PDF>>. Citado na página 118.
- 93 ON SEMICONDUCTOR. *Methods to Identify Shoot Through in Fast Switching VRM Applications*. [S.l.], 2016. Disponível em: <<http://www.onsemi.cn/pub/Collateral/AND9419-D.PDF>>. Citado na página 119.

- 
- 94 ALVES, W. C.; MORAIS, L. M. F.; CORTIZO, P. C. Design of an efficient hybrid ac-dc-ac converter using silicon carbide for ups applications: A comparison. In: *2017 Brazilian Power Electronics Conference (COBEP)*. [S.l.: s.n.], 2017. p. 1–6. Citado na página 133.
- 95 COUGO, B.; SCHNEIDER, H.; MEYNARD, T. Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications. In: IEEE. *Power Electronics and Applications (EPE), 2013 15th European Conference on*. [S.l.], 2013. p. 1–10. Citado na página 135.

# Apêndices



# APÊNDICE A – Códigos utilizados para cálculo das perdas em núcleos magnéticos

Código usado no Matlab para cálculo das perdas nos núcleos dos indutores do retificador

```

1 %% Core loss calculation using
2 % the method proposed in: Closed Form Solution
3 % for Core Loss Calculation in
4 % Single Phase Bridgeless PFC Rectifiers
5 % Based on the iGSE Method
6 Ae = 0.000134; % core transection area (m2)
7 Ve = 15.6; % core volume (cm3)
8 N = 35; % number of turns
9 alpha = 1.32; % alpha steinmetz equation
10 beta = 2.22; % beta steinmetz equation
11 k = 0.0748; % k steinmetz equation (mW/cm3)
12 Ip = 30*sqrt(2); % peak current
13 Lb = 30e-6; % mean inductance
14 Vpeak = 127*sqrt(2); % peak voltage
15 Vp = 200; % DC link voltage
16 fg = 60; % Mains frequency (Hz)
17 wg = 2*pi*fg; % Mains frequency (rad/s)
18 Tg = 1/fg; % Mains period
19 fs = 102000; % Switching frequency
20 Ts = 1/fs; % Switching period
21 dt = Ts;
22
23 fun = @(x) (abs(cos(x)).^alpha);
24
25 % This integral may be changed by its approximation
26 % 4*(0,2761 + (1,7061/(alpha+1,354)))
27 intFun = integral(fun,0,2*pi);
28
29 % calculation ki
30 ki = k/((2*pi).^(alpha-1).*2.^(beta-alpha)*intFun);
31

```

```

32 t0 = Tg*atan((sqrt(4*pi*pi*Lb*Lb*Ip*Ip+Tg*Tg*Vpeak*Vpeak)-Tg*Vpeak)/(2*pi*
    Lb*Ip))/pi;
33
34 t=double(0:dt:(Tg/4));
35
36
37 %% minor loop calculation rising part
38 vin = double(Vpeak*sin(wg*t)); %vin(t)
39 vL1 = wg*Lb*Ip*cos(wg*t);
40 D = double((Vp-vin-vL1)./Vp); %d(t)
41 Dl = 1-D; % 1 - d(t)
42 dtI1 = Ts.*(Vp-vin).*Dl./vin;
43 dBI1=(Ts.*(Vp-vin).*(1-D))./(N*Ae);
44
45 aux = (N.*Ae).^alpha;
46
47 Pi1_t = Ts.*(ki.*dBI1.^(beta-alpha))./Tg;
48 Pi1_t = Pi1_t.*(((Vp-vin).^alpha).*Dl./aux)+((dtI1./Ts).*(vin.^alpha)./
    aux));
49 Pi1 = 2*sum(Pi1_t,'omitnan');
50
51 %% major loop calculation rising part
52 dtJ1 = double((Ts.*D)-dtI1);
53 dBJ1 = (Vp*Ts*Vpeak - Ts*Vpeak*Vpeak + 2*Lb*Vp*Ip)/(Vp*Ae*N);
54
55 PJ1_t = (ki.*dBJ1.^(beta-alpha))./Tg;
56 PJ1_t = PJ1_t.*(((vin.^alpha)./aux).*(dtJ1));
57 PJ1 = 2*sum(PJ1_t,'omitnan');
58 PJ1 = abs(PJ1);
59
60 %% minor loop calculation falling part
61 t2=double((Tg/4):dt:(Tg/2));
62 vin2 = double(Vpeak*sin(wg*t2)); %vin(t)
63 vL2 = wg*Lb*Ip*cos(wg*t2);
64 D2 = double((Vp-vin2-vL2)./Vp); %d(t)
65 Dl2 = 1-D2; % 1 - d(t)
66
67 dtI2 = Ts.*vin2.*D2./(Vp-vin2);
68 dBI2=(Ts.*vin2.*D2)./(N*Ae);

```

```
69
70 Pi2_t = Ts.*(ki.*dBI2.^(beta-alpha))./Tg;
71 Pi2_t = Pi2_t.*((((Vp-vin2).^alpha).*(dtI2./Ts)./aux)+(D2.*(vin2.^alpha)./
    aux));
72 Pi2 = 2*sum(Pi2_t,'omitnan');
73
74 %% major loop calculation falling part
75 dtJ2 = double((Ts.*Dl2)-dtI2);
76 %trapz
77
78 PJ2_t = (ki.*dBJ1.^(beta-alpha))./Tg;
79 PJ2_t = PJ2_t.*((((Vp-vin2).^alpha)./aux));
80 PJ2_t = PJ2_t.*(dtJ2);
81 PJ2 = 2*sum(PJ2_t,'omitnan');
82 PJ2 = abs(PJ2);
83 %% Compute results
84 Pmajor = PJ1+PJ2;
85 Pminor = Pi2+Pi1;
86
87 Pv = Pminor+Pmajor;
88
89 Pcore = Pv*Ve/1000; % /1000 is to give results in W
```

Código usado no Matlab para cálculo das perdas nos núcleos dos indutores do inversor

```

1  %% Core loss calculation using
2  % the method proposed in: Closed Form Solution
3  % for Core Loss Calculation in
4  % Single Phase Bridgeless PFC Rectifiers
5  % Based on the iGSE Method
6  % Equations for the 2 level inverter were derived
7  Ae = 0.000134; % core transection area (m2)
8  Ve = 15.6; % core volume (cm3)
9  N = 35; % number of turns
10 alpha = 1.32; % alpha steinmetz equation
11 beta = 2.22; % beta steinmetz equation
12 k = 0.0748; % k steinmetz equation (mW/cm3)
13 Ip = 30*sqrt(2); % peak current
14 Lb = 30e-6; % mean inductance
15 Vpeak = 127*sqrt(2); % peak voltage
16 Vp = 400; % DC link voltage
17 fg = 60; % Mains frequency (Hz)
18 wg = 2*pi*fg; % Mains frequency (rad/s)
19 Tg = 1/fg; % Mains period
20 fs = 101340; % Switching frequency
21 Ts = 1/fs; % Switching period
22 dt = Ts;
23
24 fun = @(x) (abs(cos(x)).^alpha);
25
26 % This integral may be changed by its approximation
27 % 4*(0,2761 + (1,7061/(alpha+1,354)))
28 intFun = integral(fun,0,2*pi);
29
30 % calculation ki
31 ki = k/((2*pi).^(alpha-1).*2.^(beta-alpha)*intFun);
32
33 t0 = Tg*atan((sqrt(4*pi*pi*Lb*Lb*Ip*Ip+Tg*Tg*Vpeak*Vpeak)-Tg*Vpeak)/(2*pi*
    Lb*Ip))/pi;
34
35 t=double(0:dt:(Tg/4));
36
37 %% minor loop calculation rising part

```

```

38 vin = double(Vpeak*sin(wg*t)); %vin(t)
39 vL1 = wg*Lb*Ip*cos(wg*t);
40 D = 0.5 + 0.5.*double((vin)./Vp);
41 Dr = 0.5 + 0.5.*double((vin+vL1)./Vp); %d(t)
42 Dl = 1-Dr; % 1 - d(t)
43 dtI1 = Dl.*Ts.*(vin+Vp)./(Vp-vin);
44 dBI1=2.*Vp.*Ts.*Dl.*Dr./(N.*Ae);
45
46 aux = (N.*Ae).^alpha;
47
48 Pi1_t = Ts.*(ki.*dBI1.^(beta-alpha))./Tg;
49 Pi1_t = Pi1_t.*(((Vp-vin).^alpha).*(dtI1./Ts)./aux)+(Dl.*((vin+Vp).^alpha
    )./aux));
50 Pi1 = 2*sum(Pi1_t,'omitnan');
51
52 %% major loop calculation rising part
53 dtJ1 = double((Ts.*Dr)-dtI1);
54 dBJ1 = (Vp*Ts*Vpeak - Ts*Vpeak*Vpeak + 2*Lb*Vp*Ip)/(Vp*Ae*N);
55
56 PJ1_t = (ki.*dBJ1.^(beta-alpha))./Tg;
57 PJ1_t = PJ1_t.*(((Vp-vin).^alpha)./aux).*(dtJ1));
58 PJ1 = 2*sum(PJ1_t,'omitnan');
59 PJ1 = abs(PJ1);
60
61 %% minor loop calculation falling part
62 t2=double((Tg/4):dt:(Tg/2));
63 vin2 = double(Vpeak*sin(wg*t2)); %vin(t)
64 vL2 = wg*Lb*Ip*cos(wg*t2);
65 D2 = 0.5 + 0.5.*double((vin2)./Vp);
66 Dr2 = 0.5 + 0.5.*double((vin2+vL2)./Vp); %d(t)
67 Dl2 = 1-Dr2; % 1 - d(t)
68
69 dtI2 = Ts.*D2.*(Vp-vin2)./(Vp+vin2);
70 dBI2=2.*Vp.*Ts.*Dl2.*Dr2./(N.*Ae);
71
72 Pi2_t = Ts.*(ki.*dBI2.^(beta-alpha))./Tg;
73 Pi2_t = Pi2_t.*(((Vp-vin2).^alpha).*D2./aux)+((dtI2./Ts).*(vin2+Vp).^
    alpha)./aux));
74 Pi2 = 2*sum(Pi2_t,'omitnan');

```

```
75 |  
76 | %% major loop calculation falling part  
77 | dtJ2 = double((Ts.*Dl2)-dtI2);  
78 | %trapz  
79 |  
80 | PJ2_t = (ki.*dBJ1.^(beta-alpha))./Tg;  
81 | PJ2_t = PJ2_t.*(((Vp+vin2).^alpha)./aux));  
82 | PJ2_t = PJ2_t.*(dtJ2);  
83 | PJ2 = 2*sum(PJ2_t, 'omitnan');  
84 | PJ2 = abs(PJ2);  
85 |  
86 | %% Compute results  
87 | Pmajor = PJ1+PJ2;  
88 | Pminor = Pi2+Pi1;  
89 |  
90 | Pv = Pminor+Pmajor;  
91 |  
92 | Pcore = Pv*Ve/1000; % /1000 is to give results in W
```