

UNIVERSIDADE FEDERAL DE MINAS GERAIS

ESCOLA DE ENGENHARIA

PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

GUSTAVO OLIVEIRA FORTES

ASSOCIAÇÃO SÉRIE DE IGBTs EM TOPOLOGIAS

MULTINÍVEIS ENTRE-SÉRIE-LAÇADAS:

UM CONCEITO COMPETITIVO PARA O MERCADO DE

INVERSORES DE MÉDIA TENSÃO

BELO HORIZONTE, SETEMBRO DE 2019

TESE DE DOUTORADO Nº 306

**ASSOCIAÇÃO SÉRIE DE IGBTs EM TOPOLOGIAS MULTINÍVEIS
ENTRE-SÉRIE-LAÇADAS: UM CONCEITO COMPETITIVO PARA O
MERCADO DE INVERSORES DE MÉDIA TENSÃO**

Gustavo Oliveira Fortes

DATA DA DEFESA: 06/09/2019

Universidade Federal de Minas Gerais

Escola de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

**ASSOCIAÇÃO SÉRIE DE IGBTs EM TOPOLOGIAS
MULTINÍVEIS ENTRE-SÉRIE-LAÇADAS: UM CONCEITO
COMPETITIVO PARA O MERCADO DE INVERSORES DE
MÉDIA TENSÃO**

Gustavo Oliveira Fortes

Tese de Doutorado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Doutor em Engenharia Elétrica.

Orientador: Prof. Marcos Antônio Severo Mendes

Belo Horizonte - MG

Setembro de 2019

F738a	Fortes, Gustavo Oliveira. Associação série de IGBTs em topologias multiníveis entre-série-laçadas [recurso eletrônico] : um conceito competitivo para o mercado de inversores de média tensão / Gustavo Oliveira Fortes. - 2019. 1 recurso online (178 f. : il., color.) : pdf. Orientador: Marcos Antônio Severo Mendes. Tese (doutorado) - Universidade Federal de Minas Gerais, Escola de Engenharia. Bibliografia: f. 151-167. Exigências do sistema: Adobe Acrobat Reader. 1. Engenharia elétrica - Teses. 2. Circuitos de disparo - Teses. 3. Inversores elétricos - Teses. 4. Modulação (Eletrônica) - Teses. I. Mendes, Marcos Antônio Severo. II. Universidade Federal de Minas Gerais. Escola de Engenharia. III. Título.
-------	---

CDU: 621.3(043)

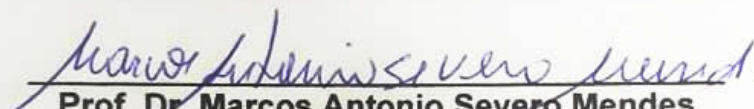
**“Associação Série de IGBTs em Topologias Multiníveis
Entre-Série-Laçadas: Um Conceito Competitivo para o
Mercado de Inversores de Média Tensão”**

Gustavo Oliveira Fortes

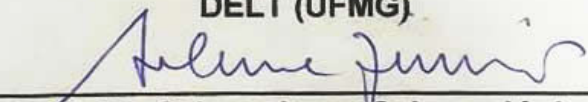
Tese de Doutorado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Doutor em Engenharia Elétrica.

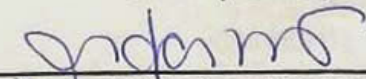
Aprovada em 06 de setembro de 2019.

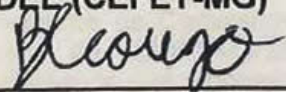
Por:


Prof. Dr. Marcos Antonio Severo Mendes
DELT (UFMG) - Orientador


Prof. Dr. Porfirio Cabaleiro Cortizo
DELT (UFMG)


Prof. Dr. Seleme Isaac Seleme Júnior
DELT (UFMG)


Prof. Dr. Anderson Vagner Rocha
DEE (CEFET-MG)


Prof. Dr. Bernardo Cougo
LAPLACE (INP-ENSEEIH)

“A Idade de Ser Feliz

Existe somente uma idade para a gente ser feliz
somente uma época na vida de cada pessoa
em que é possível sonhar e fazer planos
e ter energia bastante para realizá-los
a despeito de todas as dificuldades e obstáculos

Uma só idade para a gente se encantar com a vida
e viver apaixonadamente
e desfrutar tudo com toda intensidade
sem medo nem culpa de sentir prazer

Fase dourada em que a gente pode criar e recriar a vida
à nossa própria imagem e semelhança
e sorrir e cantar e brincar e dançar
e vestir-se com todas as cores
e entregar-se a todos os amores
experimentando a vida em todos os seus sabores
sem preconceito ou pudor

Tempo de entusiasmo e de coragem
em que todo desafio é mais um convite à luta
que a gente enfrenta com toda a disposição de tentar algo novo,
de novo e de novo, e quantas vezes for preciso

Essa idade, tão fugaz na vida da gente,
chama-se presente,
e tem apenas a duração do instante que passa ...
... doce pássaro do aqui e agora
que quando se dá por ele já partiu para nunca mais!”

Minha linda Mãe!
Um doce pássaro que partiu!
Eterna saudade do seu filho mais carinhoso!

AGRADECIMENTOS

Agradeço a Deus pelos momentos de iluminação, onde soluções, idéias ou quiçá meros devaneios, outrora desconhecidos, de forma tão inesperada se fizeram presentes como uma chama iluminando minha ignorância. Obrigado Senhor por me conceder a capacidade, paciência e persistência necessárias para aguardar e lutar até o encontro desses momentos de esclarecimento.

Aos meus pais, Maria de Fátima Oliveira Fortes (*in memoriam*) e Vicente de Paulo Fortes, pela personificação incondicional dos valores como amor, zelo, carinho, doação, compreensão e dedicação. Muito obrigado!

Ao meu Orientador, Prof. Marcos Antônio Severo Mendes, por essa longa, atribulada e tortuosa caminhada, desde o projeto final de graduação, passando pelo Mestrado e agora pelo Doutorado. Muito obrigado pela oportunidade de compartilhar contigo os momentos difíceis, mas, em especial, os bons momentos de nossas conversas sempre muito abertas, tranqüilas e produtivas.

Gostaria de agradecer a todos os Professores e colegas que integram o Grupo de Eletrônica de Potência, em especial, ao Prof. Porfírio Cabaleiro Cortizo sempre presente, interessado e disponível para nos ajudar.

Estendo estes agradecimentos a todos que contribuíram direta ou indiretamente para a realização deste trabalho.

Por fim, agradeço ao Programa de Pós-Graduação em Engenharia Elétrica que me deu a oportunidade de compartilhar e adquirir novos conhecimentos.

RESUMO

De acordo com IHS Markit, em 2016, o mercado de inversores de média tensão para acionamentos elétricos superava \$2,8bilhões (dois bilhões e oitocentos milhões de dólares) com previsão de crescimento até 2020. Atualmente, Technavio, 2019, já aponta crescimento consistente até 2023, cuja previsão é um incremento total de \$1.2bilhões (um bilhão e duzentos milhões de dólares), movimento em sintonia com a necessidade da indústria em melhorar sua eficiência, especialmente nos sistemas que demandam alta potência. Neste sentido, existe uma corrida pelo desenvolvimento de alternativas mais eficientes, bem como mais competitivas para os componentes e conversores estáticos de potência. Com o devido cuidado, sabe-se que componentes de baixa tensão mais eficientes e com custos reduzidos podem ser associados em série, de forma integrada ao conceito de topologias multiníveis, sem deixar de atender aos pré-requisitos de equipamentos de média tensão. Visando atacar a fatia das aplicações com potência menores que 3MW, que compreendem cerca de 55% total de inversores de média tensão, propõem-se as topologias entre-série-laçadas, que conciliam o conceito de entrelaçamento via indutor de saída e o da associação em série de dispositivos. De forma geral, ao utilizar IGBTs de baixa tensão, se pretende tirar vantagem de seu melhor desempenho, sua capacidade de chaveamento em frequências mais elevadas, sua facilidade de montagem em placas de circuito impresso, sua inerente aplicação em topologias multiníveis, além de seu custo extremamente reduzido.

Palavras-chave: Associações, Série, Paralelo, Entrelaçamento, *IGBTs*, *MOSFETs*, Topologia e Modulação Multiníveis, Balanceamento Intrínseco Natural, *PWM*, Circuito de Disparo.

ABSTRACT

According to IHS Markit, in 2016, the medium voltage inverters market for electric drives exceeded \$ 2.8 billion (two billion and eight hundred million dollars). Nowadays, Technavio, 2019 already points to a consistent growth until 2023, with a total forecast of \$ 1.2 billion (\$ 1 billion and two hundred millions), in line with the industry's need of efficiency improvement, especially in high-power systems. In this sense, there is a high demand to develop more efficient, as well as, more competitive alternatives for the static power converters. It is known that more efficient and cost-effective low-voltage components can be serially associated, integrated with the concept of multilevel topologies, while meeting the requirements of medium voltage equipment. In order to attack the share of applications with lower power (less than 3MW), which represents about 55% of the total amount of medium voltage inverters, we propose the inter-series-levead topologies, which reconcile the concept of the interleaved output inductor and the association of devices in series. In general, when using low voltage IGBTs, it intends to take advantage of their better performance, higher frequency switching capability, easy mounting on printed circuit boards, their inherent application in multilevel topologies and their extremely low cost.

Key-words: Association; series; interleaved; *IGBTs*; TO-247; thyristors; circuit; firing; multilevels; modulation; inverter; medium voltage.

Sumário

LISTA DE ABREVIACÕES.....	1
LISTA DE SÍMBOLOS.....	2
LISTA DE FIGURAS	4
LISTA DE TABELAS.....	11
1 INTRODUÇÃO.....	12
1.1 CONTEXTUALIZAÇÃO BIBLIOGRÁFICA	12
1.1.1 Topologias Multiníveis.....	12
1.1.2 Principais Inversores Comerciais de Média Tensão.....	29
1.1.3 Associações Série de dispositivos	30
1.1.4 Associações em paralelo de dispositivos	36
1.1.5 Transistor Bipolar de Porta Isolada - IGBT	38
1.1.6 Modulação Vetorial.....	43
1.2 MOTIVAÇÃO.....	45
1.3 OBJETIVOS.....	48
2 TOPOLOGIA MULTINÍVEL ENTRE-SÉRIE-LAÇADA.....	50
2.1 PRÉ-REQUISITOS.....	50
2.2 SELEÇÃO DOS DISPOSITIVOS DE CHAVEAMENTO	53
2.3 ESTRUTURAS TOPOLÓGICAS PROPOSTAS	55
2.4 ESTRUTURAS TRIDIMENSIONAIS	60
2.5 CONCLUSÃO	62
3 ASSOCIAÇÃO EM SÉRIE	63
3.1 PRÉ-REQUISITOS.....	63
3.2 CIRCUITO DE DISPARO	65
3.3 CIRCUITO <i>SNUBBER</i>	69
3.4 BALANCEAMENTO INTRÍNSECO NATURAL	70
3.4.1 <i>Disparo Próprio</i>	70

3.4.2	<i>Bloqueio Próprio</i>	73
3.4.3	<i>Capacitância Negativa de Gate</i>	75
3.4.4	<i>Análise Conjunta dos Efeitos Intrínsecos</i>	78
3.5	CONCLUSÃO	81
4	MODELAGEM DE IGBTs	82
4.1	MODELO VIA SIMULINK	82
4.2	MODELO PARA REGIÃO DE DERIVA	83
4.3	MODELO PARA CAMADA FIELD STOP (FS)	86
4.4	MODELO PARA A ESTRUTURA MOS EM TRINCHEIRA	87
4.5	MODELO PARA AS QUEDAS DE TENSÃO	90
4.6	IMPLEMENTAÇÃO DO MODELO	91
4.7	CONCLUSÃO	93
5	MODULAÇÃO VETORIAL RECURSIVA ENTRELACADA	94
5.1	PRINCÍPIO DE IMPLEMENTAÇÃO DOS VETORES ESPACIAIS	94
5.2	RAZÕES CÍCLICAS E SEQUENCIAMENTO VETORIAL	98
5.3	ÍNDICE DE MODULAÇÃO E SATURAÇÃO HEXAGONAL	100
5.4	ENTRELACAMENTO VETORIAL	102
5.5	CONCLUSÃO	104
6	RESULTADOS SIMULAÇÃO	105
6.1	SIMULAÇÃO DE IGBTs EM SÉRIE	105
6.2	TOPOLOGIA TIPO T ENTRE-SÉRIE-LAÇADA UNIDIRECIONAL	107
6.3	TOPOLOGIA TIPO T ENTRE-SÉRIE-LAÇADA BIDIRECIONAL	111
6.4	TOPOLOGIA HÍBRIDA ENTRE-SÉRIE-LAÇADA-GRAMPEADA	112
6.5	CONCLUSÃO	114
7	RESULTADOS EXPERIMENTAIS	115
7.1	BANCADA EXPERIMENTAL E PROTÓTIPO	115
7.2	ANÁLISE DO CIRCUITO DE DISPARO	118
7.3	BALANCEAMENTO INTRÍNSECO NATURAL	124

7.4	SOLUÇÃO COMPLETA - IGBT INFINEON IKQ75N120CH3.....	127
7.5	OUTROS IGBTs SELECIONADOS	135
7.5.1	IGBT Internacional Rectifier - IRG7PSH73K10.....	135
7.5.2	IGBT Infineon - IGW60T120	138
7.5.3	IGBT On Semiconductor - NGTB50N120F.....	140
7.6	COMPARAÇÕES ENTRE OS IGBTs	141
7.7	CUSTO BENEFÍCIO POR MODULO FASE	143
7.8	CONCLUSÃO	146
8	CONCLUSÕES	147
8.1	TOPOLOGIAS ENTRE-SÉRIE-LAÇADAS	147
8.2	MODULAÇÃO ENTRELAÇADA GENERALIZADA	148
8.3	ASSOCIAÇÃO EM SÉRIE DE <i>IGBTs</i>	148
8.4	MODELAGEM DE <i>IGBTs</i>	149
8.5	PROPOSTAS DE CONTINUIDADE	149
8.6	ARTIGOS PUBLICADOS	150
	REFERÊNCIAS BIBLIOGRÁFICAS	151

LISTA DE ABREVIACES

IGBT	Insulated Gate Bipolar Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
BJT	Bipolar Junction Transistor
PWM	Pulse Width Modulation
SHE	Selective Harmonic Elimination
H3PWM	Third Harmonic PWM
SPWM	Sinusoidal PWM
GDPWM	Generalized Discontinuous PWM
NPSPWM	Neutral Point Sharing PWM
LSPWM	Load Sharing PWM
SVPWM	Space Vector PWM
CHB	Cascade H Bridge
FC	Flying Capacitor
NPC	Neutral Point Clamping
ANPC	Active Neutral Point Clamping
TCC	Transistor Clamped Converter
NPP	Neutral Point Piloted
MLI	Multi-Level Inverter
MMC	Modular Multilevel Converter
HVDC	High Voltage Direct Current
SMC	Stacked Multicell Converter
FACTS	Flexible Alternating Current Transmission Systems
c.a.	Corrente Alternada
c.c.	Corrente Cont��ua
NPT	Non Punch Through
PT	Punch Through
FS	Field Stop
FIT	Failure In Time
STO	Self Turn Off
PD	Phase Disposition
PSC	Phase Shift Carrier

LISTA DE SÍMBOLOS

C_{gc}	Capacitância <i>gate</i> -coletor
C_g	Capacitância de entrada
C_{ce}	Capacitância coletor-emissor
C_{ge}	Capacitância <i>gate</i> -emissor
$C_{gc(ox)}$	Capacitância <i>gate</i> -óxido (região sob o <i>gate</i>)
C_{G-pch}	Capacitância <i>gate</i> -canal p
C_{oxd}	Capacitância óxido-dreno
C_{dep}	Capacitância da zona de depleção sob região do <i>gate</i>
V_{ce}	Tensão coletor-emissor
V_{SE}	Tensão superficial sob região do <i>gate</i> e emissor
V_{gox}	Tensão superficial <i>gate</i> -óxido (região sob o <i>gate</i>)
V_{dep}	Tensão da zona de depleção
V_{ge}	Tensão <i>gate</i> -emissor
V_{gc}	Tensão <i>gate</i> -coletor
V_{ds}	Tensão dreno-fonte
V_{th}	Limite de tensão <i>gate</i> -emissor para início de condução
V_{td}	Limite de tensão superficial para depleção da capacitância de <i>gate</i>
$V_{ce(on)}$	Tensão em modo de condução
V_{bi}	Tensão de barreira de junção <i>PN</i>
I_c	Corrente de coletor
I_{dis}	Corrente de deslocamento entre coletor-emissor
I_{cg}	Corrente de deslocamento coletor- <i>gate</i>
I_{acc}	Corrente de acumulação de lacunas sob região do <i>gate</i>
I_{n1}	Corrente de elétrons da junção <i>J1</i>
I_{n2}	Corrente de elétrons da junção <i>J2</i>
I_{p1}	Corrente de lacunas da junção <i>J1</i>
I_{p2}	Corrente de lacunas da junção <i>J2</i>
J_{cg}	Densidade de corrente de deslocamento coletor- <i>gate</i>
E_{oxide}	Campo Elétrico sob óxido na região do <i>gate</i>
$\hat{E}_{SCR}$	Campo Elétrico da zona de depleção
g_m^{pch}	Transcondutância do canal tipo p
g_m^{nch}	Transcondutância do canal tipo n
K_{plim}	Transcondutância da região linear do canal <i>MOS</i>
K_{psat}	Transcondutância da região de saturação do canal <i>MOS</i>
θ	Transcondutância de campo elétrico transversal

β	Ganho de emissor comum
q	Carga elétrica de um elétron
A	Área do semiconductor
τ	Constante de tempo de recombinação
ε	Permissibilidade
ε_{si}	Permissibilidade do silício
N_{eff}	Concentração efetiva
N_A	Concentração de impurezas aceitadoras
N_D	Concentração de impurezas doadoras
N_B	Concentração de impurezas da Base
N_H	Concentração impurezas da camada <i>buffer</i>
P_{H0}	Concentração de lacunas na junção <i>J0</i>
P_{HW}	Concentração de lacunas na junção <i>J1</i> (lado camada <i>buffer</i>)
P_{L0}	Concentração de lacunas na junção <i>J1</i> (lado região de deriva)
n_i	Concentração intrínseca de portadores
V_T	Tensão térmica
h_p	Coeficiente de recombinação de lacunas
L_{pH}	Distancia de difusão de lacunas na camada <i>buffer</i>
W_H	Largura da camada <i>buffer</i>
D_{pH}	Coeficiente de difusão de lacunas na camada <i>buffer</i>
D_p	Coeficiente de difusão de lacunas
D_n	Coeficiente de difusão de elétrons
$p(x, t)$	Concentração de portadores
v_{nsat}	Velocidade de saturação de elétrons
v_{psat}	Velocidade de saturação de lacunas
W_T	Largura da trincheira
W_m	Largura da região de mesa
t_T	Profundidade da trincheira
X_p	Profundidade do corpo p
X_{tSC}	Largura da zona de depleção sob a trincheira
X_{SC}	Largura da zona de depleção sob a mesa
μ_n	Mobilidade dos elétrons
μ_p	Mobilidade das lacunas
$PH1,2,3$	Plano de seleção 1,2 ou 3
Da,b,c	Razão cíclica a,b ou c
$\theta_{center}^{H^y}$	Centro do hexágono H^y
$V_{max}^{H^y}$	Vetor de tensão máximo do hexágono H^y
u_α^x	Vetor de referência de tensão no eixo α
u_β^x	Vetor de referência de tensão no eixo β

LISTA DE FIGURAS

FIGURA 1.1 – ESTRUTURA ORGANIZACIONAL PARA CONVERSORES MULTINÍVEIS POR PANDEY <i>ET AL.</i> , 2003.....	13
FIGURA 1.2 – ESTRUTURA ORGANIZACIONAL PARA CONVERSORES MULTINÍVEIS POR RODRÍGUEZ <i>ET AL.</i> , 2007....	13
FIGURA 1.3 – ESTRUTURA ORGANIZACIONAL PARA CONVERSORES MULTINÍVEIS POR KOURO <i>ET AL.</i> , 2010.....	14
FIGURA 1.4 – ESTRUTURA ORGANIZACIONAL PARA CONVERSORES MULTINÍVEIS POR PEREZ <i>ET AL.</i> , 2015.....	14
FIGURA 1.5 – NOVA ESTRUTURA ORGANIZACIONAL PARA CONVERSORES MULTINÍVEIS POR VENKATARAMANAIAH <i>ET AL.</i> , 2017.....	14
FIGURA 1.6 – ESTRUTURA TÍPICA DE UM CONVERSOR CONSTITUÍDO POR PONTES <i>H</i> EM CASCATA (VENKATARAMANAIAH <i>ET AL.</i> , 2017).....	15
FIGURA 1.7 – ESTRUTURA <i>MLI</i> SIMÉTRICA COM BAIXA CONTAGEM DE COMPONENTES POR ALISHAH <i>ET AL.</i> , 2014	17
FIGURA 1.8 – ESTRUTURA <i>MLI</i> ASSIMÉTRICA SIMPLES EVOLUÇÃO DA CLÁSSICA TOPOLOGIA <i>CHB</i> POR MANJREKAR <i>ET AL.</i> , 1998.....	18
FIGURA 1.9 – ESTRUTURA TÍPICA DE UM CONVERSOR <i>NPC</i> COM DIODOS DE GRAMPEAMENTO.....	19
FIGURA 1.10 – ESTRUTURA BÁSICA POR FASE DE UM CONVERSOR <i>ANPC</i>	20
FIGURA 1.11 – (A) ESTRUTURA <i>TCC</i> INDIRETAMENTE REPRESENTADA EM MEYNARD <i>ET AL.</i> , 2002A. (B) ESTRUTURA <i>TCC</i> REPRESENTADA NA FORMA MAIS USUAL E CHAMADA DE <i>NPP</i> POR EM GUENNEGUES <i>ET AL.</i> , 2009.....	22
FIGURA 1.12 – ESTRUTURA TÍPICA DE UM CONVERSOR MULTINÍVEIS COM CAPACITORES FLUTUANTES..	23
FIGURA 1.13 – ESTRUTURA TÍPICA DE UM CONVERSOR <i>MMC</i> COM CAPACITORES FLUTUANTES (PEREZ <i>ET AL.</i> , 2015).....	25
FIGURA 1.14 – ESTRUTURA TÍPICA DE UM CONVERSOR <i>STACKED MULTICEL CONVERTER</i>	26
FIGURA 1.15 – ESTRUTURA MULTINÍVEL GENERALIZADA HÍBRIDA POR PENG, 2000.....	27
FIGURA 1.16 – ESTRUTURA HÍBRIDA <i>ANPC-5L</i> POR BARBOSA <i>ET AL.</i> , 2005.....	28
FIGURA 1.17 – ESTRUTURA HÍBRIDA COMPLEXA POR RECH <i>ET AL.</i> , 2007.....	28
FIGURA 1.18 – ESTRUTURA HÍBRIDA CII POR FOREST <i>ET AL.</i> , 2007.....	29

FIGURA 1.19 – (A) DESEQUILÍBRIO DE TENSÃO ESTATICO DURANTE OS INSTANTES ANTERIORES A 35US (DISPARO) E POSTERIORES A 65US (BLOQUEIO); (B) DETALHE NO DESEQUILÍBRIO DE TENSÃO MOSTRANDO UM FRACO COMPARTILHAMENTO DINÂMICO DE TENSÃO (PALMER <i>ET AL.</i> , 2004).	33
FIGURA 1.20 – SOLUÇÃO BASEADA NA INSERÇÃO DE ATRASOS PUROS DE TEMPO NO SINAL DE GATE (GERSTER <i>ET AL.</i> , 1994)	35
FIGURA 1.21 – SOLUÇÃO BASEADA EM REATORES MAGNETICAMENTE ACOPLADOS (ABE <i>ET AL.</i> , 2002).....	35
FIGURA 1.22 – ESTRUTURA HÍBRIDA <i>NPC</i> ENTRELAÇADA POR MATSUI <i>ET AL.</i> , 2000.....	38
FIGURA 1.23 – CIRCUITO EQUIVALENTE E MODELO FÍSICO TÍPICO PARA UM <i>IGBT</i>	39
FIGURA 1.24 – TÍPICAS ESTRUTURAS DE <i>IGBT</i> (IVAMURO <i>ET AL.</i> , 2017): (A) <i>PT-IGBT</i> , (B) <i>NPT-IGBT</i> E (C) <i>FS-IGBT</i>	40
FIGURA 1.25 – COMPARAÇÃO DE UMA ESTRUTURA <i>NPT</i> (ESQUERDA) COM <i>GATE</i> PLANAR E UMA ESTRUTURA <i>FS</i> (DIREITA) COM <i>GATE</i> EM TRINCHEIRA (IVAMURO <i>ET AL.</i> , 2017).....	41
FIGURA 2.1 – GAMA DE POTÊNCIA DOS INVERSORES DE MÉDIA TENSÃO COMERCIAIS NA FAIXA ENTRE 3,3kV E 4,16kV	51
FIGURA 2.2 – TRANSFORMAÇÃO DA ESTRUTURA CINCO NÍVEIS TIPO T EM VARIAÇÕES DA ESTRUTURA MULTINÍVEIS ENTRE-SÉRIE-LAÇADA PROPOSTA.....	56
FIGURA 2.3 – EXPLOSÃO DE UMA ESTRUTURA TOPOLÓGICA EM CÉLULAS <i>N</i> E <i>P</i> COM ENTRELAÇAMENTO INDUTIVO.	57
FIGURA 2.4 – ESTRUTURA TOPOLÓGICA HÍBRIDA-ENTRE-SÉRIE-LAÇADA-GRAMPEADA.	59
FIGURA 2.5 – MODELO TRIDIMENSIONAL COMPLETO DA TOPOLOGIA TIPO <i>T</i> ENTRE-SÉRIE-LAÇADA.....	61
FIGURA 2.6 – VISTA SUPERIOR DO MÓDULO DA TOPOLOGIA TIPO <i>T</i> ENTRE-SÉRIE-LAÇADA	61
FIGURA 2.7 – VISTA INFERIOR DO MÓDULO DA TOPOLOGIA TIPO <i>T</i> ENTRE-SÉRIE-LAÇADA.....	62
FIGURA 3.1 – CIRCUITO DE DISPARO MAGNETICAMENTE ISOLADO COM DUPLA ISOLAÇÃO GALVÂNICA POR BREHAUT <i>ET AL.</i> , 2006.	66
FIGURA 3.2 – ESQUEMÁTICO DO CIRCUITO DE DISPARO COM RETIFICADOR SÍNCRONO, DOIS ENLACES MAGNÉTICOS SIMPLES NO PRIMÁRIO, BASEADO NO CONCEITO DE DISPARO DE TIRISTORES	67
FIGURA 3.3 – CARACTERÍSTICA DE MEMORIZAÇÃO DO <i>GATE</i> DEVIDO SUA CAPACITÂNCIA E OS ESTADOS PASSÍVEIS DE COMANDO DO SISTEMA DE DISPARO PROPOSTO.....	68
FIGURA 3.4 – DETALHAMENTO DO CIRCUITO DE DISPARO COM RETIFICADOR SÍNCRONO, ENLACE MAGNÉTICO SIMPLES E DUPLO PRIMÁRIO, BASEADO NO CONCEITO DE DISPARO DE TIRISTORES.	69

FIGURA 3.5 – SIMULAÇÃO DO DISPARO PRÓPRIO APÓS COMANDO DE <i>GATE</i> SER INTERROMPIDO EM 1,8 μ S. SÃO MOSTRADOS QUATRO LINHAS DE CORTE EM CORES DISTINTAS PARA ORIENTAR A ANÁLISE POSTERIOR DA VARIAÇÃO DE CAMPO ELÉTRICO A PARTIR DE CADA INSTANTE (MÜNSTER <i>ET AL.</i> , 2016).....	71
FIGURA 3.6 – (A) DISTRIBUIÇÃO DE PORTADORES LOGO ABAIXO DA REGIÃO DE <i>GATE</i> E (B) SUA VARIAÇÃO DO CAMPO ELÉTRICO DURANTE O EFEITO DO DISPARO PRÓPRIO (MÜNSTER <i>ET AL.</i> , MAIO DE 2016).	72
FIGURA 3.7 – EXPERIMENTO MOSTRANDO O APARECIMENTO DO EFEITO “ <i>SELF-TURN-OFF</i> ” NO INSTANTE 3,6 μ S SOB A CONDIÇÃO DE UM CURTO-CIRCUITO TIPO II (BÖHMER <i>ET AL.</i> , 2011).....	73
FIGURA 3.8 – SIMULAÇÃO NUMÉRICA DE DESLIGAMENTO DE UMA <i>IGBT</i> 6.5kV CONSIDERANDO A INTERRUPÇÃO COMPLETA DA CORRENTE DE <i>GATE</i> EM t_0 , COM O APARECIMENTO DO BLOQUEIO PRÓPRIO ENTRE t_1 E t_2 (BÖHMER <i>ET AL.</i> , 2011).	74
FIGURA 3.9 – SIMULAÇÃO NUMÉRICA DA CAPACITÂNCIA DE <i>GATE</i> PARA UM <i>IGBT</i> 1200V EM FUNÇÃO DA TENSÃO <i>GATE</i> -EMISSOR E DIFERENTES TENSÕES DE BLOQUEIO (OMURA <i>ET AL.</i> , 1997).....	75
FIGURA 3.10 – REPRESENTAÇÃO DO EFEITO DA CAPACITÂNCIA NEGATIVA DE <i>GATE</i> A PARTIR DO SURGIMENTO DE UMA CORRENTE DE DESLOCAMENTO ORIUNDA DA FORMAÇÃO DE UM CANAL TIPO P SOB A REGIÃO DE <i>GATE</i> (ONozawa <i>ET AL.</i> , 2007).	76
FIGURA 3.11 – CAPACITÂNCIA DIFERENCIAL SIMULADA NUMERICAMENTE PARA AS ESTRUTURA (A) <i>NPT</i> , (B) <i>FS</i> E (C) <i>PT</i> CONSIDERANDO <i>GATE</i> PLANAR (KONG <i>ET AL.</i> , 2008).	77
FIGURA 3.12 – CIRCUITO EQUIVALENTE BÁSICO MODIFICADO DO <i>IGBT</i> COM A INSERÇÃO DA VARIAÇÃO DE TENSÃO (dV_{PCH}) CAUSADA PELA PELO CANAL MOS TIPO P ADICIONAL ENTRE AS CAPACITÂNCIAS VINCULADAS AO <i>GATE</i> E COLETOR.	79
FIGURA 3.13 – CAPACITÂNCIA DIFERENCIAL SIMULADA PARA AS ESTRUTURA <i>FS</i> EVIDENCIANDO A DEPENDÊNCIA COM A TENSÃO DE BLOQUEIO.....	80
FIGURA 4.1 – DIAGRAMA DE BLOCOS <i>SIMULINK</i> PARA MODELO ANALÍTICO DE <i>IGBT</i> VISANDO APLICAÇÃO EM CÉLULAS <i>CHOPPER</i> (PALMER <i>ET. EL.</i> , 2002).....	83
FIGURA 4.2 – DIAGRAMA UNIDIMENSIONAL DA DISTRIBUIÇÃO DE CARGAS NO <i>IGBT</i>	84
FIGURA 4.3 – LOCALIZAÇÃO DAS CAPACITÂNCIAS <i>MOS</i> E A VARIAÇÃO DA ZONA DE DEPLETÇÃO COM O APARECIMENTO DA ZONA DE ACUMULAÇÃO SOB A TRINCHEIRA.	88
FIGURA 4.4 – HIERARQUIA DO MODELO <i>MATLAB/SIMULINK</i> PARA O <i>IGBT</i>	91
FIGURA 4.5 – MODELO <i>MATLAB/SIMULINK</i> PARA O <i>IGBT</i>	92
FIGURA 4.6 – DETALHAMENTO INTERNO DO MODELO DE <i>IGBT</i>	92

FIGURA 4.7 – DETALHAMENTO DA SÍNTESE DE FOURIER PARA A EQUAÇÃO AMBIPOLAR DE DIFUSÃO.	93
FIGURA 5.1 – PLANO DE TENSÕES TRÊS NÍVEIS E SUA FORMAÇÃO POR PLANOS MENORES DE DOIS NÍVEIS.	94
FIGURA 5.2 – PLANO DE TENSÕES 5 NÍVEIS GENERALIZADO MOSTRANDO VETORES TRANSFORMADOS.	96
FIGURA 5.3 – CORREÇÃO DOS VETORES ESPACIAIS REFERENCIANDO-OS AOS PLANOS HEXAGONAIS.	97
FIGURA 5.4 – EXEMPLO DE PLANO DE TENSÕES DOIS NÍVEIS E SEUS ESTADOS TOPOLÓGICOS.	98
FIGURA 5.5 – SEQÜENCIAMENTO <i>SVPM</i> DE EXEMPLO DOS ESTADOS TOPOLÓGICOS E SUAS RAZÕES CÍCLICAS.	99
FIGURA 5.6 – SATURAÇÃO HEXAGONAL REFERENCIADO AO PRIMEIRO SETOR.	101
FIGURA 5.7 – TRANSFORMAÇÃO DO PLANO VETORIAL ORIGINAL NO PLANO COM DUPLO ENTRELAÇAMENTO.	102
FIGURA 5.8 – ENTRELAÇAMENTO ATRAVÉS DO ANÁLOGO DOIS NÍVEIS.	103
FIGURA 5.9 – ENTRELAÇAMENTO ATRAVÉS DO ANÁLOGO DOIS NÍVEIS E SEU PLANO TRÊS NÍVEIS RESULTANTE.	104
FIGURA 6.1 – SIMULAÇÃO MOSTRANDO OS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL DURANTE UM TRANSITÓRIO DE DISPARO.	106
FIGURA 6.2 – COMPARAÇÃO DOS RESULTADOS DE SIMULAÇÃO ENFATIZANDO A DEPENDÊNCIA DA CORRENTE DURANTE UMA TRANSIÇÃO DE DISPARO.	107
FIGURA 6.3 – TOPOLOGIA UNIDIRECIONAL TIPO T ENTRE-SÉRIE-LAÇADA.	108
FIGURA 6.4 – CORRENTES DE BRAÇO E DE SAÍDA FASE A.	108
FIGURA 6.5 – TENSÃO FASE-FASE.	109
FIGURA 6.6 – TENSÃO FASE-PONTO ZERO DO BARRAMENTO C.C.	109
FIGURA 6.7 – DISTORÇÃO HARMÔNICA DA TENSÃO ENTRE FASES.	110
FIGURA 6.8 – CONTEÚDO HARMÔNICO DA CORRENTE DE FASE A.	110
FIGURA 6.9 – TOPOLOGIA BIDIRECIONAL TIPO T ENTRE-SÉRIE-LAÇADA.	111
FIGURA 6.10 – CORRENTES DE BRAÇO E DE SAÍDA FASE A.	111
FIGURA 6.11 – TOPOLOGIA UNIDIRECIONAL HÍBRIDA ENTRE-SÉRIE-LAÇADA-GRAMPEADA.	112
FIGURA 6.12 – TOPOLOGIA BIDIRECIONAL HÍBRIDA ENTRE-SÉRIE-LAÇADA-GRAMPEADA.	113
FIGURA 6.13 – CORRENTES DE BRAÇO E DE SAÍDA FASE A – TOPOLOGIA ENTRE-SÉRIE-LAÇADA-GRAMPEADA UNIDIRECIONAL.	113
FIGURA 6.14 – CORRENTES DE BRAÇO E DE SAÍDA FASE A – TOPOLOGIA ENTRE-SÉRIE-LAÇADA-GRAMPEADA BIDIRECIONAL.	114
FIGURA 7.1 – ESQUEMA ELÉTRICO DE POTÊNCIA DA BANCADA DE TESTES.	115
FIGURA 7.2 – BANCADA DE TESTES REAL BASEADA NO ESQUEMA ELÉTRICO DE POTÊNCIA.	116

FIGURA 7.3 – VISTA SUPERIOR E INFERIOR DO SUB-MÓDULO DE POTÊNCIA.....	117
FIGURA 7.4 – SINCRONISMO PERFEITO A VAZIO ENTRE AS TENSÕES <i>GATE</i> -EMISSOR (V_{GE}) DOS SEIS <i>IGBTs</i> CONECTADOS EM SÉRIE. OS PULSOS DE CORRENTE PRIMÁRIOS SÃO MOSTRADOS COMPROVANDO O DETERMINISMO TEMPORAL DE CADA EVENTO, POSSIBILITANDO SUA EXPOSIÇÃO CONJUNTA.	118
FIGURA 7.5 – ESQUEMA DE MEDIÇÃO PARA DETALHAMENTO DO COMPORTAMENTO DO CIRCUITO DE DISPARO.	119
FIGURA 7.6 – COMPORTAMENTO DO CIRCUITO DURANTE TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA A VAZIO.	119
FIGURA 7.7 – COMPORTAMENTO DO CIRCUITO DURANTE TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 30A.	120
FIGURA 7.8 – COMPORTAMENTO DO CIRCUITO DURANTE TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A.	120
FIGURA 7.9 – COMPARAÇÃO DOS EFEITOS DEPENDENTES DA CORRENTE DURANTE UMA TRANSIÇÃO DE DISPARO.	121
FIGURA 7.10 – COMPORTAMENTO DO CIRCUITO DURANTE TRANSIÇÃO DE BLOQUEIO COM DE CORRENTE DE CARGA DE 30A.	122
FIGURA 7.11 – COMPORTAMENTO DO CIRCUITO DURANTE TRANSIÇÃO DE BLOQUEIO COM DE CORRENTE DE CARGA DE 60A.	122
FIGURA 7.12 – COMPARAÇÃO DOS EFEITOS DEPENDENTES DA CORRENTE DURANTE UMA TRANSIÇÃO DE BLOQUEIO.	123
FIGURA 7.13 – VARIAÇÃO DA TENSÃO V_{GE} DURANTE O TRANSITÓRIO DE DISPARO PARA DIFERENTES TENSÕES DE BLOQUEIO (0V, 100V E 200V).....	124
FIGURA 7.14 – TRANSIÇÃO DE DISPARO SEM <i>SNUBBER</i> (<i>SNUBBERLESS</i>). SÃO APRESENTADAS AS TENSÕES V_{CE} E V_{GE} DOS SEIS <i>IGBTs</i> CONECTADOS EM SÉRIE, BEM COMO A CORRENTE DE COLETOR (I_C), EVIDENCIANDO OS EFEITOS O BALANCEAMENTO INTRÍNSECO NATURAL ATRAVÉS DA TENSÃO <i>GATE</i> -EMISSOR.	126
FIGURA 7.15 –TRANSIÇÃO DE BLOQUEIO SEM <i>SNUBBER</i> . SÃO APRESENTADAS AS TENSÕES V_{CE} E V_{GE} DOS SEIS <i>IGBTs</i> CONECTADOS EM SÉRIE, BEM COMO A CORRENTE DE COLETOR (I_C), COM DETALHES PARA OS EFEITOS <i>MILLER</i> E DA CAPACITÂNCIA NEGATIVA DE <i>GATE</i>	126
FIGURA 7.16 –TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA NULA, EVIDENCIANDO A CORRENTE DOS CIRCUITOS <i>SNUBBERS</i> (DISPOSITIVOS DO LADO NEGATIVO). VERIFICA-SE O PERFEITO EQUILÍBRIO DAS TENSÕES V_{CE} DOS DISPOSITIVOS.	127

FIGURA 7.17 – TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 30A, EVIDENCIANDO AUMENTO DOS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL COM O AUMENTO DA CORRENTE DE COLETOR, IMPONDO UM EQUILÍBRIO ÓTIMO DAS TENSÕES V_{CE} DOS DISPOSITIVOS.	129
FIGURA 7.18 – TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A, REFORÇANDO O RESULTADO ANTERIOR SOBRE O AUMENTO DOS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL COM O AUMENTO DA CORRENTE DE COLETOR.	129
FIGURA 7.19 – TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 90A, REFORÇANDO O RESULTADO ANTERIOR SOBRE O AUMENTO DOS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL COM O AUMENTO DA CORRENTE DE COLETOR. TAMBÉM PODE SER OBSERVADO O COMPORTAMENTO DE DESLOCAMENTO DE TENSÃO DO IGBT $I+$ DE CAUSA EXTRÍNSECA POR VOLTA DE 550NS.	130
FIGURA 7.20 – TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 30A. VERIFICA-SE ÓTIMO EQUILÍBRIO ENTRE AS TENSÕES DOS DISPOSITIVOS, BEM COMO OS EFEITOS MILLER E CAPACITÂNCIA NEGATIVA DE GATE.	130
FIGURA 7.21 – TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A. VERIFICA-SE TAMBÉM O AUMENTO DOS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL COM O AUMENTO DA CORRENTE DE COLETOR, A PARTIR DO INSTANTE 430NS, BEM COMO O AUMENTO DO PERÍODO DO EFEITO MILLER.	131
FIGURA 7.22 – TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 90A. VERIFICA-SE AINDA UM AUMENTO DOS EFEITOS DO BALANCEAMENTO INTRÍNSECO NATURAL COM O AUMENTO DA CORRENTE DE COLETOR, A PARTIR DO INSTANTE 430NS, BEM COMO O AUMENTO DO PERÍODO DO EFEITO MILLER.	131
FIGURA 7.23 – TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A E <i>SNUBBER</i> 3,3NF.	132
FIGURA 7.24 – TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A E <i>SNUBBER</i> 3,3NF.	133
FIGURA 7.25 – COMPARAÇÃO COM CAPACITÂNCIA DE <i>SNUBBER</i> DE 3,3NF E 6,6NF DURANTE AS TRANSIÇÕES DE DISPARO SOB CORRENTE DE CARGA DE 60A.	134
FIGURA 7.26 – COMPARAÇÃO COM CAPACITÂNCIA DE <i>SNUBBER</i> DE 3,3NF E 6,6NF DURANTE AS TRANSIÇÕES DE BLOQUEIO SOB CORRENTE DE CARGA DE 60A.	134
FIGURA 7.27 – IGBT <i>IRG7PSH73K10</i> : TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A. É NÍTIDO GRANDE DESEQUILÍBRIO ESTÁTICO INICIAL E DINÂMICO RESULTADO DE DIFERENÇAS INTRÍNSECAS CAUSADAS, ESPECIALMENTE, PELO IGBT $I+$ CUJA BATELADA DE FABRICAÇÃO DIVERGIA DOS DEMAIS.	135
FIGURA 7.28 – IGBT <i>IRG7PSH73K10</i> : TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A. É NÍTIDO GRANDE DESEQUILÍBRIO DINÂMICO E ESTÁTICO RESULTADO DE DIFERENÇAS INTRÍNSECAS.	136

FIGURA 7.29 – <i>IGBT IRG7PSH73K10</i> : TRANSIÇÃO DE DISPARO APÓS CERTIFICAÇÃO QUE TODOS OS COMPONENTES FORAM FABRICADOS EM MESMA BATELADA.	137
FIGURA 7.30 – <i>IGBT IRG7PSH73K10</i> : TRANSIÇÃO DE BLOQUEIO APÓS CERTIFICAÇÃO QUE TODOS OS COMPONENTES FORAM FABRICADOS EM MESMA BATELADA.	137
FIGURA 7.31 – <i>IGBT IGW60T120</i> : TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A.....	138
FIGURA 7.32 – <i>IGBT IGW60T120</i> : TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A.	139
FIGURA 7.33 – <i>IGBT NGTB50N120F</i> : TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A.	140
FIGURA 7.34 – <i>IGBT NGTB50N120F</i> : TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A.	140
FIGURA 7.35 – COMPARAÇÃO ENTRE OS <i>IGBTs</i> SELECIONADOS PARA UMA TRANSIÇÃO DE DISPARO COM CORRENTE DE CARGA DE 60A.	142
FIGURA 7.36 – COMPARAÇÃO ENTRE OS <i>IGBTs</i> SELECIONADOS PARA UMA TRANSIÇÃO DE BLOQUEIO COM CORRENTE DE CARGA DE 60A.	142
FIGURA 7.37 – <i>IGBT FZ250R65KE3</i> : TRANSIÇÃO DE DISPARO COM TENSÃO DE BLOQUEIO DE 1600V E CORRENTE DE CARGA DE 200A.	144
FIGURA 7.38 – <i>IGBT FZ250R65KE3</i> : TRANSIÇÃO DE BLOQUEIO COM TENSÃO DE BLOQUEIO DE 1600V E CORRENTE DE CARGA DE 200A.	144
FIGURA 7.39 – COMPARATIVO DE PERDAS EM DISPOSITIVOS SERIADOS EM FUNÇÃO DA FREQUÊNCIA DE CHAVEAMENTO CONSIDERANDO UM RAZÃO CÍCLICA DE 50%	145

LISTA DE TABELAS

TABELA 1.1 - PRINCIPAIS INVERSORES DE MÉDIA TENSÃO COMERCIAIS BASEADOS EM IGBTs PARA USO COM ACIONAMENTOS ELÉTRICOS.	30
TABELA 1.2 - RECOMENDAÇÃO ENTRE A TENSÃO DO BARRAMENTO C.C. E A TENSÃO REVERSA NOMINAL DE IGBTs (INFINEON).	31
TABELA 2.1 - IGBTs COM DIODO MAIS RECENTES DENTRO DOS PRÉ-REQUISITOS.	53
TABELA 2.2 - IGBTs SEM DIODO MAIS RECENTES DENTRO DOS PRÉ-REQUISITOS.	53
TABELA 2.3 - DIODOS ULTRA RÁPIDOS MAIS RECENTES DENTRO DOS PRÉ-REQUISITOS.	54
TABELA 2.4 - SELEÇÃO DE FETs EM CARBETO DE SILÍCIO.	55
TABELA 2.5 - SELEÇÃO DE DIODOS EM CARBETOS DE SILÍCIO.	55
TABELA 3.1 – COMPARATIVO DOS EFEITOS INTRÍNSECOS E SUAS CAUSAS.	78
TABELA 5.1 – TABELA PARA CÁLCULO DAS RAZÕES CÍCLICAS POR SETORES DO PLANO DOIS NÍVEIS.	99
TABELA 7.1 – COMPARATIVO ESTIMATIVO ENTRE O CUSTO DE UM MÓDULO TRADICIONAL NPP 3 NÍVEIS E O MÓDULO ENTRE-SÉRIE-LANÇADO 5 NÍVEIS CONSIDERANDO SEMICONDUTORES PARA 250A DE CORRENTE DE COLETOR.	143

1 Introdução

Este capítulo apresenta um breve resumo do estado da arte, seguido pela motivação, objetivos e as contribuições desta tese.

1.1 Contextualização Bibliográfica

1.1.1 Topologias Multiníveis

Conversores estáticos de potência multiníveis é a terminologia aplicada aos conversores capazes de sintetizar três ou mais níveis de tensão discretos. Tal capacidade é responsável por melhorar o espectro harmônico de tensão e corrente, reduzir o dv/dt e a tensão de modo comum. Contudo, os conversores multiníveis apresentam uma maior quantidade de dispositivos semicondutores de potência, o que normalmente aumenta sua complexidade e custo (Pandey *et al.*, 2003).

De acordo com Kouro *et al.*, 2010, a tecnologia de conversores estáticos de potência multiníveis teve seu advento no final dos anos 60, através da introdução da topologia de conversores em cascata (Gillet, 1963). Referida idéia se baseava na conexão em cascata de pontes H (*CHB*). Alguns anos mais tarde (Dickerson *et al.*, 1971), se introduziu o conceito dos conversores com capacitores flutuantes (*FC*). Por último, no final dos anos 70 (Baker, 1978), surgiu de modo pioneiro a concepção dos conversores com neutro grampeado por diodos (*NPC*).

Estas três topologias multiníveis podem ser consideradas clássicas ou tradicionais e as mais difundidas entre os produtos industriais lançados durante as últimas décadas. Várias topologias de conversores multiníveis foram propostas paralelamente. Contudo, muitas não se mostraram adequadas para o uso em média tensão ou não tiveram boa aceitação para aplicações industriais.

Com intuito de contextualizar esse fenômeno podem-se relacionar às Figuras 1.1, 1.2, 1.3, 1.4 e 1.5, que apresentam as estruturas organizacionais dos conversores multiníveis existentes em cada época, respectivamente, 2003, 2007, 2010, 2015 e, por fim, 2017. Com o decorrer dos anos, essas estruturas organizacionais se tornaram cada vez mais genéricas. Isso é o resultado da enormidade de topologias distintas que surgiram, o que dificultou o enquadramento nos grupos já definidos em cada época. Dessa forma, atualmente existe uma tendência de agrupá-los. Principalmente, pelo tipo de fontes c.c. que compõe cada topologia, única, múltipla simétrica ou assimétrica, além do conceito híbrido, ou seja, onde se emprega a flexibilização de componentes, fontes DC e topologias (Venkataramanaiah *et al.*, 2017).

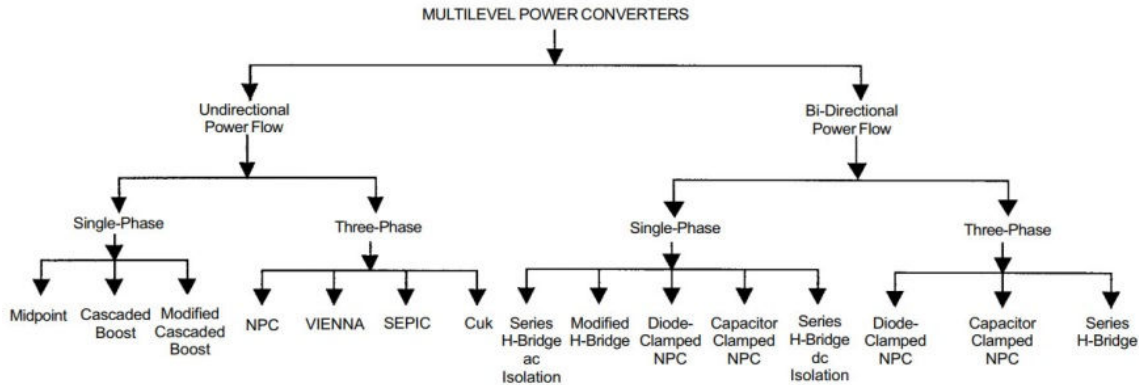


Figura 1.1 – Estrutura organizacional para conversores multiníveis por Pandey *et al.*, 2003.

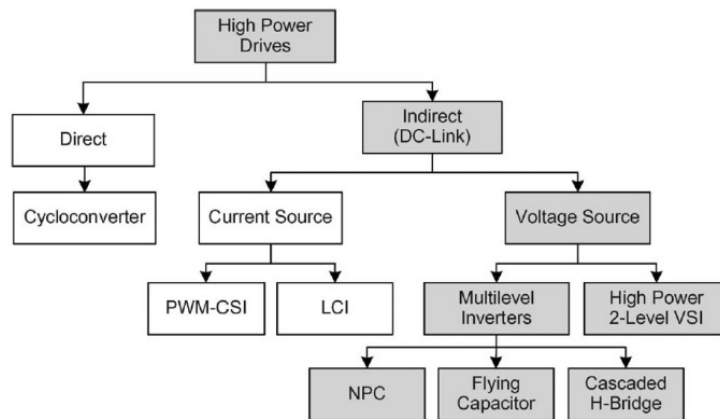


Figura 1.2 – Estrutura organizacional para conversores multiníveis por Rodríguez *et al.*, 2007.

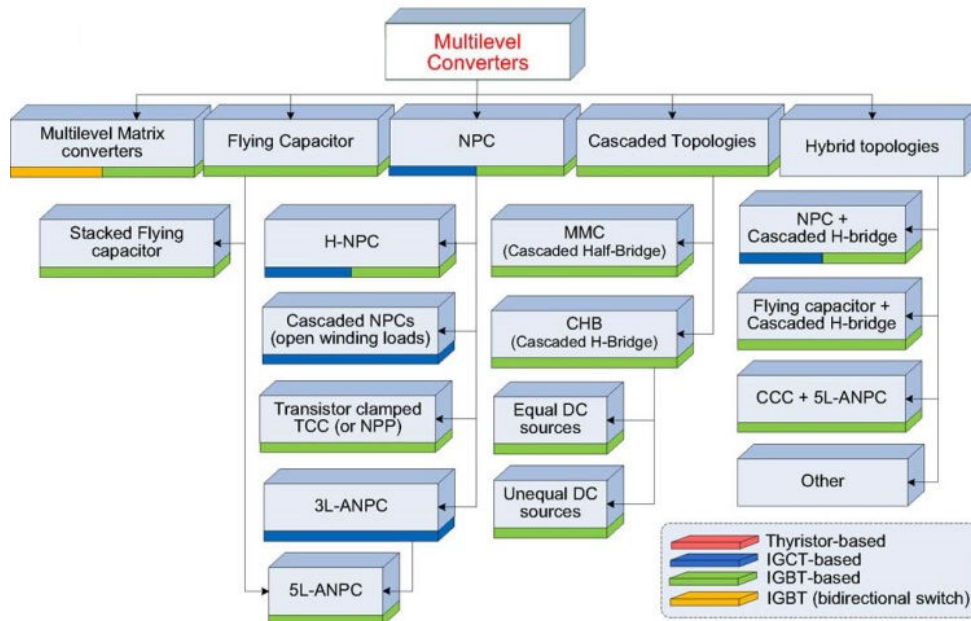


Figura 1.3 – Estrutura organizacional para conversores multiníveis por Kouro *et al.*, 2010.

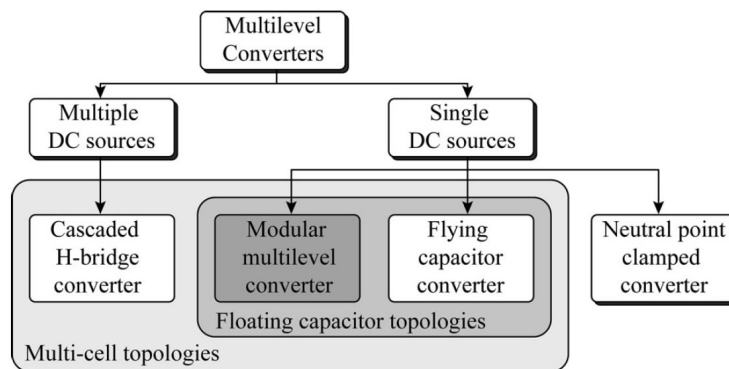


Figura 1.4 – Estrutura organizacional para conversores multiníveis por Perez *et al.*, 2015.

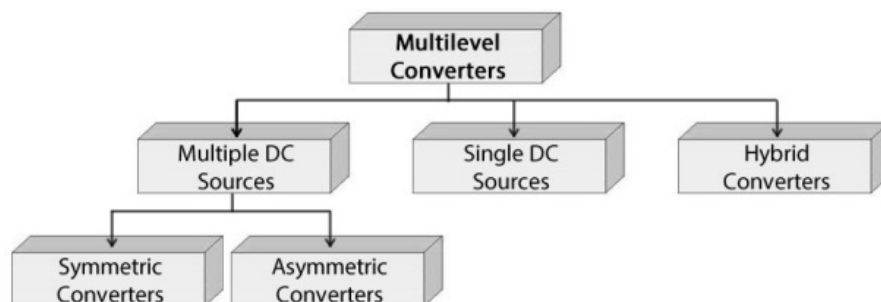


Figura 1.5 – Nova estrutura organizacional para conversores multiníveis por Venkataramanaiah *et al.*, 2017.

Com a finalidade acadêmica, serão abordadas primeiramente as estruturas clássicas, amplamente difundidas na indústria, suas evoluções naturais, algumas formas híbridas e outras mais recentes, contextualizadas dentro do conceito organizacional definido por Venkataramanaiah *et al.*, 2017 (Figura 1.5)

1.1.1.1 Conversores com pontes H em cascata (CHB):

Os conversores clássicos constituídos por pontes em cascata tiveram seu conceito introduzido através de uma patente depositada por Gillet em 1963 (*Bridge Type Static Inverter*), onde se associou inversores meia ponte. Posteriormente, esse tipo de conversor foi chamado de *CHB (Cascade H Bridge)*, associando pontes H completas, cuja estrutura básica é mostrada na Figura 1.6. Cada ponte- H possui seu próprio barramento *c.c.* e podem impor três diferentes níveis de tensão para cada célula (ponte- H). Cada célula é conectada em série com a próxima, de modo que a tensão total sintetizada se perfaz pela soma das saídas de cada célula.

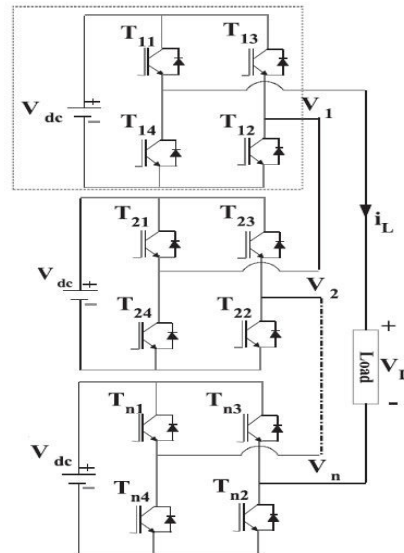


Figura 1.6 – Estrutura típica de um conversor constituído por pontes H em Cascata (Venkataramanaiah *et al.*, 2017).

As vantagens dessa estrutura são:

- O número de possíveis níveis de tensão de saída é maior que o dobro do número de conversores de *c.a./c.c.*;
- A série de pontes H permite uma organização modular e assim facilita o processo de fabricação;
- Cada módulo apresenta tensões de trabalho muito reduzidas e possibilita a utilização de componentes com menor tensão de bloqueio;
- Inerente aplicação em sistemas fotovoltaicos, células combustível, onde suas inúmeras fontes *c.c.* se enquadrariam com facilidade.
- Apresenta maior disponibilidade operacional, pois células danificadas podem ser desativadas através de contadores na saída.

Já as desvantagens são:

- Conversores distintos *c.a./c.c.* são necessários para cada uma das pontes H . Isso torna a aplicação mais complexa, pois requer múltiplos retificadores;
- Complexidade e custo de fabricação do transformador com múltiplos secundários;
- Muitos estados topológicos também levam ao aumento da complexidade de controle, já que será necessário controlar individualmente um grande número de componentes separadamente.

Em especial, essa tecnologia encontrou o caminho e se disseminou pela indústria a partir de patente depositada por Hammond, 1994, referida ao inversor de média tensão para acionamentos elétricos chamado *Perfect Harmony*, manufaturado inicialmente pela Robicon Group, empresa americana atualmente incorporada pela Siemens.

Exemplos mais detalhados de aplicações utilizando pontes H em cascata são descritos em Peng *et al.*, 1997, Khomfoi *et al.*, 2005 e Lezana *et al.*, 2008. Outros conversores em cascata, que, no entanto, empregam pontes diferentes da estrutura em H ,

podem ser encontrados na literatura, como descrito em Carpaneto *et al.*, 2007 e Malinowski *et al.*, 2010.

Essa topologia clássica é a raiz para subsequente evolução que culminou nas topologias chamadas de *MLI* (*MultiLevel Inverter*) com múltiplas fontes c.c. simétricas e, posteriormente, também com fontes assimétricas (Venkataramanaiah *et al.*, 2017).

Por exemplo, em Alishah *et al.*, 2014, foi descrita uma topologia *MLI* simétrica que apresenta a menor contagem de componentes por número de níveis (Figura 1.7), dentro da família de conversores simétricos. Ela é formada por uma parte responsável pela geração de níveis (*IGBTs* e diodos) e outra responsável por gerar a forma de onda de saída (ponte *H*). Sua maior desvantagem é a necessidade de componentes com diferentes tensões de bloqueio, em detrimento, principalmente, daqueles que formam sua ponte *H* de saída, que devem ter a capacidade de bloqueio compatível com a tensão plena do conversor.

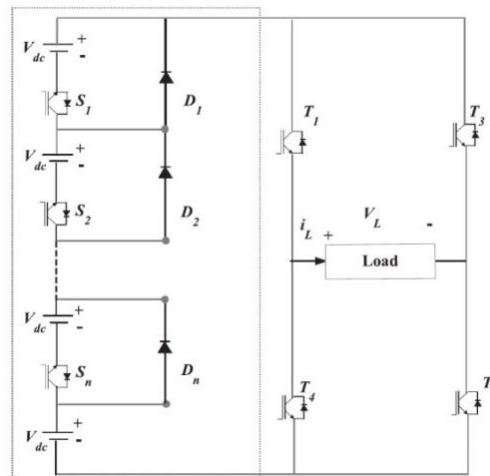


Figura 1.7 – Estrutura *MLI* Simétrica com baixa contagem de componentes por Alishah *et al.*, 2014

Já dentro da gama de *MLIs* assimétricas, em Manjrekar *et al.*, 1998, foi descrita uma simples modificação da topologia *CHB* clássica ao introduzir fontes c.c. assimétricas (Figura 1.8). Tem como benefício um significativo aumento de níveis de saída, sem

qualquer alteração topológica. Em contra partida, insere-se a necessidade de componentes com diferentes tensões de bloqueio, além do desequilíbrio de potência entre as pontes.

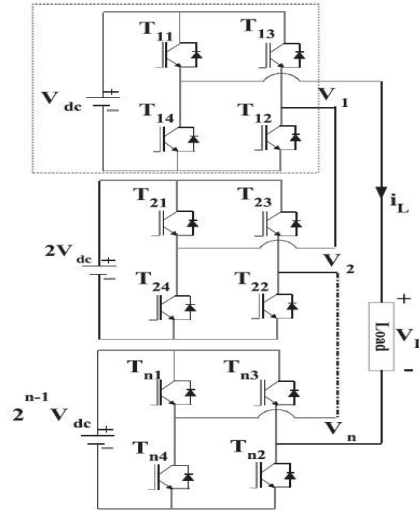


Figura 1.8 – Estrutura *MLI* Assimétrica simples evolução da clássica topologia *CHB* por Manjrekar *et al.*, 1998.

1.1.1.2 Conversores com ponto central grampeado (NPC):

O conceito de inversor com ponto de neutro grampeado foi introduzido por Baker, 1978, e intitulado, posteriormente, como *NPC* – *Neutral Point Clamped* – por Nabae *et al.*, 1981. Como exemplo, o conversor três níveis com ponto neutro grampeado (Figura 1.9) apresenta um barramento c.c. dividido em três níveis por dois capacitores conectados em série. O ponto “O” entre os dois capacitores pode ser considerado como ponto de neutro e os pontos “P” e “N”, respectivamente, positivo e negativo.

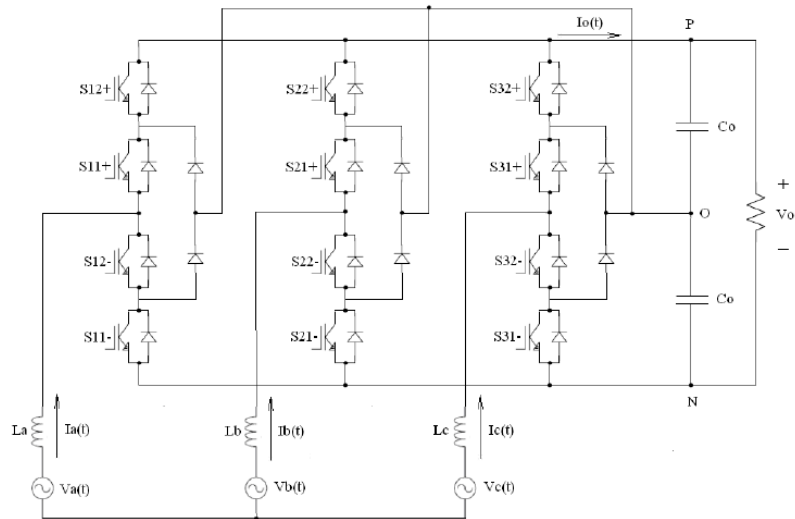


Figura 1.9 – Estrutura típica de um conversor *NPC* com diodos de grampeamento.

As vantagens dessa estrutura são:

- Todas as fases compartilham um barramento c.c. comum, facilitando um arranjo *"back-to-back"* (Khomfoi *et al.*, 2005), onde o mesmo conversor é utilizado no lado de inversão e de retificação;
- Os capacitores podem ser pré-carregados como um grupo utilizando apenas um circuito de pré-carga;
- Topologia amplamente difundida na literatura e na indústria devido a sua robustez vinculada ao inerente grampeamento das tensões de bloqueio dos dispositivos de potência através de diodos.

Já as desvantagens são:

- É necessária a monitoração e controle do balanceamento de tensão nos capacitores, porque os níveis c.c. intermediários tendem a carregar ou descarregar individualmente o barramento positivo ou negativo (Celanovic *et al.*, 2000);
- O número de diodos de grampeamento requeridos cresce com o quadrado do número de níveis. Dessa forma, por uma questão de custo é necessária a utilização de componentes de maior tensão de bloqueio;

- Existe uma limitação na frequência de chaveamento devido à utilização de componentes de maior tensão de bloqueio, consequência das maiores perdas de comutação destes componentes;
- As perdas nos dispositivos semicondutores e os loops de comutação não são uniformemente distribuídos;
- A estrutura de interligação topológica é complexa quando comparada com exemplos de topologias modulares em cascata e outras.

Exemplos mais detalhados de aplicações são descritos em Bernet, 2000, Bueno *et al.*, 2005, Krug *et al.*, 2007, e Rodriguez *et al.*, 2010.

Seguindo a linha evolutiva dessa topologia clássica, Bruckner *et al.*, 2001 introduziu a topologia com grampeamento ativo do ponto neutro (*ANPC – Active Neutral Point Clamped* - Figura 1.10). Ela surgiu em resposta a um problema intrínseco do *NPC* clássico: sua limitação de potência que decorre da falta de equilíbrio de perdas entre os componentes. Para tanto, os diodos de grampeamento são substituídos por dispositivos ativos, de modo a permitir a redistribuição ativa das perdas entre os componentes e possibilitar o aumento da capacidade de potência ou da frequência de chaveamento do conversor (Barbosa *et al.*, 2005, Bruckner *et al.*, 2005, Floricaud *et al.*, 2008).

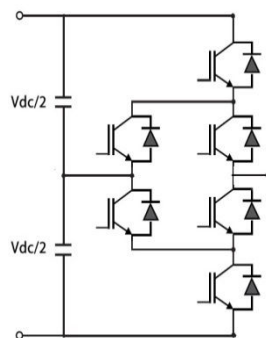


Figura 1.10 – Estrutura básica por fase de um conversor *ANPC*.

Em decorrência da origem no *NPC* clássico, o *ANPC* se beneficia das mesmas vantagens e padece, praticamente, das mesmas desvantagens, ao retirar a questão do desequilíbrio de perdas e adicionar a necessidade de mais componentes ativos, conjuntamente com seus aparatos de controle. É importante ressaltar que seu aumento total de potência resulta da redistribuição de perdas tornando-as mais uniformes e, portanto, reduzindo a temperatura dos componentes mais requisitados e aumentando daqueles menos requisitados. Todavia, como demonstrado em Liu *et al.*, 2015, o somatório total de perdas entre o *NPC* e *ANPC* é praticamente idêntico.

Ainda dentro do conceito de grampeamento pelo neutro, surgiu a concepção publicada por Holtz, 1977, denominada *TCC (Transistor Clamped Converter)*, que, ao invés do grampeamento por diodos, a conexão da saída foi feita diretamente por transistores bidirecionais. Diferentemente do ocorrido com o *NPC*, esse método topológico ficou praticamente esquecido por muito tempo. Reapareceu na literatura indiretamente em Meynard *et al.*, 2002a, como mostrado na Figura 1.11a. Posteriormente, foi chamado de *NPP (Neutral Point Piloted)* por Guennegues *et al.*, 2009, a despeito de ser a mesma topologia em uma forma de representação mais usual (Figura 1.11b).

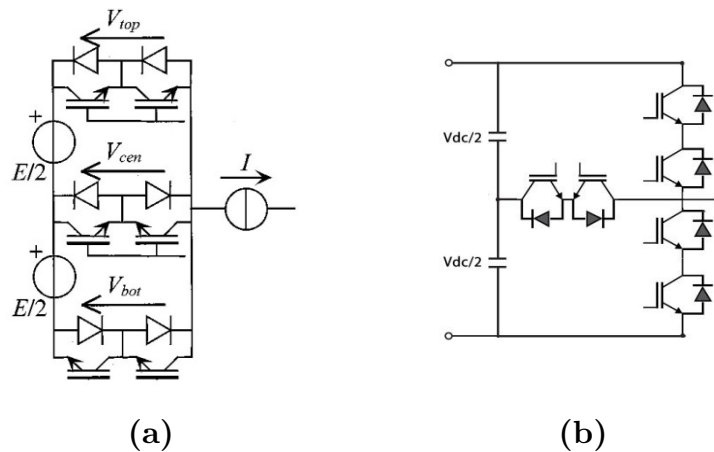


Figura 1.11 – *(a)* Estrutura *TCC* indiretamente representada em Meynard *et al.*, 2002a. *(b)* Estrutura *TCC* representada na forma mais usual e chamada de *NPP* por em Guennegues *et al.*, 2009.

As vantagens dessa estrutura são:

- Todas as fases compartilham um barramento c.c. comum, facilitando o fluxo de energia em ambos os sentidos na configuração “*back-to-back*”;
- Os capacitores podem ser pré-carregados como um grupo utilizando apenas de um circuito de pré-carga;
- Apresenta perdas totais equilibradas e redução das perdas de comutação pela metade nos dispositivos em série (comparação com *NPC*), o que possibilita o aumento da frequência de chaveamento ou da capacidade de potência (Guennegues *et al.*, 2009);
- Os loops de comutação são simétricos e equilibrados, além de se conectarem diretamente com a saída, o que facilita o projeto mecânico e permite uma diminuição natural das indutâncias parasitas.

Já as desvantagens são:

- Tal como o *NPC* é necessário monitorar e controlar a tensão nos capacitores do barramento positivo e negativo (Celanovic *et al.*, 2000);
- Os dispositivos associados em série apresentam a dificuldade do compartilhamento dinâmico e estático de suas tensões de bloqueio;
- Necessário utilizar *snubbers* passivos ou formas ativas de controle para garantir o correto compartilhamento de tensão entre os dispositivos.

Atualmente, esses conversores são comumente chamados de tipo *T* (*T-type*), já com o caminho bem definido até a indústria, principalmente, no setor de energia solar. Ainda são temas recorrentes de estudo, apresentando grande expansão na literatura. Exemplos de relevância na utilização dessa topologia em aplicações de baixa tensão são

descritos em Ma *et al.*, 2009, Schweizer *et al.*, 2010, Soeiro *et al.*, 2011, Choi *et al.*, 2015 e Vemuganti *et al.*, 2017.

1.1.1.3 Conversores com capacitores flutuantes (FC):

A topologia de conversores multiníveis com capacitores flutuantes (*FC – Flying Capacitors* - Figura 1.12) recebe também a denominação de conversor multinível com capacitores de grampeamento (Rodríguez *et al.*, 2002). Surgiu na literatura em Dickerson *et al.*, 1971, onde sua tensão de saída é formada pela soma das tensões dos capacitores flutuantes conectados em série.

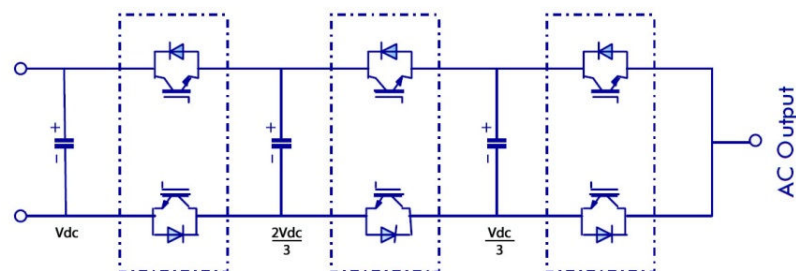


Figura 1.12 – Estrutura típica de um conversor multiníveis com capacitores flutuantes..

As vantagens dessa estrutura são:

- Redundância de estados topológicos disponíveis para equilibrar os níveis de tensão dos capacitores;
- Permite uma organização modular entre os níveis capacitivos (Meynard *et al.*, 1992);
- O grande número de capacitores possibilita seu funcionamento durante interrupções de curta duração ou afundamentos de tensão;
- *Snubbers* normalmente não são utilizados visto que os capacitores inerentemente atuam diminuindo o dv/dt .

Já as desvantagens são:

- É necessário balancear ativamente a tensão em todos os capacitores durante a operação ou mesmo durante a pré-carga;
- O grande número de capacitores torna mais caro e volumoso esse conversor quando comparado ao seu análogo com diodos de grampeamento;
- Capacitores de braço apresentam altos valores de capacitância para que sua tensão não varie drasticamente com a corrente da carga que irá percorrê-lo durante o período de chaveamento.

Esse conceito (Dickerson *et al.*, 1971) foi revisitado por Meynard *et al.*, 1992, onde introduziu-se a idéia de uma topologia modular com capacitores flutuante aos conversores multiníveis. Anos mais tarde, tal conceito e topologia encontraram seu caminho para a indústria (Courault *et al.*, 1999), através da ALSTON, que desenvolveu uma família de inversores de média tensão com a topologia de capacitores flutuantes, chamada de *VDM6000 Symphony* (Keller *et al.* 2001). No entanto, sua fabricação foi descontinuada em 2008.

Dentro da família de conversores com capacitores flutuantes, como mostrado na Figura 1.4, se enquadram os conversores convencionados como *MMC* (*Modular Multilevel Converter*), concebidos através da associação em série de células em ponte H completa, meia ponte, *NPC*, *FC*, dentre outras. Esses conversores atraíram a atenção da indústria, principalmente, para aplicações *HVDC* (Perez *et al.*, 2015), devido sua escalabilidade e alto número de níveis na tensão de saída (Figura 1.13). Constituem uma evolução dos conversores com pontes em cascata (*CHB*), onde as inúmeras fontes c.c. foram substituídas por capacitores. A despeito disso, partindo do pressuposto da categorização definida por Perez *et al.*, 2015, eles podem ser considerados parte do grupo de conversores *FC*, uma vez que apresentam capacitores flutuantes, que, por definição, são comutados em série perfazendo a tensão de saída e que por eles percorre

a corrente nominal do inversor a cada ciclo de chaveamento. Dessa forma, eles padecem das principais desvantagens apresentadas anteriormente para os conversores *FC*. Exemplos de relevância são detalhados em Hagiwara *et al.*, 2009, Saeedifard *et al.*, 2010, Song *et al.*, 2013, e Debnath *et al.*, 2015. Especialmente, em Hiller *et al.*, 2009, foi introduzida a concepção *M2C*, uma topologia *MMC* com módulos em meia ponte *H*, base para a família de inversores de média tensão chamada *Sinamics SM120 CM*, comercializado pela Siemens.

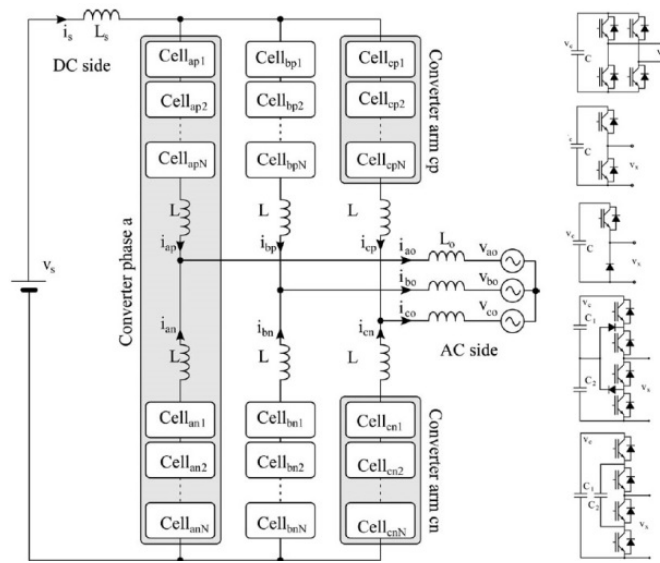


Figura 1.13 – Estrutura típica de um conversor *MMC* com capacitores flutuantes (Perez *et al.*, 2015).

Ainda em mesma categoria, os conversores chamados *SMC* (*Stacked Multicell Converter*) foram introduzidos na literatura por Gateau *et al.*, 2001. Constituídos por células empilhadas horizontal e/ou verticalmente são baseados na estrutura original de capacitores flutuantes (Figura 1.14). Efetivamente, eles se diferenciam ao empilhar células na vertical, pois o número total de níveis e estados topológicos análogos se multiplica expressivamente, uma vez que nesta topologia os pontos neutros do módulo capacitivo principal e dos secundários podem ser grampeados diretamente a saída.

Outros exemplos detalhados são descritas em McGrath *et al.*, 2007, Leredde *et al.*, 2011, Ghias *et al.*, 2013 e Gurpinar *et al.*, 2016.

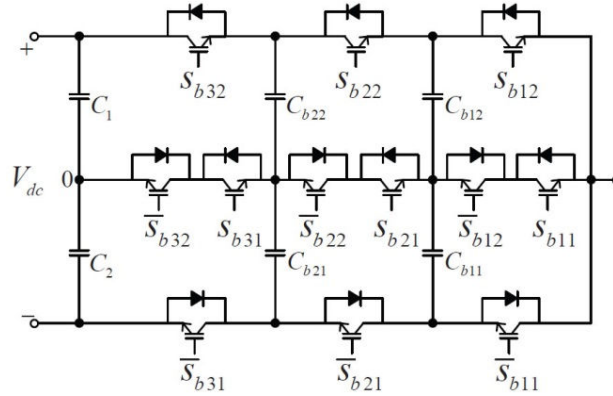


Figura 1.14 – Estrutura típica de um conversor *Stacked Multicell Converter*.

1.1.1.4 Conversores Híbridos:

Desde a introdução das primeiras topologias multiníveis, inúmeras variações e novos conversores multiníveis foram propostos na literatura como descreveram Pandey *et al.*, 2003, Rodríguez *et al.*, 2007, Kouro *et al.*, 2010, Perez *et al.*, 2015, e Venkataramanaiah *et al.*, 2017. Em sua maioria são circuitos "híbridos", ou seja, combinações de duas topologias clássicas multiníveis ou pequenas variações delas. No entanto, até o momento, poucos foram capazes de definir seu caminho para a indústria (Kouro *et al.*, 2010). Vale destacar que ao analisar uma topologia híbrida concebida a partir de estruturas clássicas abstrai-se grande parte de suas vantagens e desvantagens, uma vez que, a nova topologia herda parte das características de suas origens clássicas.

Nesta linha, pode ser citada, a título ilustrativo, uma estrutura híbrida proposta em Peng, 2000, e intitulada como estrutura multinível generalizada (Figura 1.15).

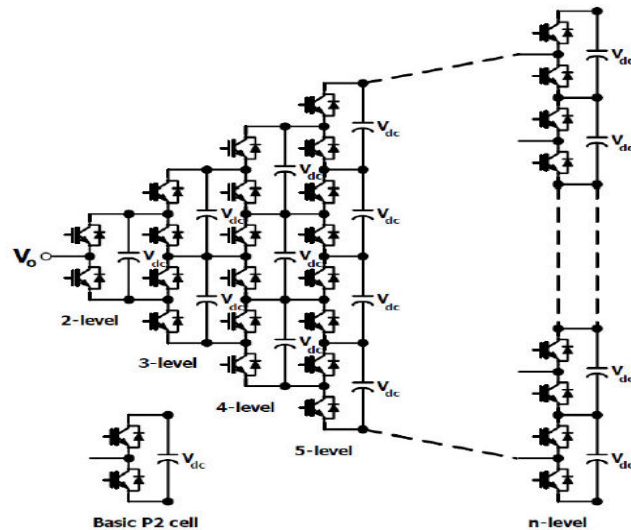


Figura 1.15 – Estrutura multinível generalizada híbrida por Peng, 2000.

As vantagens dessa estrutura são:

- A topologia do conversor multinível generalizada é capaz de balancear os níveis de tensão nos capacitores automaticamente, para qualquer número de níveis, sem qualquer circuito auxiliar, controle do inversor ou dependência das características da carga;
- Qualquer conversor, independentemente do número de níveis, pode ser obtido através de tal topologia generalizada.

Já as desvantagens são:

- Necessita de uma grande quantidade de dispositivos de potência para grampeamento;
- Muitos estados topológicos também levam ao aumento da complexidade de controle, visto que será necessário controlar individualmente um grande número de componentes separadamente.

Foi proposto por Barbosa *et al.*, 2005, um conceito híbrido com cinco níveis que associa as topologias *ANPC* e *FC*, chamado de *ANPC-5L* (Figura 1.16). Ele permitiu o aumento razoável do número de níveis e maior modularidade, características típicas dos

conversores *FC*. Essa topologia conseguiu estabilizar seu caminho para a indústria através da *ABB*, desenvolvendo uma família de inversores de média tensão para acionamentos elétricos chamada *ACS2000*, tal como evidenciado por Kieferndorf *et al.*, 2010.

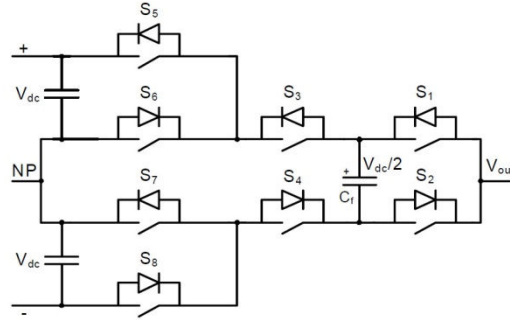


Figura 1.16 – Estrutura híbrida *ANPC-5L* por Barbosa *et al.*, 2005.

Outra estrutura híbrida (Figura 1.17) foi proposta por Rech *et al.*, 2007, associando topologias com 2, 3 e 5 níveis em cascata e com fontes c.c. assimétricas. Efetivamente, devido sua alta complexidade, considera-se apenas como uma solução para sistemas monofásicos (Venkataramanaiah *et al.*, 2017).

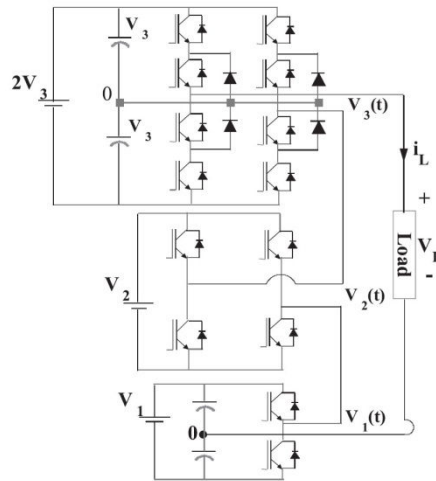


Figura 1.17 – Estrutura híbrida complexa por Rech *et al.*, 2007.

Por fim, um exemplo relevante é a topologia híbrida três níveis com indutor acoplado (CII), proposto por Forest *et al.*, 2007, e mostrada na Figura 1.18.

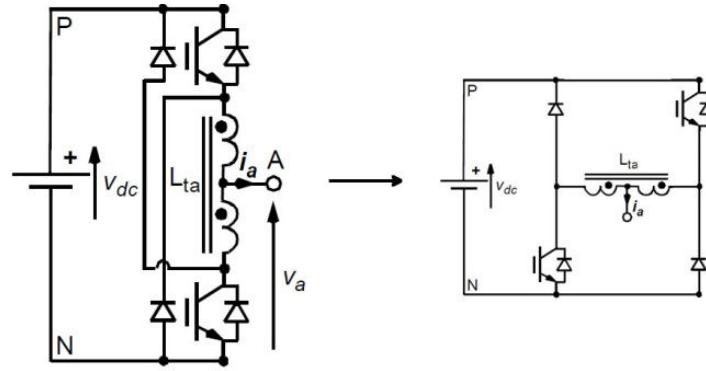


Figura 1.18 – Estrutura híbrida CII por Forest *et al.*, 2007.

Como ilustrado, a estrutura CII se baseia numa meia ponte H cujas saídas são conectadas através de um indutor acoplado magneticamente. Essa característica lhe confere uma vantagem significativa sobre o requisito do tempo morto, uma vez que entre os dispositivos de braço existe o indutor acoplado, responsável, também, por restringir a corrente circulante entre os braços. Além disso, usando um esquema apropriado de *PWM*, a frequência de chaveamento das tensões de saída pode ser duplicada. Importante notar, também, o acréscimo de níveis da tensão de saída, já que, originalmente, uma meia ponte H apresenta apenas dois níveis, ao contrário dos três níveis da estrutura CII. Outro fato interessante é que não houve aumento de componentes ativos, ou seja, apenas com a inserção do indutor acoplado pode-se dobrar a frequência de chaveamento, além de aumentar o número de níveis de tensão.

1.1.2 Principais Inversores Comerciais de Média Tensão

Para posterior comparação, a Tabela 1.1 apresenta um resumo sobre os principais inversores de média tensão comercializados para utilização com acionamentos elétricos, com a restrição de tensão de saída entre 3.3KV até 4.16KV (grande parte dos

acionamentos de média tensão) e a utilização de *IGBTs* como dispositivos de semicondutores.

Tabela 1.1 - Principais inversores de média tensão comerciais baseados em *IGBTs* para uso com acionamentos elétricos.

Família	Fabricante	Topologia	IGBTs
ACS2000	ABB	5L-ANPC	MV-IGBT
VDM6000*	GE	4L-FC	MV-IGBT
MV6000	GE	5L-NPP	LV-IGBT
MV7000	GE	3L-NPC	MV-IGBT
PerfectHarmony	Siemens	7L-H-CHB	LV-IGBT
SinamicsSM120	Siemens	9L-M2C-FC	LV-IGBT
SinamicsGM150	Siemens	3L - NPC	MV-IGBT
TMdrive-MVe2	TMEIC	3L - NPC	MV-IGBT
Dura-Bilt5i MV	TMEIC	3L - NPC	MV-IGBT
TMdrive-MVG2	TMEIC	9L-H-CHB	LV-IGBT
Tmdrive-70e2	TMEIC	3L - NPC	MV-IGBT
MV1000	Yaskawa	9L-NPC - CHB	LV-IGBT
SC9000	Eaton	3L - NPC	MV-IGBT
T300Mvi	Toshiba	5L - NPC - CHB	HV-IGBT
MVW01	WEG	3L - NPC	MV-IGBT
PowerFlex 6000	Rockwell	7L-H-CHB	LV-IGBT
Harvest-A	Harvest	9L - H- CHB	LV-IGBT
Frenic4600FM5e	Fuji	9L - NPC - CHB	LV-IGBT
Hivectol- HVI	Hitachi	7L-H-CHB	LV-IGBT
Megavert	Emerson	9L - H - CHB	LV-IGBT
MVD Series	Delta	9L - H - CHB	LV-IGBT

*VDM6000 com capacitores flutuantes foi descontinuado.

1.1.3 Associações Série de dispositivos

A demanda por *IGBTs* de alta tensão está em constante crescimento, especialmente para aplicações em sistemas de transmissão (*HVDC*), distribuição (*FACTS*) elétrica, compressores, bombas de alta potência, trens de alta velocidade e etc. No entanto, essas aplicações podem chegar a varias dezenas de quilovolts, não sendo

possível a utilização de *IGBTs* individuais, já que, atualmente, os *MV-IGBTs* apresentam, no máximo, 6,5kV de tensão reversa (Nguyen *et al.*, 2010, Abbate *et al.*, 2013). Tipicamente, como sugerido na Tabela 1.2 pela *Infineon*, a tensão reversa nominal do *IGBT* deve ser duas vezes maior que a tensão c.c. de bloqueio efetiva.

Tabela 1.2 - Recomendação entre a tensão do barramento c.c. e a tensão reversa nominal de *IGBTs* (Infineon).

Barramento C.C.	Vce (2 níveis)	Vce (3 níveis)
600V	1.2kV	-
750V	1.7kV	-
1.5kV	3.3kV	1.7kV
3kV	6.5kV	3.3kV
6kV	-	6.5kV

Neste contexto, além das topologias multiníveis, a associação em série de *IGBTs* é uma solução que visa atender níveis mais altos de tensão. Ela permite melhorar o desempenho das comutações pois utiliza componentes de tensões mais baixas e, por conseguinte, com melhor desempenho global de chaveamento e condução.

No entanto, a associação de *IGBTs* em série é desafiadora diante da dificuldade de assegurar a paridade no compartilhamento estático e transitório de tensão entre os componentes durante a comutação. Isto ocorre devido às diferenças entre as características dos dispositivos, às assimetrias e formas de associação físicas da topologia, bem como às diferenças nos circuitos de disparo (Abbate *et al.*, 2013).

Algumas técnicas de associação em série de *IGBTs*, foram introduzidas e discutidas em Consoli *et al.*, 1995, Hong *et al.*, 1999, Bruckmann *et al.*, 1998 e Palmer *et al.*, 2004, onde, em resumo, define-se que as dificuldades na associação em série podem estar relacionadas às seguintes características intrínsecas de cada dispositivo:

- Diferenças na corrente de fuga reversa;

- Diferenças nas correntes de cauda ou capacitância de saída (C_{ce});
- Diferenças na tensão limítrofe para condução (V_{th});
- Diferenças na capacitância *gate*-emissor (C_{ge}).

E também às seguintes características externas do circuito de potência:

- Diferenças nas indutâncias série parasitas entre dispositivos;
- Diferenças no circuito de comutação, por exemplo, tempo de atraso puro entre os comandos;
- Diferenças nas capacitâncias parasitas das fontes individuais de alimentação de cada circuito de disparo.

O desbalanceamento de tensão estático é causado pela diferença na corrente de cauda dos dispositivos, resultando em larguras distintas de suas respectivas zonas de depleção de carga. Para facilitar seu reconhecimento, um exemplo prático, obtido por Palmer et al., 2004, é apresentado na Figura 1.19(a) onde o desequilíbrio de tensão estático pode ser visualizado durante os instantes anteriores a 35us (disparo) e posteriores a 65us (bloqueio). Esse efeito físico é, usualmente, rejeitado através da utilização de resistores em paralelo com cada elemento da série. Neste sentido, eles também podem ser empregados em conjunto com métodos ativos, visto que, geralmente, estes atuam apenas durante os transientes de comutação (Hong *et al.*, 1999, Abbate *et al.*, 2013 e Lim *et al.*, 2013). Eles também podem ser seriados em conjunto com diodos zener (Mazuela *et al.*, 2018, Zhang *et al.*, 2017 e Baraia *et al.*, 2012), diminuindo as perdas ao limitar sua faixa de operação. Já na vertente ativa encontram-se métodos que recolocam, temporariamente, o dispositivo na região ativa de operação, mas padecem com o aumento das perdas do dispositivo semiconductor. Como, por exemplo, o controle ativo de tensão do *gate* (Zhang *et al.*, 2014, Yang *et al.*, 2018), que prevê um comando pré-condicionado de grampeamento temporário, rejeitando o desequilíbrio estático após certo período, sob pena de um complexo sistema de controle analógico e digital. E

também, o grampeamento de tensão via diodo *zener* com realimentação no sinal de *gate* (Bruckmann *et al.*, 1998, Piazzesi *et al.*, 2004), que limita o desequilíbrio estático de tensão entre dispositivos. Entretanto, esse não atingiria, necessariamente, o equilíbrio, pois se enquadra mais adequadamente como uma proteção de tensão máxima, ou seja, como um grampeamento ativo.

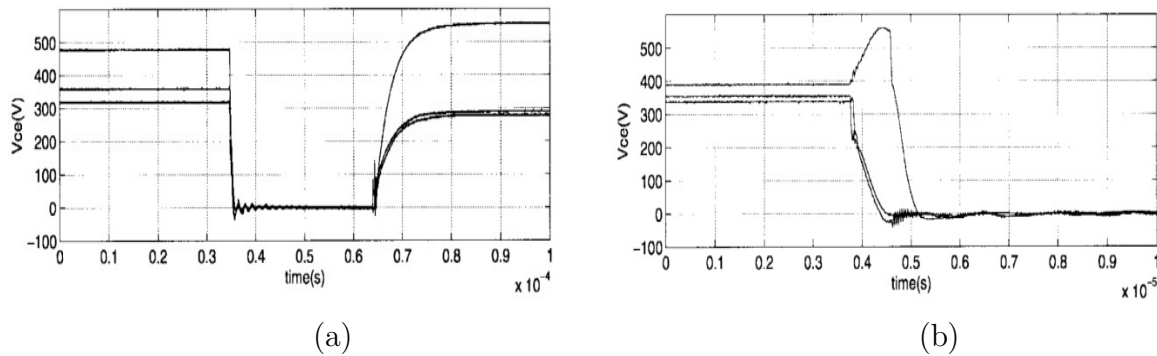


Figura 1.19 – (a) Desequilíbrio de tensão estático durante os instantes anteriores a 35us (disparo) e posteriores a 65us (bloqueio); (b) detalhe no desequilíbrio de tensão mostrando um fraco compartilhamento dinâmico de tensão (Palmer *et al.*, 2004).

Já o desequilíbrio dinâmico de tensão é aquele que ocorre durante o transitório de comutação, e, essencialmente, pode ser rejeitado por duas formas (Abbate *et al.*, 2010): A primeira prevê o equilíbrio através do lado da potência e lança mão de circuitos simples como os *snubbers* passivos C, RC, RCD, PC (Shammas *et al.*, 2010, Zhang *et al.*, 2014) ou de circuitos mais complexos como os *snubbers* ativos (Lim *et al.*, 2011, Yang *et al.*, 2014); A outra prevê o equilíbrio pelo lado de controle, onde se utiliza o circuito de disparo para atuar ativamente no perfil de corrente ou tensão do *gate*. Para a elucidação prática, na Figura 1.19(b) é mostrado um desequilíbrio de tensão durante transitório de disparo mostrando um pobre compartilhamento dinâmico de tensão (Palmer *et al.*, 2004).

Em Palmer *et al.*, 1995, se descreve um circuito de disparo ativo de *IGBTs* conectados em série para aplicações em tensões com dezenas de kilovolts. Um circuito eletrônico analógico atua ativamente no perfil dos transientes de comutação do *gate* ao

modificar dinamicamente a tensão no *gate*-emissor do requerido *IGBT*. Contudo, ao restringir o transiente, esse método contribui para o aumento das perdas de chaveamento. O controle a partir da realimentação da tensão coletor-emissor permite equilibrar tanto diferenças físicas entre *IGBTs* e componentes do circuito de disparo, bem como atrasos entre os comandos dos gatilhos. Uma evolução desse método foi proposta por Lim *et al.*, 2013, onde os parâmetros fixos do método anterior são agora dinamicamente estimados e variados, no intuito de obter a melhor resposta de balanceamento e perdas. Entretanto, a maior flexibilidade impõe a necessidade de um sistema mais complexo e micro-controlado.

Outra solução apresentada em Gerster *et al.*, 1994 e Gerster *et al.*, 1996, também descreve um controle ativo onde o desequilíbrio de tensão é rejeitado através da inserção de atrasos puros de tempo nos sinais de *gate* de cada dispositivo semiconductor (Figura 1.20). Efetivamente, numa associação em série, o avanço ou atraso no momento do disparo de um componente influencia diretamente na tensão de bloqueio dos outros. Para tal, um sistema de controle retroalimentado rastreia os atrasos necessários para impor o balanceamento ótimo, levando um tempo até a convergência. Contudo, considera-se um circuito de controle digital para definir as ações sobre o perfil da tensão de disparo. Neste método, o atraso causado pela necessidade da conversão analógica/digital e seu processamento limitam a frequência de chaveamento e a resposta no compartilhamento de tensão, aumentando ainda mais as perdas de comutação dos componentes.

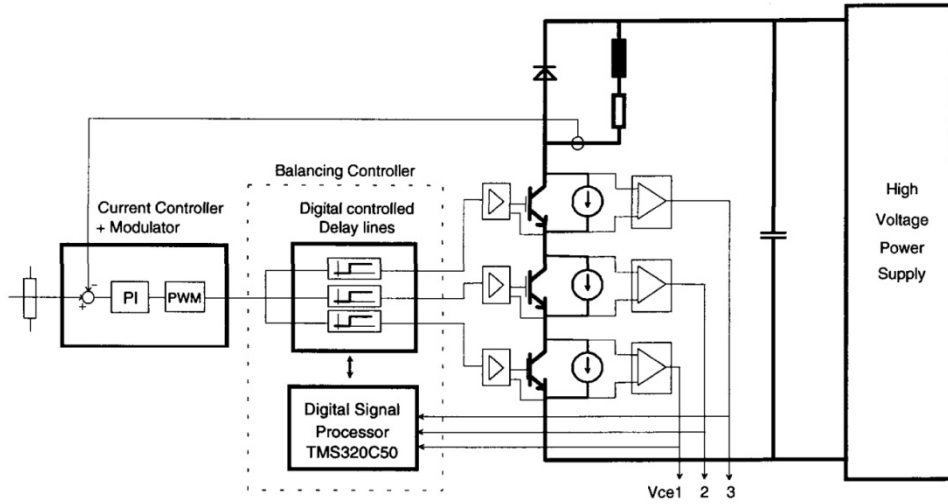


Figura 1.20 – Solução baseada na inserção de atrasos puros de tempo no sinal de gate (Gerster *et al.*, 1994)

A concepção proposta por Ji *et al.*, 2015 consiste em integrar os conceitos de controle passivo (*snubber RC*) e ativo da tensão V_{ce} , bem como utilizar um micro-controlador para rastrear e rejeitar tempos de atraso nos comandos de disparos dos *IGBTs*.

Em Abe *et al.*, 2002, outro método ativo foi proposto (Figura 1.21) e se baseia em reatores acoplados magneticamente e posicionados no circuito de disparo dos *IGBTs* associados em série. Desse modo, as diferenças no tempo dos comandos de disparo são rejeitadas, em virtude da imposição de correntes magneticamente balanceadas nos circuitos de disparo dos *IGBTs*.

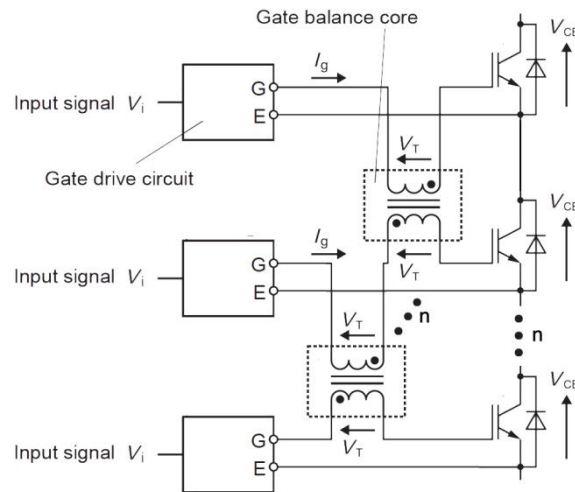


Figura 1.21 – Solução baseada em reatores magneticamente acoplados (Abe *et al.*, 2002)

Já sob a luz do conceito do balanceamento passivo em Nguyen *et al.*, 2010, são analisados os efeitos das capacitâncias parasitas na associação em série de *IGBTs*, que existem naturalmente em razão do sistema de alimentação do circuito de disparo e devido à geometria do circuito de potência. Assim, são propostas duas soluções que visam se beneficiar também de um projeto que potencializa um balanceamento natural, ao apresentar estudo fisicamente mais detalhado do circuito. A primeira é baseada em circuito de disparo auto-alimentado que diminui sua capacitância parasita. Já a segunda é baseada em um projeto estrutural da associação em série que fisicamente permite também uma diminuição e distribuição mais equilibrada das capacitâncias parasitas.

1.1.4 Associações em paralelo de dispositivos

Nessa pesquisa, existe uma preocupação sobre a limitação de potência causada pelos dispositivos discretos, pois, a despeito de apresentarem custos reduzidos, não possuem grande capacidade de condução de corrente. Neste caso, pretende-se lançar mão da associação em paralelo de componentes semicondutores discretos ou de topologias multiníveis.

A conexão de dispositivos em paralelo permite compartilhar o circuito de disparo, dissipador e eventuais circuitos de balanceamento (*snubber*). Todavia, a corrente entre eles deve ser equilibrada, condição que apresenta certos desafios, já que os dispositivos e seus circuitos individualizados podem apresentar características parasitas ou operacionais ligeiramente distintas. Tipicamente, essas distinções resultam em uma distribuição de perdas não equilibrada, o que resulta no maior aquecimento de certos dispositivos em detrimento de seus pares. Situação essa que enseja a falha do dispositivo por avalanche térmica ou limita a potência total. A solução mais simples é a utilização de

semicondutores *NPT* (*Non PunchThrough*) com coeficientes de temperatura positivos para a queda de tensão de condução ($V_{ce(on)}$), de modo a criar naturalmente um sistema fisicamente estável. Isso porque aqueles dispositivos mais aquecidos tendem a conduzir um volume menor de corrente, se resfriando, ao passo que os componentes mais frios absorvem a corrente excedente e tendem a se aquecerem.

Por outro lado, a conexão de topologias em paralelo, consiste na associação das estruturas topológicas completas em paralelo, normalmente interconectadas através de filtros passivos, o que limita a corrente de circulação entre os módulos. Neste âmbito, a seguir se faz, com especial atenção, a revisão sobre o conceito de associação de topologias ou conversores entrelaçados, no qual seu paralelismo é obtido através de indutores magneticamente acoplados.

Esse conceito foi introduzido por Ogasawara *et al.*, 1992, e, posteriormente, abordado por inúmeros estudos de referência nas duas últimas décadas. No entanto, ainda hoje consiste em assunto de relevância na literatura. A título de ilustração, pode-se citar, cronologicamente, estudos como Ueda *et al.*, 1995, Matsui *et al.*, 2000, Forest *et al.*, 2007, Salmon *et al.*, 2009, Cougo *et al.*, 2011, Sanchez *et al.*, 2013, Contreras *et al.*, 2013, Teixeira *et al.*, 2016, que abordam questões diversas ao enquadrar técnicas de *PWM*, projeto de indutores, estruturas topológicas e etc., ao conceito de entrelaçamento de topologias ou conversores.

Neste momento, para contextualizar principalmente a estrutura topológica de potência, cita-se a topologia cinco níveis *NPC*, entrelaçada com indutor acoplado, proposta Matsui *et al.*, 2000, e mostrada na Figura 1.22.

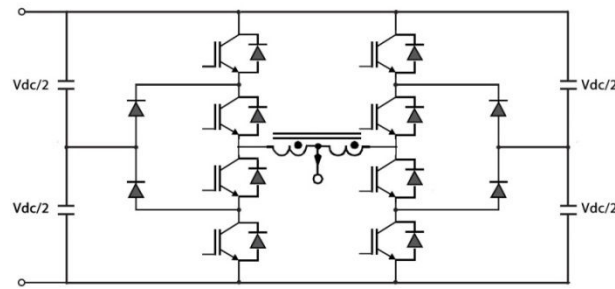


Figura 1.22 – Estrutura híbrida *NPC* entrelaçada por Matsui *et al.*, 2000.

Através da estrutura entrelaçada *NPC*, obtém-se o paralelismo, dobrando-se a corrente de saída. Aliado a isso, vantagens adicionais também são obtidas: dobro da frequência de chaveamento das tensões de saída; e aumento considerável do número de níveis através da fórmula $2n-1$. A desvantagem existente é a necessidade do indutor de saída, relativizada, pois, em geral, necessita-se de indutores de saída para limitação de dv/dt ou *ripple* de corrente. Portanto, nada melhor do que utilizar um componente já necessário, quando ele é capaz de garantir vantagens adicionais, além daquelas já usuais. Concomitantemente, é importante notar que o aumento inerente da frequência de saída, se beneficia também da diminuição percentual de suas dimensões.

1.1.5 Transistor Bipolar de Porta Isolada - IGBT

O *IGBT* (*Insulated Gate Bipolar Transistor*) pode ser representado por um circuito composto por um *MOSFET* e um *BJT*, onde a corrente de base do transistor bipolar *p-n-p* é fornecida por um *MOSFET* tipo *n*. Nesse sentido, considera-se que os fenômenos físicos de ambos dispositivos influenciam o comportamento dos *IGBT*'s. Entretanto, o *MOSFET* e o transistor bipolar internos, se comportam de maneiras diferentes de seus pares - aqueles utilizados em microeletrônica. Fato que é consequência de projetos com diferentes características funcionais e estruturais, que, por exemplo, resultam em efeitos como a não linearidade da capacitância *gate-dreno* no *MOSFET*,

bem como, o baixo ganho de corrente do transistor $p-n-p$, devido sua base larga projetada para bloquear tensões maiores e promover a modulação da condutividade (Baliga, 2010).

A estrutura típica de um *IGBT*, como mostrado na Figura 1.23, é composta de várias camadas de silício do tipo p e n , cujas concentrações de dopagem dependem da região. O substrato $p+$ forma a região de emissor do transistor *BJT*. A região de deriva $n-$ é, conjuntamente, a região de base do transistor *BJT* e a região de dreno do *MOSFET*. A região $p+$ superior forma o coletor do transistor *BJT* e atua como a região do corpo para o *MOSFET*. A região $n+$ forma a região da fonte para o *MOSFET*.

Tipicamente, a região de deriva é relativamente larga e levemente dopada para suportar altas tensões de bloqueio, enquanto os terminais do dispositivo são conectados às regiões altamente dopadas (Ma *et al.*, 1994).

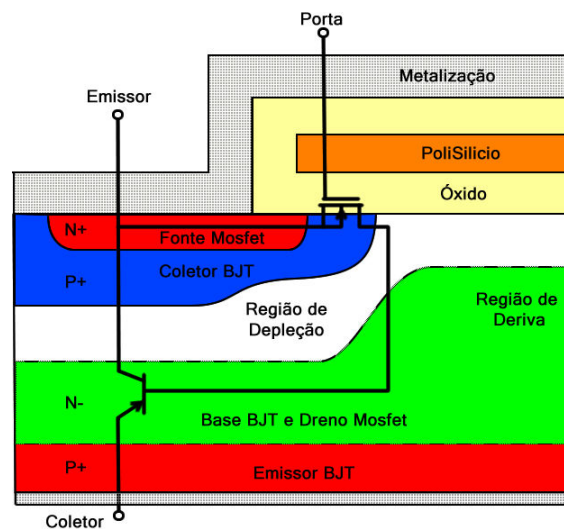


Figura 1.23 – Circuito equivalente e modelo físico típico para um *IGBT*.

De acordo com as características necessárias para certa aplicação, seria interessante escolher dispositivos que apresentassem alta condução de corrente, alta tensão de bloqueio e comutação rápida, entretanto certos quesitos são antagônicos aos outros. Por exemplo, a velocidade de comutação está inversamente ligada à tensão de bloqueio devido a largura da região de base. Neste sentido, existem três estruturas

básicas de *IGBTs* que visam promover um equilíbrio específico entre tais características para aplicações com diferentes necessidades: *Punch Through (PT)*, *Non-Punch Through (NPT)*, and *Field Stop (FS)* conforme mostrado na Figura 1.24.

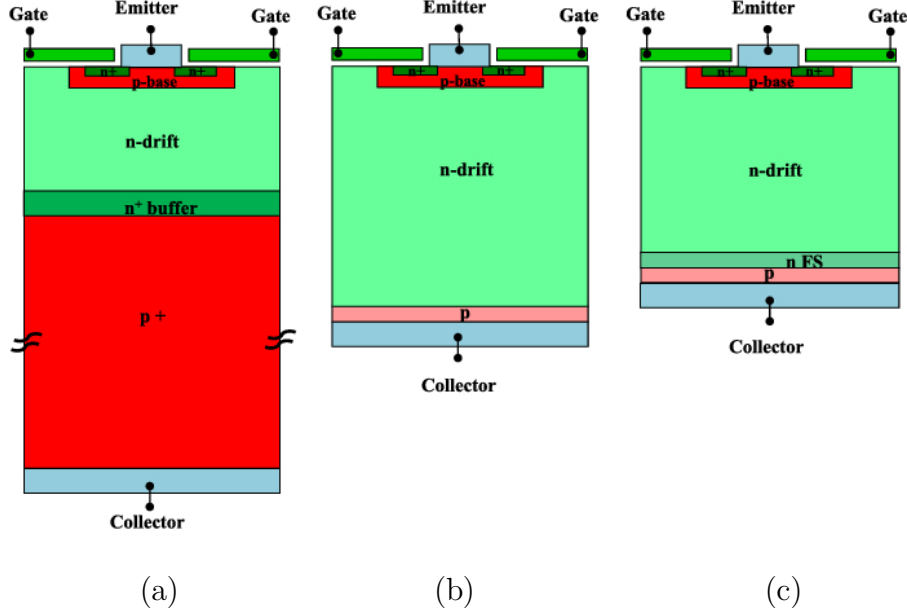


Figura 1.24 – Típicas estruturas de *IGBT* (Ivamuro *et al.*, 2017): (a) *PT-IGBT*, (b) *NPT-IGBT* e (c) *FS-IGBT*.

A estrutura *NPT* é também referida como uma estrutura simétrica porque possui o mesmo valor de tensão de ruptura direta e reversa. A distribuição uniforme do campo elétrico sobre a largura da base impõe a necessidade de bases maiores, entretanto, é adequada para aplicações *c.a.* como, por exemplo, ciclo-conversores em que o dispositivo deve suportar tensões em ambas as direções (Baliga, 2013).

Os *IGBTs PT (Punch Through)*, também conhecidos como *IGBTs* assimétricos, possuem uma camada de *buffer* do tipo *n*, o que permite uma distribuição trapezoidal do campo elétrico e a diminuição da largura da base. Por consequência, componentes mais rápidos para uma mesma tensão de bloqueio direto podem ser fabricados, contudo sob pena de perder a capacidade de bloqueio reverso (Ivamuro *et al.*, 2017). Isso torna os *IGBTs* assimétricos adequados para aplicações *c.c.* em que o dispositivo não é obrigado a bloquear tensões reversas.

Já os *IGBTs FS* (*Field Stop*) são formados por um tipo de camada *buffer* que apresenta menor concentração de dopagem. Ela é adotada com o propósito de diminuir a zero o campo elétrico durante o estado de bloqueio direto (Laska *et. al.*, 2000), provendo uma forma trapezoidal do campo elétrico, reduzindo a espessura da camada de deriva, entretanto sem aumentar a corrente de cauda, já que sua eficiência de emissor é menor (Husken *et. al.*, 2003). As baixas correntes de cauda os assemelham aos *IGBT NPT*, diferentemente dos *IGBTs PT*, onde é necessário lançar mão de técnicas de controle do tempo de recombinação para reduzir a corrente de cauda, característica que resulta no coeficiente negativo de temperatura da estrutura *PT*.

Outra classificação pode ser feita com base no tipo estrutural do *gate*. Ele pode ser fabricado na parte superior do dispositivo de forma horizontal (*gate* planar) ou verticalmente (*gate* em trincheira), tal como mostrado na Figura 1.25.

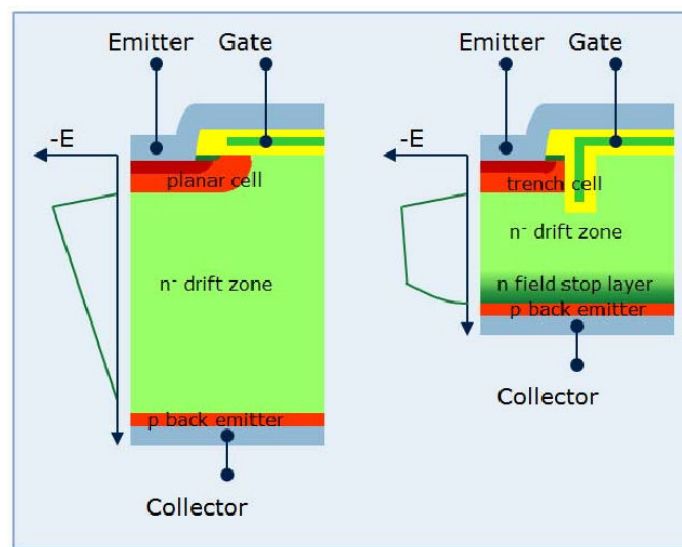


Figura 1.25 – Comparação de uma estrutura *NPT* (esquerda) com *gate* planar e uma estrutura *FS* (direita) com *gate* em trincheira (Ivamuro *et al.*, 2017).

O *IGBT* da *gate* em trincheira oferece a vantagem de reduzir as perdas de condução do dispositivo sem sacrificar a tensão de bloqueio. Isto é obtido através da formação de uma camada de acumulação ao longo dos lados das trincheiras, que liga a

fonte $n+$ à região do dreno $n-$. Isso melhora a condução diminuindo a resistência do canal do *MOSFET* e melhorando a injeção de elétrons na região de deriva, resultando em maior capacidade de condução de corrente por área (Rashid, 2017).

1.1.5.1 Modelagem de Semicondutores

Os modelos de dispositivos para semicondutores de potência são projetados com base em sua finalidade, ou seja, aqueles mais simples e de rápida execução que se prestam a estudar as interações do circuito com o dispositivo e aqueles mais complexos, que demandam mais tempo de execução, que pretendem entender a física interna dos dispositivos independentes (Sheng *et al.*, 2000).

Embora o objetivo básico de qualquer modelo de dispositivo seja fornecer uma simulação razoavelmente precisa das características do dispositivo, há várias formas possíveis de como desenvolver um modelo. Uma extensa revisão comparativa é apresentada por Sheng *et al.*, 2000, onde eles foram categorizados da seguinte forma:

- **Modelos Matemáticos:** Eles são baseados na física do dispositivo semicondutor e tenta resolver analiticamente as equações do dispositivo. A complexidade do modelo depende da precisão com a qual as equações podem descrever a física interna, bem como quantos efeitos são considerados. Um exemplo importante é o modelo unidimensional apresentado por Hefner *et al.*, 1994, amplamente implementado nos simuladores *SPICE* e *SABER*. No entanto, a desvantagem é que a solução dessas equações em uma, duas ou três dimensões exige cálculos complexos e demorados.
- **Modelos Semi-matemáticos:** Eles são baseados na física dos semicondutores, enquanto parte do modelo é construído usando modelos de circuito existentes nos simuladores para o transistor *BJT* ou *MOSFET*.

Esses modelos não são tão precisos quanto os modelos matemáticos, uma vez que nenhum dos modelos *BJT* existentes pode ser comparado ao *BJT* interno devido o baixo ganho do transistor *pnp* do *IGBT*.

- Modelos Empíricos ou Comportamentais: Esta categoria não inclui a física interna do dispositivo, mas a vê como uma “caixa preta” em que as características externas são descritas com algoritmos de ajuste de curvas ou tabelas. Devem ser utilizados quando o interesse focal é o comportamento do circuito externo sob a aplicação do dispositivo.
- Modelos Numéricos: Nesta categoria, todas as partes do *IGBT* são discretizadas em um número finito de elementos, onde, por exemplo, as derivadas das equações de difusão e transporte são modeladas por diferenças finitas. Estes modelos produzem os resultados mais precisos, mas com alto custo computacional e implementação em simuladores de circuitos complexos (*ATLAS*, *MEDICI* e etc).

1.1.6 Modulação Vetorial

Como citado em Holtz *et al.*, 1992, inúmeras estratégias de modulação, diferentes em conceito e desempenho, já haviam sido desenvolvidas no início dos anos 90, se diversificaram exponencialmente nas últimas décadas, principalmente, no que se refere a modulação *PWM* de conversores multiníveis. Tal fato decorreu do advento das mais diversas estruturas topológicas, que, em sua grande maioria, necessitavam de métodos de modulação específicos e individualmente projetados. Portanto, em razão da grande diversidade de métodos, aqui se faz uma contextualização das estratégias clássicas, base para o desenvolvimento deste ramo de estudo.

Dentre as estratégias clássicas, é importante citar a eliminação seletiva de harmônicos (*SHE*) com modulação por largura de pulso (*PWM*) pré-calculada. Esta técnica possibilita eliminar de maneira seletiva os harmônicos de baixa ordem da tensão de saída dos conversores. No entanto, ela é responsável por reduzir a dinâmica do conversor quanto à estabilização do barramento c.c., o que implica na limitação da banda passante do controlador de tensão (Enjeti *et al.*, 1988).

Pode-se destacar também a modulação por largura de pulso senoidal (*SPWM*). Ela apresenta frequência de chaveamento constante, além de reduzir os componentes harmônicos das tensões de saída do inversor (Holmes *et al.*, 2003). Na modulação senoidal, seu índice (M_i) é limitado pela forma de onda senoidal do sinal de controle, o que impossibilita uma boa utilização do barramento c.c. Nesse tocante, o modulador entra precocemente na região de saturação da tensão de saída do conversor.

Com o objetivo de melhorar a utilização do barramento c.c., é possível injetar, por exemplo, o terceiro harmônico no sinal modulante, o qual, neste caso, é também chamado de *H3PWM* (Hava *et al.*, 1998). Dessa mesma forma, muitos métodos utilizam como base o *SPWM*, contudo adicionam no sinal modulante diferentes ordens de sequência zero. Dentre esses métodos, pode ser também citado o *GDPWM* (*Generalised Discontinuous PWM*) (Hava *et al.*, 1998, *ALSTOM*, 2005), *NPSPWM* (*Neutral Point Stabilisation PWM*) (*ALSTOM*, 2005), *LSPWM* (*Loss Sharing PWM*) (*ALSTOM*, 2005) e etc.

Outro ramo de estudo são as técnicas de modulação por vetores espaciais, “*space vector*” (*SVPWM*), que permitem: reduzir o número de comutações dos interruptores; melhorar a distribuição das perdas nos semicondutores; diminuir o conteúdo harmônico da tensão de saída; e aumentar o índice de utilização do barramento c.c (Mendes, 2000, Wang *et al.*, 2002, Pinheiro *et al.*, 2005, Fortes *et al.*, 2011). Além disso, por ser um método algébrico com baixo processamento, a modulação “*space vector*” pode ser facilmente implementada em microprocessadores (Celanovic *et al.*, 2001).

1.2 Motivação

O mercado de dispositivos semicondutores de potência de média tensão é relativamente restrito e com baixo consumo de componentes, quando comparado ao mercado de semicondutores de baixa tensão. Em consequência, a velocidade de desenvolvimento e o custo dos dispositivos semicondutores de média tensão não acompanharam a mesma evolução vista nos setores com alto consumo de componentes nas últimas décadas. Essa realidade se confirma na prática, quando são analisados os dados do volume de unidades vendidas de inversores/motores de média tensão versus o volume de inversores/motores de baixa tensão. De acordo com *IHS*, 2016 para cada 2 motores de baixa tensão, atualmente são vendidos 3 inversores de baixa tensão (a unidade extra é vinculada a projetos de reforma, por exemplo), enquanto para cada 5 motores de média tensão, apenas 1 inversor de média é vendido. Considerando que na teoria, pensando em eficiência energética, todos os motores de média deveriam ser acionados por inversores, é claro e notório a existência de uma enorme lacuna a ser preenchida neste setor, sendo, portanto, um efeito colateral causado pelos elevados preços atuais destes equipamentos.

Portanto, a deflexão entre a evolução tecnológica dos dispositivos semicondutores juntamente com seu efeito colateral, criam uma enorme oportunidade de rever métodos e topologias que tangem a utilização de elementos estáticos de potência em série, projetados especificamente para o setor de acionamentos elétricos. Nesse compasso, componentes mais eficientes, avançados e com custos mais reduzidos, empregados atualmente nos setores de alto consumo (baixa tensão), podem ser utilizados em topologias seriadas multiníveis, de modo a atender aos pré-requisitos de equipamentos de média tensão.

A utilização de *IGBTs* conectados em série ainda é um tema atual na literatura, a despeito de sua discussão ter se iniciado na década de 90. É intrigante que, apesar dos

inúmeros estudos acadêmicos, atualmente não existam produtos comerciais disponíveis dentro do mercado de inversores de média tensão (até 4,16kV) e menor potência (até 1MW), utilizando essa tecnologia. É fato que dispositivos em série são utilizados com sucesso há décadas em certos nichos de soluções industriais, principalmente, em sistemas *HVDC* e *FACTS*. Além disso, esse conceito se enquadra perfeitamente com o surgimento de tendências, cada vez mais claras, na otimização do emprego de dispositivos discretos. Essas tendências envolvem o uso de componentes com encapsulamentos mais simples ou, até mesmo, sem eles, em soluções altamente integradas e especificamente otimizadas para a aplicação à qual o produto final pretende atender. Nesse sentido, surgiu a discussão do conceito “*packing versus unpacking*” (Stockmeier, 2008), ratificando tendências que já se encontram na indústria, tal como o inversor do automóvel Tesla S (Avron, 2015). Ele integra dispositivos menores, discretos (*TO-247*), mais baratos e associados em paralelo, em detrimento do uso de módulos maiores, com maior capacidade de corrente e integrados pelos próprios fabricantes de semicondutores. Já com relação à integração de componentes sem encapsulamento, pode-se citar Simonot *et al.*, 2010, Palmer *et al.*, 2012, dentre outros, que partiram para a integração completa, ao utilizar diretamente os semicondutores em chips e fazer o encapsulamento integrado e otimizado para suas necessidades.

Ao aliar o conceito de topologias multiníveis, sabe-se que é possível impor níveis de tensões menores, naturalmente ou ativamente controlados, de forma a nunca exceder a tensão máxima dos componentes discretos associados em série. Contudo, o grande desafio é encontrar topologias multiníveis menos complexas, que empregam um menor número de componentes de potência e, portanto, possibilitam uma diminuição de perdas, custos e um aumento da confiabilidade.

A utilização de *IGBTs* de baixa tensão permite o aumento da frequência de chaveamento, diminuição das distorções harmônicas de tensão e corrente, e, assim, o aumento da eficiência. Isto é devido primariamente à redução das perdas de comutação e

condução. Além disso, a utilização de *IGBTs* menores e discretos permite projetar módulos de potência baseados em placas de circuito impresso e, com isso, a produção em linhas automatizadas, bem como a redução de custos e tempo de todo o processo de produção.

Entretanto, o melhor custo benefício desta concepção esbarra na dificuldade da associação em série de dispositivos estáticos de potência. O problema principal é assegurar a paridade no compartilhamento de tensão entre os componentes durante o estado estacionário de condução, bem como durante os transitórios de chaveamento.

Como forma de exemplificar a potencialidade da proposta apresentada aqui, faz-se uma simples comparação de custo entre o *IGBT* de baixa tensão 1200V / 75A, modelo *IG40N120H3*, e o *IGBT* de média tensão 6500V / 250A, modelo *FZ250R65KE3*, ambos fabricados pela Infineon. Para tanto, considera-se a associação em série e paralelo mínima para equalizar a relação entre tensão e corrente dos *IGBTs* em questão. Portanto, é importante considerar quatro *IGBTs* em paralelo formando um módulo para equilibrar a corrente, bem como a associação de seis módulos em série para igualar a tensão. Neste caso, um *IGBT* de média tensão se equivaleria a um total de 24 dispositivos de baixa tensão associados (4 paralelos x 6 seriados). O preço atual de mercado para o *IGBT* de média tensão (*FZ250R65KE3*) está por volta de \$1078 (um mil e setenta e oito dólares), enquanto o *IGBT* de baixa tensão (*IKQ75N120CH3*) está por volta de \$8,5 (seis dólares e cinquenta centavos). Por conseguinte, uma associação em série de *IGBTs* de baixa tensão, resultaria num total de \$204 (duzentos e trinta e quatro dólares), valor bem abaixo dos \$1078 de um único *IGBT* de média tensão.

Analisando esse caso do ponto de vista da confiabilidade, admitindo uma distribuição exponencial dos tempos de falha, 3 anos de operação (26280 horas) e taxas de falhas de 100 *FIT* e 2400 *FIT*, encontra-se $R(t)=99,74$ e $R(t)=93,89$ como funções de confiabilidade, respectivamente, para o *IGBT* de média e seu análogo de baixa tensão. A redução da confiabilidade neste caso é, em tese, rechaçada em face do custo

expressivamente menor, tornando possível o fornecimento de estruturas redundantes, elevando sua disponibilidade total, sem perder efetivamente sua capacidade de concorrência no mercado.

Dessa maneira, é motivacionalmente importante neste projeto o seu enfoque mercadológico, onde premissas como número e tamanho de componentes, eficiência, distorções harmônicas, densidade de potência, modularidade, frequência de chaveamento, perdas, taxa de falhas, controle e outras singularidades, devem ser sempre equilibradas entre o custo e benefício. Afinal, um produto deve ter premissas funcionais robustas e de qualidade. Todavia, também deve apresentar um valor que o mercado está disposto a pagar. Em vista disso, é duplamente desafiador o processo de desenvolvimento de algo ainda inexistente, mas que apresente este equilíbrio entre a realidade prática do mercado e soluções meramente acadêmicas.

Em resumo, ao lançar mão das associações em série/paralelo de dispositivos semicondutores de baixa tensão/alto consumo, pretende-se tirar vantagem de seu melhor desempenho, sua capacidade de chaveamento em frequências mais elevadas, sua facilidade de montagem em placas de circuito impresso, sua inerente aplicação em topologias multiníveis, além de seu custo extremamente reduzido. Tantos fatores positivos impulsionam e dão sustentação a novos estudos no que tange as associações série e paralelo de dispositivos semicondutores, bem como, sobre topologias multiníveis, com foco em aplicações de média tensão, ao formatar uma possível solução ainda inexistente ou inexplorada na indústria.

1.3 Objetivos

O presente trabalho pretende propor e implementar nova estrutura topológica multinível para conversores estáticos de média tensão ao aliar os seguintes conceitos:

associações em série de semicondutores; topologias multiníveis; entrelaçamento topológico.

Os objetivos específicos são:

- Propor um método de baixo custo, confiável e eficaz para o balanceamento das tensões entre *IGBTs* associados em série;
- Propor uma topologia multinível integrada ao conceito da associação em série e entrelaçamento capaz de ser competitiva ao aliar custo e benefício;
- Desenvolver um modelo *3D* para a estrutura topológica proposta com base no conceito de modularização;
- Propor um método de modulação multinível capaz de suprir os requisitos específicos de controle da topologia proposta;
- Apresentar resultados de simulação para a associação em série dos dispositivos;
- Apresentar resultados de simulação para a topologia multinível;
- A partir do projeto *3D* desenvolvido e suas partes, montar um protótipo para obter resultados experimentais.

2 Topologia Multinível Entre-Série-Laçada

O conceito introduzido neste capítulo faz alusão às principais formas de associação utilizadas para o desenvolvimento deste trabalho: a associação de série e o entrelaçamento topológico através de indutor acoplado de saída. Portanto, daí surgem as topologias “Entre-Série-Laçadas”. Neste capítulo são apresentados os pré-requisitos de projeto, conceitos e estudos específicos, culminando, ao final, com o projeto elétrico e mecânico para a topologia.

2.1 Pré-requisitos

De acordo com IHS Markit, em 2016, o mercado de inversores de média tensão para acionamentos elétricos superava \$2,8bilhões (dois bilhões e oitocentos milhões de dólares) com previsão de crescimento até 2020. Atualmente, Technavio, 2019, já aponta crescimento consistente até 2023, cuja previsão é um incremento total de \$1.2bilhões (um bilhão e duzentos milhões de dólares), movimento em sintonia com a necessidade da indústria em melhorar sua eficiência, especialmente nos sistemas que demandam alta potência.

Neste âmbito, o presente trabalho pretende atacar a maior parcela do mercado de inversores de média tensão (55% são menores que 3MW), mas limita-se a tensão de saída entre 2.3kV à 4.16kV. Essa parcela apresenta custos/kW elevados, já que, em sua maioria, os inversores comerciais apresentam topologias voltadas para preencher uma gama muito vasta do espectro de potência (Figura 2.1), em detrimento da parcela de baixa potência.

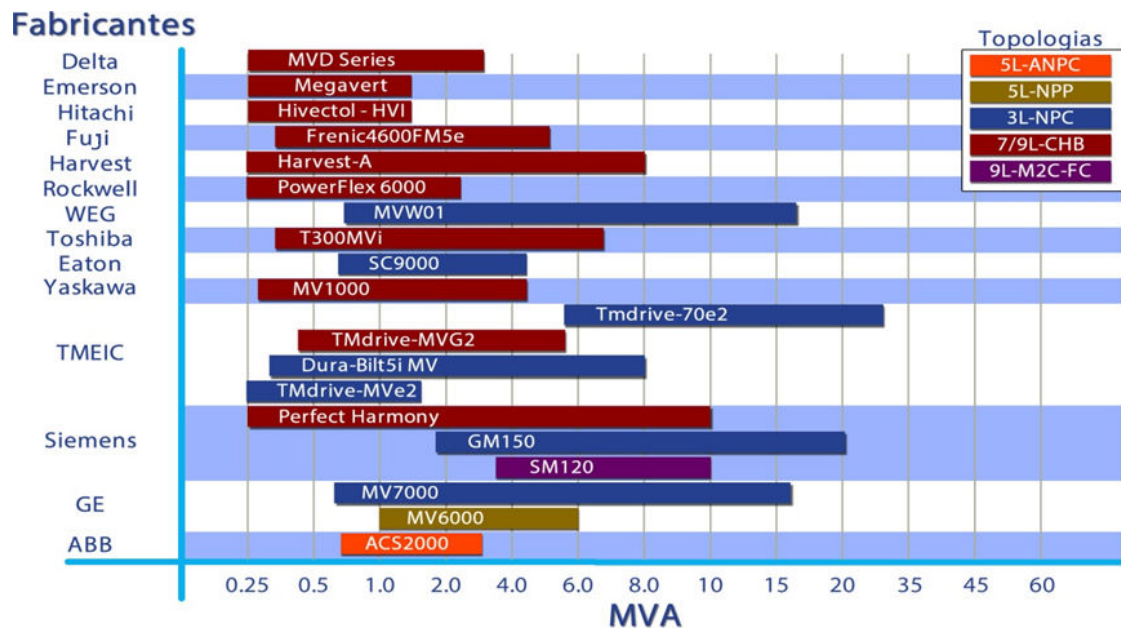


Figura 2.1 – Gama de potência dos inversores de média tensão comerciais na faixa entre 3,3kV e 4,16kV

Os inversores comerciais atuais podem ser divididos em três grupos:

1. Aqueles que utilizam topologias clássicas e semicondutores de média tensão;
2. Aqueles que utilizam topologias em cascata simétricas;
3. Aqueles que utilizam topologias com capacitores flutuantes.

Todos eles padecem do mesmo problema: o principal componente de suas topologias é aquele que eleva substancialmente seu custo. Respectivamente:

1. IGBTs de média tensão - Custo é relativamente elevado, altas perdas de chaveamento levando, conseqüentemente, a baixas frequências de chaveamento, maior volume de indutores e capacitores de filtro.
2. Transformador com múltiplos secundários - Custo e volume relativamente elevados, alta complexidade de projeto e fabricação.
3. Capacitores flutuantes – Valores de capacitância relativamente altos, projetados para conduzir a corrente nominal, conseqüentemente, apresentam custo e volume elevados.

Portanto, com o escopo de compor uma topologia mais competitiva, é importante evitar a utilização, em todo ou em parte, das topologias citadas acima. Por conseguinte, pretende-se propor uma topologia sem o uso de *IGBTs* de média tensão, sem capacitores flutuantes e sem o transformador complexo de entrada.

Através da Figura 2.1, é nítido que a topologia de pontes em cascata (*CHB*) domina a parcela de inversores de menor potência, pois se beneficiam do uso de *IGBTs* de baixa tensão. Entretanto, duas de suas desvantagens são preponderantes, dando abertura para novos competidores, já que contrapõem as tendências atuais para soluções “*transformerless*” e regenerativas (AbuRub *et al.*, 2010). São elas:

- A necessidade do transformador com múltiplos secundários, complexo, volumoso e de custo elevado;
- Tipicamente, não apresentam solução para sistemas regenerativos.

Em consonância ao exposto acima, Rodriguez *et al.*, 2010, comenta que esse segmento de mercado demanda soluções “*transformerless*” de baixo custo, com capacidade de regeneração e multiníveis, com baixo dv/dt e tensões de modo comum, de acordo com os requisitos de alta qualidade e densidade de potência inerentes aos sistemas de média tensão.

Considerar-se-á que a estrutura topológica proposta deve apresentar um número mínimo de nove níveis na tensão de saída, mesmo patamar dos inversores com pontes em cascata (*CHB*). Atualmente, eles são reconhecidos, no nicho de mercado em questão, como aqueles que apresentam o maior número de níveis, menores índices de distorções harmônicas e reduzida tensão de modo comum. Considerando a fórmula $2n-1$ para o aumento de níveis ao lançar mão do entrelaçamento e um barramento *c.c.* perfazendo 6000V que atende o setor 4,16kV, conclui-se a necessidade de braços individuais com cinco níveis. Onde, portanto, cada nível perfaz 1200V (6000V / 5 níveis) durante os comandos de disparo e bloqueio ativos, enquanto no estado inativo de bloqueio (durante os chaveamentos dos outros estados da topologia) a tensão de bloqueio pode chegar a

6000V, daí a necessidade mínima e inicial de seis dispositivos de 1200V. Para os testes principais de chaveamento ativo (teste em pulso duplo) considerar-se-á que cada dispositivo estará bloqueando a tensão de 200V (1200V / 6 dispositivos).

Outro quesito importante é o desenho de uma topologia, na qual o conceito de modularização topológica possa ser empregado, ao aliar, também, sua fabricação em placas de circuito impresso para reduzir custos e tempo do processo de fabricação. Neste sentido, sempre que possível, deve-se especificar partes industrializadas e de alto consumo para os componentes elétricos e mecânicos

2.2 Seleção dos dispositivos de chaveamento

Um dos principais encapsulamentos para *IGBTs* discretos é o *TO-247*, um padrão seguido por todos os fabricantes e cuja montagem é dedicada para placa de circuitos impressos. Dentre essa gama de dispositivos, os possíveis candidatos serão escolhidos dentre aqueles com tensão coletor-emissor (V_{ce}) de 1200V e com corrente contínua de coletor (I_c) superior a 50A para uma temperatura de encapsulamento de 100°C. Os pré-candidatos estão dispostos na Tabela 2.1, Tabela 2.2 e Tabela 2.3 que apresentam, respectivamente, *IGBTs* com diodo, *IGBTs* sem diodo e Diodos ultra-rápidos.

Tabela 2.1 - *IGBTs com diodo mais recentes dentro dos pré-requisitos.*

Referência	Fabricante	Tecnologia	$I_c(A)$ @100°C	Custo (\$)	Série/ Paralelo	Total (\$)
IKY75N120CH3	Infineon	HighSpeed 3	75	9.5	4 x 6	228
IKY50N120CH3	Infineon	HighSpeed 3	50	6.6	4 x 6	158
IKQ75N120CH3	Infineon	HighSpeed 3	75	8.5	4 x 6	204
IKQ50N120CH3	Infineon	HighSpeed 3	50	6.34	4 x 6	190
IKQ75N120CT2	Infineon	TrenchStop 2	75	8.5	4 x 6	204
IKQ50N120CT2	Infineon	TrenchStop 2	50	6.34	5 x 6	181
NGTB50N120F	OnSemi	TrenchStop 2	50	2.8	5 x 6	84
IRG4PSH71UD	IR	Gen4	50	9.78	5 x 6	293
IRGPS60B120KD	IR	Gen5	60	12.2	4 x 6	292
IRG7PH46UD	IR	Gen7	60	6.57	4 x 6	157

Tabela 2.2 - *IGBTs sem diodo mais recentes dentro dos pré-requisitos.*

Referência	Fabricante	Tecnologia	Ic (A)@100°C	Custo (\$)	Série/ Paralelo	Total (\$)
IGW60T120	Infineon	TrenchStop 2	60	3.52	4 x 6	84.5
IXYX100N120C3	IXYS	HighSpeed 3	100	11.92	3 x 6	214.5
IRG7PH42U	IR	Gen7	60	3.9	4 x 6	93,6
IRG7PH50U	IR	Gen7	90	5.9	3 x 6	106.2
IRG7PSH73K10	IR	Gen7	130	9.4	2 x 6	112.8

Tabela 2.3 - Diodos ultra rápidos mais recentes dentro dos pré-requisitos.

Referência	Fabricante	Ic (A)@100°C	Tempo Rec. (ns)	Custo (\$)	Série/ Paralelo	Total (\$)
RHRG75120	Fairchild	75	60	4.2	4 x 6	100.8
STTH6012W	ST	60	50	3.2	4 x 6	76.8
STTH75S12W	ST	75	40	2.1	4 x 6	50.4
DUR75120W	LittleFuse	75	100	3.6	4 x 6	86.4
DHG60I1200HA	IXYS	60	200	3.76	4 x 6	90.24

As tabelas anteriores visam compor uma forma de comparação quanto às correntes dos dispositivos, suas tecnologias, e, principalmente, quanto ao custo de sua associação em série e paralelo, ao compor um análogo para o *IGBT* de média tensão 6500V / 250A, modelo *FZ250R65KE3* (Obs.: este modelo será utilizado como comparação experimental, posteriormente).

Portanto, na Tabela 2.1 foram selecionados (linha em verde) os *IGBTs* de menor custo de suas associações, dentre aqueles com corrente de coletor de 50A (*NGTB50N120F* - 2017) e 75A (*IKQ75N120CH3* - 2016), além de apresentarem tecnologias atualizadas e distintas.

Já na Tabela 2.2, entre os dispositivos sem diodo de roda livre, foram escolhidos: o *IGBT* de melhor custo global (*IGW60T120* - 2010); aquele com maior corrente de coletor e bom custo/benefício (*IRG7PSH73K10* - 2010); e aquele com melhor custo e tecnologia mais atualizada (*IGW40N120H3* - 2014). Em conjunto, para completar a solução com diodo externo, selecionou-se, na Tabela 2.3, o diodo ultra-rápido de menor custo e com menor tempo de recuperação reversa (*STTH75S12*).

Com o enfoque acadêmico, mas sem deixar de vislumbrar uma futura redução dos custos como aumento de sua demanda, *a priori* foram levantados possíveis candidatos de dispositivos *MOSFET* e diodos em carbeto de silício dispostos, respectivamente, na Tabela 2.4 e Tabela 2.5. Devido ao elevado custo desses dispositivos foram escolhidos aqueles com valor mais acessível.

Tabela 2.4 - Seleção de FETs em carbeto de silício.

Referencia	Fabricante	Ic (A) @100°C	Custo (\$)	Série/ Paralelo	Total (\$)
C2M0025120D	Cree	60	67.2	4 x 6	1612
C2M0040120D	Cree	40	32.2	6 x 6	1160
SCT3030KLGC11	Rohm	51	35.8	5 x 6	1074
SCT3040KLGC11	Rohm	40	20.6	6 x 6	741

Tabela 2.5 - Seleção de Diodos em carbetos de silício.

Referencia	Fabricante	Ic (A) @100°C	Custo (\$)	Série/ Paralelo	Total (\$)
C4D40120D	Cree	76	37.2	4 x 6	892
FFSH40120ADN	OnSemi	76	25.4	4 x 6	609
SCS240KE2C	Rohm	56	25.7	5 x 6	771
IDW40G120C5B	Infineon	76	24.6	4 x 6	590

2.3 Estruturas Topológicas Propostas

Sob a luz da revisão bibliográfica e dos principais pré-requisitos norteadores deste projeto, na Figura 2.2 apresenta-se a primeira topologia proposta e suas transformações através do conceito de entrelaçamento e associações em série, chamado aqui, de topologia multinível tipo *T* Entre-Série-Laçada.

3 Associação em Série

Neste capítulo são apresentados os pré-requisitos de projeto, conceitos, estudos e efeitos físicos específicos, que foram as bases para o encontro da solução proposta quanto à associação em série de *IGBTs*.

3.1 Pré-requisitos

Para solucionar os problemas da associação em série de dispositivos semicondutores lança-se mão de dois tipos de técnicas para controlar o desequilíbrio de tensão estático e transitório: técnicas passivas e técnicas ativas. Visando a racionalização dos limites de proposição da solução foram elencados os seguintes pré-requisitos:

A. Sincronismo Perfeito de Disparo: Um dos principais fatores de desequilíbrio de tensão durante o transitório de chaveamento de *IGBTs* seriados é causado por atrasos puros no tempo, inerentes aos circuitos de disparo com comandos individualizados. Considerando a utilização de *IGBTs* ultra-rápidos, com tempos de comutação na casa de dezenas de nano segundos, mesmo uma pequena incerteza na precisão do sincronismo dos canais de disparo, pode levar ao distanciamento do resultado esperado. Dessa forma, é indispensável propor uma fonte de disparo capaz de impor um sincronismo extremamente preciso nos comandos dos dispositivos semicondutores associados em série.

B. Isolação Galvânica de Alimentação e Comando: Em se tratando de uma associação em série de dispositivos para uma aplicação multinível de média tensão, outra questão importante é como prever circuitos de disparo

isolados entre si e entre o controlador responsável por seu comando. Assim, se devem prever formas de isolamento para a alimentação do circuito de disparo. Usualmente, a isolamento galvânica é feita através de pequenos transformadores individuais. Seu nível de isolamento é crucial à aplicação em média tensão, o que aumenta seu custo e dimensão. Já do lado do comando, em sua enorme maioria, a isolamento dos circuitos é feita através de transmissores e receptores ópticos. Contudo, o custo elevado desses receptores, transmissores e das próprias fibras ópticas também é um fator limitante em sua utilização. Isso restringe sua aplicação a sistemas de maior potência e tensão, onde o seu custo relativo é reduzido.

C. **Custo Relativo:** Especialmente aqui, o fator custo impõe limites restritos, afinal deve-se esperar que o valor de um circuito de disparo seja menor ou igual ao do próprio dispositivo que este pretende controlar. Portanto, ao considerar apenas *IGBTs* com encapsulamento *TO-247*, a simplicidade se torna algo indispensável para a viabilidade do projeto. Dessa forma, se deve atacar, primeiramente, as causas extrínsecas e intrínsecas, em oposição à tentativa direta de rejeitar seus efeitos, já que isso implicaria em maior custo para a solução.

D. **Características Extrínsecas:** É de suma importância a preocupação com as características elétricas parasitas. Elas são oriundas da concepção mecânica e elétrica do circuito de potência, tal como evidenciado em Nguyen *et al.* 2010, a respeito da capacitância parasita das fontes de alimentação. Portanto, se deve impor uma simetria exata dos circuitos de comando e potência, bem como a redução de enlaces magnéticos gerados

por indução de corrente (di/dt) nos circuitos de disparo individuais, tal como já abordado sobre o projeto dos módulos potência, no capítulo 2.

E. Características Intrínsecas: Quanto à natureza das características intrínsecas, é importante a seleção atenta dos modelos de *IGBTs*, uma vez que as tecnologias de fabricação influenciam nos efeitos físicos, e, por conseguinte, comportamentais da associação em série (Palmer *et al.*, 1996). Certos efeitos físicos, naturalmente, tendem a levar os dispositivos ao equilíbrio durante os transitórios de comutação, como, por exemplo, o efeito Miller (Consoli *et al.*, 1995, Hess *et al.*, 2000). Onde, os dispositivos mais rápidos se “desaceleram”, enquanto os mais lentos se “aceleram” durante o transitório. Tal comportamento é consequência da característica inversamente proporcional da capacitância gate-coletor (C_{gc}) em relação à tensão coletor-emissor (V_{ce}).

F. Balanceamento Passivo: Conjuntamente, ainda para rejeitar eventuais diferenças intrínsecas, circuitos passivos *snubbers* com valores percentuais menores devem ser utilizados, na medida em que o desequilíbrio é reduzido, sob o ponto de vista de uma solução otimizada, primariamente, para causas e, secundariamente, para os efeitos.

3.2 Circuito de Disparo

Uma solução muito interessante para disparo foi proposta por Brehaut *et al.*, 2006, onde se utiliza um enlace magnético duplo através do qual a energia de alimentação e o comando de disparo (codificado em alta frequência) são transmitidos. Dessa forma, três transformadores de pulso são acoplados via laços de corrente, tal como mostrado na

Figura 3.1. Assim, é possível eliminar as fontes auxiliares necessárias para a alimentação individual dos circuitos de disparo. Contudo, a transmissão de dados em alta frequência, que trafegam as informações de disparo sobre um link não isolado do circuito de potência, torna esse método mais complexo (necessidade de codificador e decodificador) e pouco confiável devido à dificuldade de garantir imunidade eletromagnética.

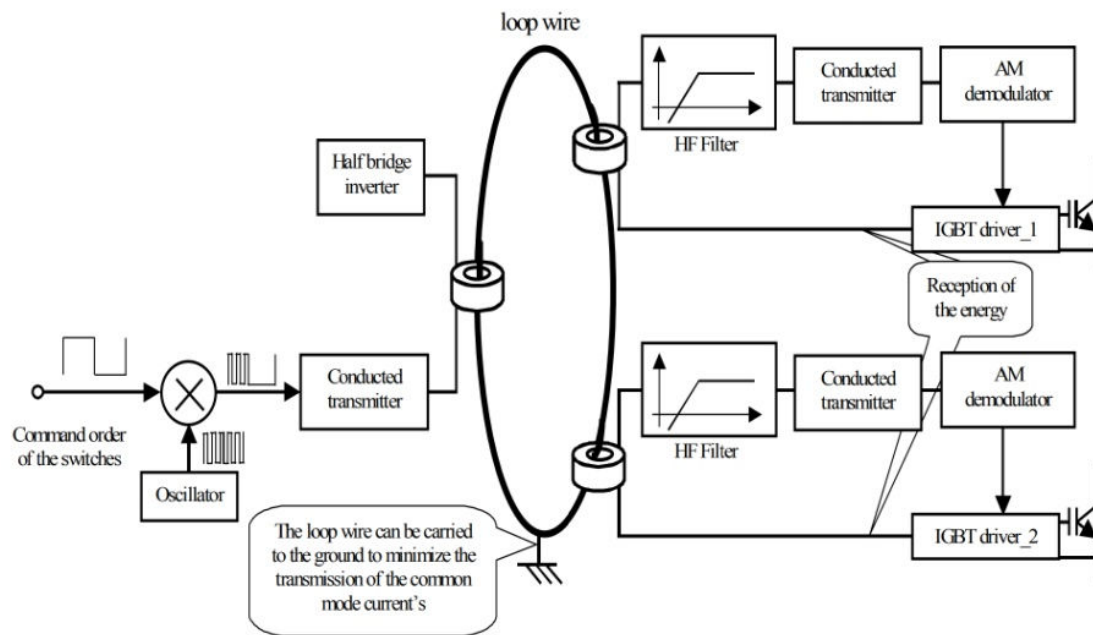


Figura 3.1 – Circuito de disparo magneticamente isolado com dupla isolamento galvânica por Brehaut *et al.*, 2006.

O sistema de disparo proposto nesta tese é um circuito de *gate* baseado no comando típico de tiristores utilizando transformadores de pulso, aliado ao conceito de alimentação individual apresentado em Brehaut *et al.*, 2006 e estendido para a associação seriada de *IGBTs*. Em suma, um retificador síncrono isolado por um transformador de pulso é responsável por tratar os pulsos de corrente responsáveis pelo disparo, bem como controlar a tensão máxima e mínima do *gate*. Esses comandos são impostos periodicamente através de dois enlaces magnéticos simples no primário - um para os comandos positivos e outro para os negativos. Ambos são alimentados por um amplificador de pulsos, tal como ilustrado na Figura 3.2.

apresenta diferenças que saltam aos olhos, na medida em que os eventuais ganhos são obtidos com aumento de complexidade do circuito. Nesse sentido, partiu-se para a utilização do circuito *snubber* mais simples possível, sendo constituído, portanto, por um resistor (R_s) e um braço RC , tal como mostrado na Figura 3.4.

O desbalanceamento de tensão estática é causado pela diferença na corrente de cauda e pode ser rejeitado facilmente através da utilização de resistores de balanceamento (R_s) em paralelo com cada um dos dispositivos. Como parâmetro, pode-se considerar que a corrente que passará pelo resistor seja 5 vezes maior do que a expectativa de diferença nas correntes de cauda dos dispositivos (Wintrich *et al.*, 2011), considerando o pior caso com temperatura de junção elevada.

Já para o equilíbrio dinâmico de tensão deve-se utilizar um circuito RC , que em tese limita o tempo de comutação dos dispositivos, de acordo com a constante de tempo RC . Essencialmente escolhe-se essa constante como algo em torno do tempo de comutação do semicondutor.

3.4 Balanceamento Intrínseco Natural

O balanceamento intrínseco natural é aquele que através de comportamentos físicos relacionados às características intrínsecas do dispositivo é capaz de levar naturalmente ao compartilhamento dinâmico de tensão entre os dispositivos associados em série. Primeiramente, três efeitos serão analisados individualmente a seguir, contextualizando suas condições operacionais e motivacionais. Posteriormente, serão discutidos sob a ótica da associação em série.

3.4.1 *Disparo Próprio*

O termo intitulado como disparo próprio, “*self turn-on*”, foi introduzido por Münster *et al.*, Maio de 2016 e pode ser identificado pelo aumento da tensão V_{ge} (linha

4 Modelagem de *IGBTs*

Atualmente, os modelos disponíveis para *IGBTs* nas plataformas de simulação para circuitos elétricos como *Matlab Simulink*, *PSPICE* e *Saber*, são modelos unidimensionais como o proposto em Hefner et al., 1994, voltados para a interação comportamental básica com os circuitos, apresentando, portanto, simplificações e efeitos restritos. Já as plataformas de simulação numéricas como *ATLAS*, *TAURUS* e *Prometheus* são utilizadas para o estudo e projeto detalhado dos dispositivos, apresentam uma usabilidade extremamente complexa, voltada ao estudo físico do dispositivo individual, em detrimento de sua aplicação em associações.

4.1 Modelo via *Simulink*

Nesse âmbito foi necessário partir para o estudo e implementação de um modelo analítico onde os efeitos do balanceamento intrínseco natural fossem inseridos e que permitisse ser simulado no *Matlab Simulink*, facilitando sua ampla utilização em associações diversas. Como exemplo, em Palmer et al., 2001 foi desenvolvido um modelo analítico para *IGBTs* visando sua interação com uma célula *chopper* dentro da plataforma *Simulink* (Figura 4.1). Posteriormente, muitos artigos foram baseados nesta implementação, inserindo efeitos específicos, como: os existentes em *MV-IGBTs* de média tensão com camada *Field Stop* em Kang et. al., 2003; os efeitos bidimensionais do canal *MOS* em *gate* planares em Lu et. al., 2010; e correções na capacitância de entrada em Yang et. al., 2014.

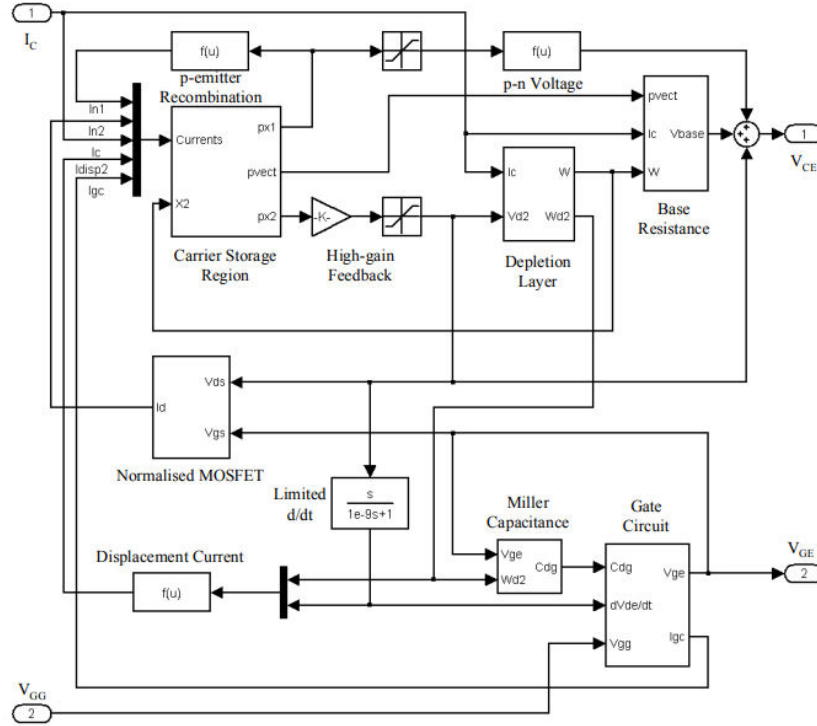


Figura 4.1 – Diagrama de blocos *Simulink* para modelo analítico de *IGBT* visando aplicação em células *chopper* (Palmer *et. el.*, 2002).

Nos tópicos seguintes são apresentados os modelos para as várias regiões que compõem o *IGBT*, tal como mostrado na Figura 1.23: região de deriva (*n*-); canal *MOS*; região de depleção; quedas de tensão. Entretanto, será adicionado ao modelo a camada buffer e o *gate* em trincheira (Figura 1.25), parte importante da concepção dos *IGBTs* selecionados no capítulo anterior.

4.2 Modelo para Região de Deriva

O modelo utilizado nesta tese baseia-se na solução da equação de difusão ambipolar (equação 4.1), sob as condições de quasi-neutralidade (*n~p*) e alto nível de injeção, que é obtida através de equações clássicas que descrevem o comportamento físico de dispositivos semicondutores como (Pierret, 1996): equações de continuidade, equações

de densidade de corrente, equação de Poisson e relação de Einstein entre mobilidades e coeficientes de difusão.

$$D \frac{\partial^2 p(x, t)}{\partial x^2} = \frac{\partial p(x, t)}{\partial t} + \frac{p(x, t)}{\tau} \quad (4.1)$$

Onde $p(x, t)$ é a concentração de portadores, τ é a constante de tempo de recombinação e D é o coeficiente de difusão definido em (4.2):

$$D = 2 \frac{Dn \cdot Dp}{Dn + Dp} \quad (4.2)$$

Onde Dn e Dp são os coeficientes de difusão para elétrons e lacunas, respectivamente.

A solução da equação de difusão depende do conhecimento das condições de fronteira, tal como mostrado na Figura 4.2.

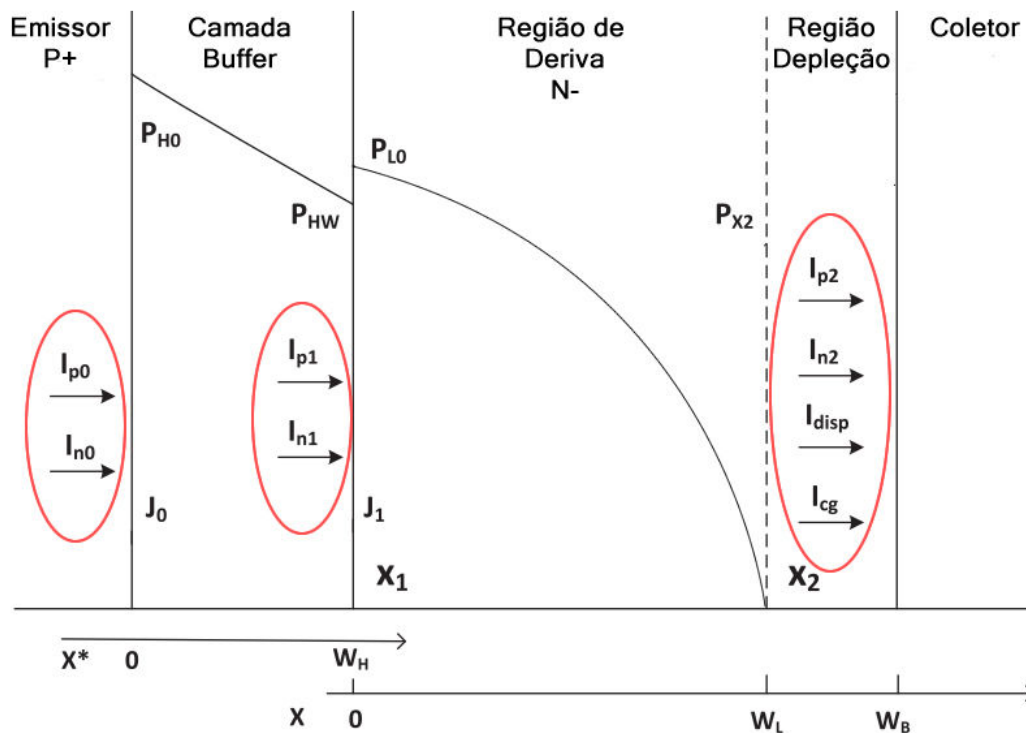


Figura 4.2 – Diagrama unidimensional da distribuição de cargas no IGBT .

As condições fronteira para a região de deriva são usualmente definidas em função das correntes de elétrons e lacunas nas junções (I_{n1} , I_{n2} , I_{p1} e I_{p2}). Entretanto, se deve

considerar também as correntes I_{disp} e I_{cg} oriundas da variação de largura das regiões de depleção (Palmer *et al.*, 2001), sob a mesa e a região de *gate*, respectivamente:

$$I_c = I_{n1} + I_{p1} = I_{n2} + I_{p2} + I_{disp} + I_{cg} \quad (4.3)$$

Dessa forma, as condições de fronteira são:

$$\left. \frac{\partial p}{\partial x} \right|_{x_1} = \frac{1}{2 \cdot q \cdot A} \left(\frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right) \quad (4.4)$$

$$\left. \frac{\partial p}{\partial x} \right|_{x_2} = \frac{1}{2 \cdot q \cdot A} \left(\frac{I_{n2}}{D_n} - \frac{I_c - I_{n2} - I_{disp} - I_{cg}}{D_p} \right) \quad (4.5)$$

As fronteiras da região de deriva, na qual a equação de difusão ambipolar se aplica, são dependentes da largura da região de depleção sob a região de *gate*. O controle da evolução das fronteiras consiste em deslocá-la, a partir do instante em que a concentração na mesma tende a tomar valores negativos, criando uma realimentação para que a condição de concentração nula ($p(x_2) = 0$) seja obtida.

- **Equação de Síntese da Série de Fourier Discreta:**

Fazendo uma analogia com a equação de síntese da série de Fourier discreta, Gillet *et. al.*, 1995 e Leturcq *et. al.*, 1996, demonstram que a distribuição de carga na região de deriva pode ser solucionada ao se encontrar os coeficientes v_k da série de Fourier apresentada na equação 4.6.

$$p(x, t) = v_0(t) + \sum_{k=1}^{\infty} v_k(t) \cdot \cos \left[\frac{k \cdot \pi \cdot (x - x_1)}{(x_2 - x_1)} \right] \quad (4.6)$$

Onde o coeficiente v_0 é dada por:

$$(x_2 - x_1) \left(\frac{dv_0}{dt} + \frac{v_0}{\tau} \right) = D \left[\left. \frac{\partial p}{\partial x} \right|_{x_2} - \left. \frac{\partial p}{\partial x} \right|_{x_1} \right] - I_0 \quad (4.7)$$

Com:

$$I_0 = \sum_{n=1}^{\infty} v_n \cdot \left(\frac{dx_1}{dt} - (-1)^n \frac{dx_2}{dt} \right) \quad (4.8)$$

E os coeficiente $v_{1..k}$ são dados por:

$$\frac{(x_2 - x_1)}{2} \left(\frac{dv_k}{dt} + v_k \left[\frac{1}{\tau} + \frac{Dk^2\pi^2}{(x_2 - x_1)^2} \right] \right) = D \left[(-1)^k \frac{\partial p}{\partial x} \Big|_{x_2} - \frac{\partial p}{\partial x} \Big|_{x_1} \right] - I_k \quad (4.9)$$

com:

$$I_k = \frac{v_k}{4} \frac{d(x_2 - x_1)}{dt} + \sum_{\substack{n=1 \\ n \neq k}}^{\infty} \frac{n^2 v_n}{n^2 - k^2} \left(\frac{dx_1}{dt} - (-1)^{k+n} \frac{dx_2}{dt} \right) \quad (4.10)$$

Portanto, o conjunto de equações acima permite converter a equação ambipolar de difusão num sistema infinito de equações diferenciais lineares de 1ª ordem possibilitando sua solução por simples integração.

4.3 Modelo para Camada Field Stop (FS)

O modelo para esta camada é obtido por Kang *et. al.*, 2003 a partir da equação de difusão ambipolar sendo solucionada em face de suas fronteiras, considerando a condição quasi-estática, baixa injeção de portadores e adicionando um termo capacitivo que modela o efeito da variação da carga armazenada. Nestas condições, a concentração de lacunas de uma camada *FS* pode ser aproximada por uma camada buffer *PT* (Hefner *et. al.*, 1987) dada pela equação 4.11.

$$\delta p(x) = \frac{P_{H0} \sinh\left(\frac{W_H - x}{L_{pH}}\right) + P_{HW} \sinh\left(\frac{x}{L_{pH}}\right)}{\sinh\left(\frac{W_H}{L_{pH}}\right)} \quad (4.11)$$

Onde P_{H0} e P_{HW} são as concentrações de lacunas nas fronteiras, tal como mostrado na Figura 4.2.

A continuidade de corrente nas fronteiras requer que:

$$I_A = I_{n0} + I_{p0} = I_{n1} + I_{p1} \quad (4.12)$$

A corrente de elétrons I_{n0} é dada por (Palmer *et. al.*, 2001):

$$I_{n0} = qAh_p n N_H P_{H0} \quad (4.13)$$

Onde H_p é o coeficiente de recombinação das lacunas e N_H é o nível de dopagem da camada buffer.

A corrente de lacunas é minoritária sendo basicamente uma corrente por difusão expressa por:

$$I_p = qAD_{pH} \frac{dp}{dx} \quad (4.14)$$

Portanto, a corrente I_{p0} é dada derivando a equação 4.11 para $x = 0$ e substituindo em 4.14:

$$I_{p0} = \frac{qAD_{pH}}{L_{pH} \sinh\left(\frac{W_H}{L_{pH}}\right)} \left[P_{H0} \cosh\left(\frac{W_H}{L_{pH}}\right) - P_{HW} \right] \quad (4.15)$$

A corrente I_{p1} é dada de forma similar derivando a equação 4.11 para $x = W_H$ e substituindo em 4.14, entretanto inserindo o fator que representa a corrente capacitiva (I_{QH}) decorrente da variação da carga armazenada na camada:

$$I_{p1} = \frac{qAD_{pH}}{L_{pH} \sinh\left(\frac{W_H}{L_{pH}}\right)} \left[P_{H0} - P_{HW} P_{H0} \cosh\left(\frac{W_H}{L_{pH}}\right) \right] + I_{QH} \quad (4.16)$$

Onde:

$$I_{QH} = -\frac{dQ_H}{dt} = -\frac{qAW_H}{2} \frac{d(P_{H0} + P_{HW})}{dt} = \quad (4.17)$$

Por fim, a concentração de lacunas na periferia da região de deriva (P_{HW}) é dada pela relação de quase-equilíbrio, considerando baixa injeção na camada FS e alta injeção na região de deriva:

$$P_{HW}(P_{HW} + N_H) = P_{L0}(P_{L0} + N_B) \therefore P_{HW} = \frac{P_{L0}^2}{N_H} \quad (4.18)$$

4.4 Modelo para a estrutura MOS em trincheira

A equação 4.19 apresenta o modelo estático semi-empírico para o canal *MOS* que é amplamente utilizado como o modelo nível 3 do *SPICE* (baseado nas equações de

Shockley), entretanto foram inseridos alguns fenômenos físicos extras: como variação da transcondutância devido à difusão em canal com dopagem não uniforme; diminuição da mobilidade devido ao campo elétrico transversal (Hefner *et. al.*, 1994, Sheng, 2010).

$$I_{MOS} = \begin{cases} 0 & V_{gs} < V_{th} \\ \frac{K_{Plin} \left[(V_{gs} - V_{th}) V_{ds} - \frac{K_{Plin} V_{ds}^2}{2K_{Psat}} \right]}{1 + \theta(V_{gs} - V_{th})} & V_{ds} \leq (V_{gs} - V_{th}) \frac{K_{Psat}}{K_{Plin}} \\ \frac{K_{Psat} [(V_{gs} - V_{th})^2]}{2[1 + \theta(V_{gs} - V_{th})]} & V_{ds} > (V_{gs} - V_{th}) \frac{K_{Psat}}{K_{Plin}} \end{cases} \quad (4.19)$$

Já o comportamento dinâmico é governado pelas capacitâncias entre os terminais MOS como ilustrado na Figura 4.3.

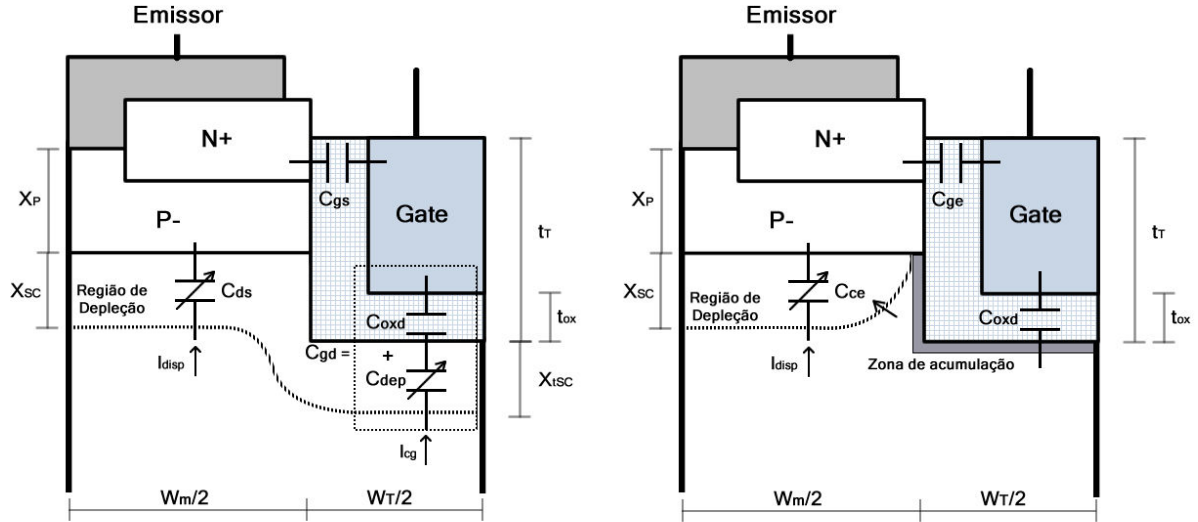


Figura 4.3 – Localização das capacitâncias MOS e a variação da zona de depleção com o aparecimento da zona de acumulação sob a trincheira.

A capacitância *gate-dreno* (C_{gd}) é composta pela associação em série da capacitância do óxido-dreno (C_{oxd}) e da capacidade de depleção *gate-dreno* (C_{dep}). Ela é responsável pelo aparecimento do comportamento não linear chamado de efeito Miller, sendo muito importante para descrever o período transitório de chaveamento. Tal como é

mostrado na Figura 4.3, a variação da zona de depleção de cargas afeta diretamente o valor da capacitância *gate-dreno* da seguinte forma (Baliga, 2008):

$$C_{gd} = \begin{cases} C_{oxd} & V_d \leq V_{gs} - V_{td} \\ \left[\frac{W_T + 2(t_T - X_P)}{W_m + W_T} \right] \frac{C_{oxd} C_{dep}}{C_{oxd} + C_{dep}} & V_d > V_{gs} - V_{td} \end{cases} \quad (4.20)$$

onde a capacitância C_{dep} é definida a partir da largura da zona de depleção sob o gate:

$$C_{dep} = \frac{\varepsilon_{si}}{W_{tsc}} \quad (4.21)$$

com a largura da zona de depleção sob a trincheira (W_{tsc}) dada por:

$$X_{tsc} = \frac{\varepsilon_{si}}{C_{oxd}} \left(\sqrt{1 + \frac{2V_d C_{oxd}^2}{q\varepsilon_{si} N_{eff}}} - 1 \right) \quad (4.22)$$

Foi demonstrado por Tominaga *et. al.*, 2011 que a zona de depleção também é dependente da corrente que influencia na concentração efetiva de dopagem da seguinte forma:

$$N_{eff} = N_D + \frac{I_{p2}}{qV_{psat}A} - \frac{I_{n2}}{qV_{nsat}A} \quad (4.23)$$

Outra capacitância que também apresenta comportamento não linear é a capacitância dreno-fonte (C_{ds}) dada por:

$$C_{ds} = \left(\frac{W_m}{W_m + W_T} \right) \frac{\varepsilon_{si}}{W_{sc}} \quad (4.24)$$

onde a largura zona de depleção sob a região sob a junção base-dreno ou região da mesa (W_{sc}) é:

$$X_{sc} = \sqrt{\frac{2\varepsilon_{si}(V_D + V_{bi})}{qN_{eff}}} \quad (4.25)$$

Como resultado das variações de largura das regiões de depleção, podemos encontrar as correntes causadas pelo deslocamento de suas fronteiras (Figura 4.3): corrente de deslocamento *gate-dreno* (I_{cg} - obtida através das equações 3.10, 4.21 e 4.22 e já considerando a inserção dos efeitos do balanceamento intrínseco natural) e a corrente

de deslocamento entre coletor-emissor (I_{disp}), já considerando a natureza não linear da capacitância (C_{ds}):

$$I_{disp} = C_{ds} \frac{dV_{ce}}{dt} + V_{ce} \frac{dC_{ds}}{dt} \quad (4.26)$$

4.5 Modelo para as quedas de tensão

- **Região de Deriva:**

Durante a condução do dispositivo, a região de deriva apresenta uma queda de tensão significativamente maior em comparação com as outras regiões, pois tem a menor concentração de dopagem e maior largura. A queda de tensão na região de deriva é calculada com base na evolução da concentração de portadores. Dessa forma a região é dividida em M segmentos de largura iguais, sendo o mesmo número de coeficientes da série de Fourier que soluciona a equação de ambipolar de difusão. Portanto, de acordo com Gachovska, 2013, a tensão de queda na região de deriva pode ser obtida por:

$$V_b = \frac{I_c}{qA\mu_n - \mu_p} + \frac{x_2 - x_1}{M - 1} \sum_{K=0}^{M-1} \left[\frac{1}{PT(k) - PT(k-1)} \ln \left(\frac{PT(k)}{PT(k-1)} \right) \right] + V_T \left(\frac{\mu_n - \mu_p}{\mu_n + \mu_p} \right) \ln \left(\frac{P_{x2}}{P_{x1}} \right) \quad (4.27)$$

Onde a distribuição de cargas $PT(k)$ é calculada por:

$$PT(k) = Px \left(x_1 + \frac{k(x_2 - x_1)}{M - 1} \right) + \frac{\mu_n N_B}{\mu_n + \mu_p} \quad (4.28)$$

- **Camada Buffer e Zona de Depleção**

A queda de tensão na camada buffer é representada pela soma das quedas nas junções J_0 e J_1 (Figura 4.2) que são dadas por (Kang *et. al.*, 2003):

$$V_{j0} = V_T \ln \left(\frac{P_{H0} N_B}{n_i^2} \right) \quad (4.29)$$

$$V_{j1} = V_T \ln \left(\frac{N_B}{P_{L0}} \right) \quad (4.30)$$

A tensão responsável pela criação da zona de depleção de cargas sob a trincheira é dada por (Kang *et. al.*, 2003):

$$V_D = \frac{q N_{eff}}{2 \epsilon_{si}} W_{tsc}^2 \quad (4.31)$$

4.6 Implementação do Modelo

A implementação foi feita via *scripts matlab* chamados a execução por blocos *Matlab Function* dentro da plataforma de simulação *Simulink*. Cada bloco desenvolve uma funcionalidade interna do *IGBT*, tal como mostrado na hierarquia disposta na Figura 4.4 e mais detalhadamente nos diagramas de blocos mostrados na Figura 4.6 e Figura 4.7. Especialmente o modelo foi implementado de forma a ser utilizado em conjunto com outros dispositivos de potência já existentes na biblioteca *Simulink*, como resistores, capacitores, diodos e etc., tal como pode ser inferido na Figura 4.5.

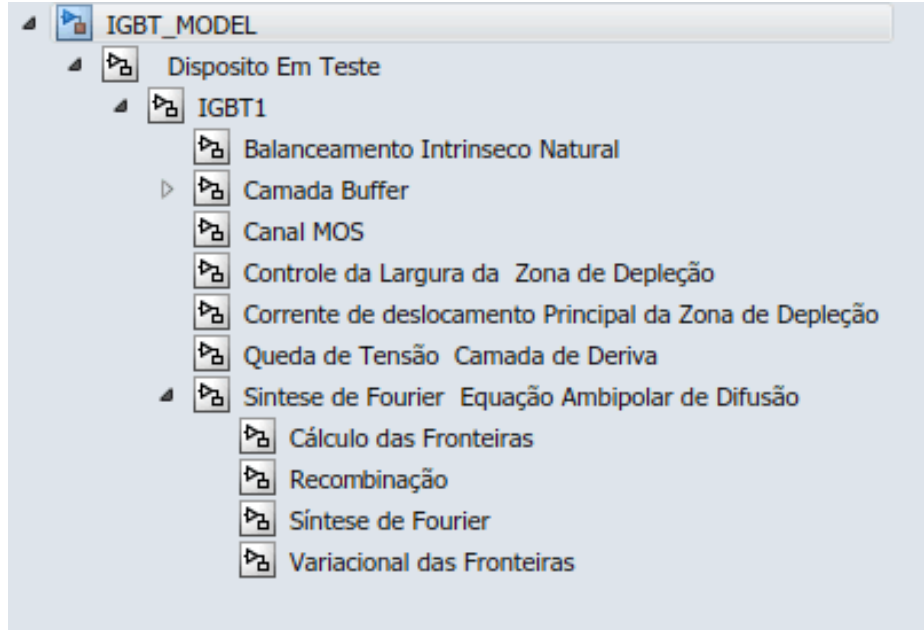


Figura 4.4 – Hierarquia do Modelo *Matlab/Simulink* para o *IGBT*.

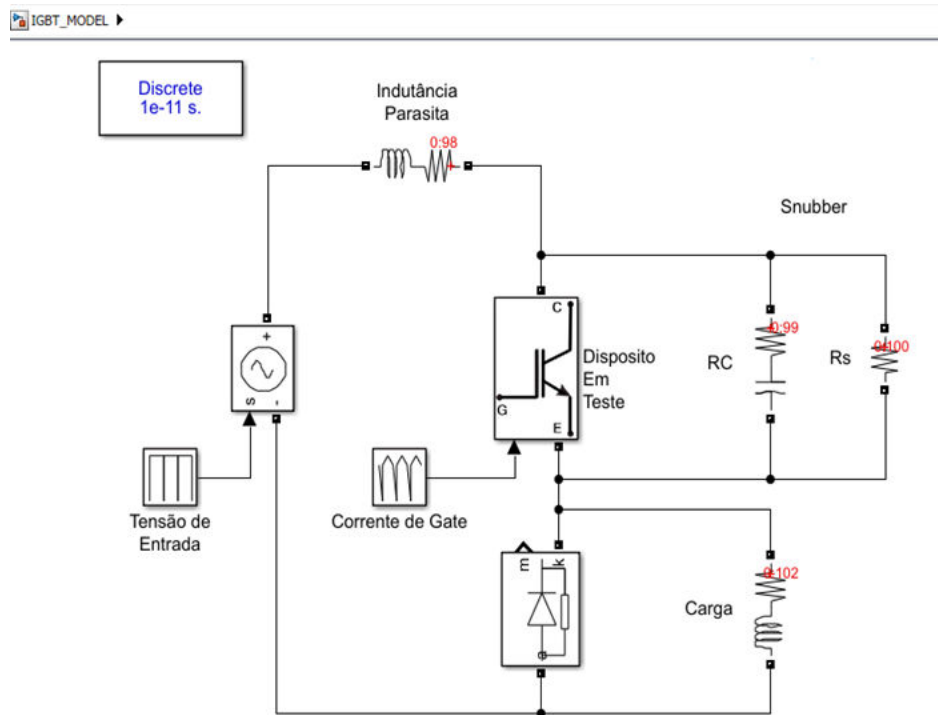


Figura 4.5 – Modelo Matlab/Simulink para o IGBT.

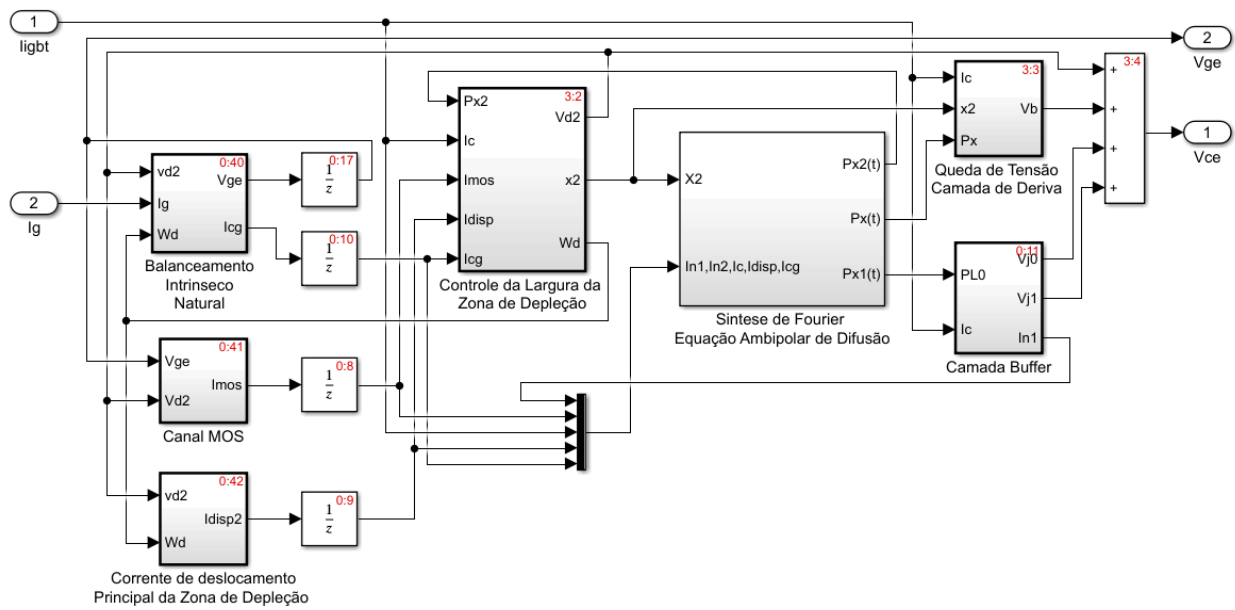


Figura 4.6 – Detalhamento interno do modelo de IGBT.

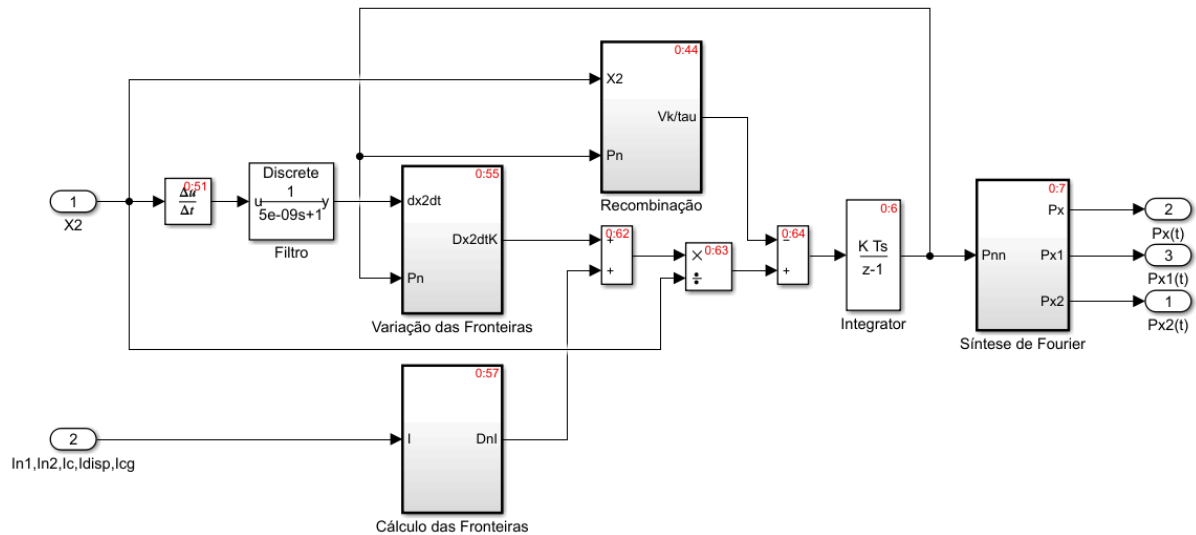


Figura 4.7 – Detalhamento da síntese de Fourier para a equação ambipolar de difusão.

4.7 Conclusão

Neste capítulo o tema de modelagem de *IGBTs* foi apresentado visando sua implementação em plataforma de uso extensivo, especificamente através do *Matlab Simulink*. Modelos para as diversas zonas do *IGBT* foram abordados, com especial atenção para a solução da equação ambipolar de difusão da região de deriva, bem como para as capacitâncias *MOS* considerando um *gate* em trincheira. Por fim o modelo foi implementado com sucesso constituindo-se por um modelo analítico internamente, mas que pode ser simulado facilmente em conjunto com elementos típicos da biblioteca da plataforma, como capacitores, indutores e outros semicondutores.

5 Modulação Vetorial Recursiva Entrelaçada

Este capítulo apresenta a modulação recursiva multinível generalizada (Fortes *et al.*, 2011). Por tratar-se de um método recursivo, ele pode ser usado com facilidade em conversores multiníveis com neutro grampeado sem qualquer alteração no algoritmo e qualquer perda de desempenho, possibilitando criar uma biblioteca de modulação genérica bastante flexível.

5.1 Princípio de implementação dos vetores espaciais

A implementação mais usual do vetor de tensão desejado é feita com a identificação do setor no qual este está inserido. A partir disso, escolhem-se vetores adjacentes não nulos, bem como vetores nulos dependentes da amplitude do vetor desejado. Contudo, o plano de tensões “n” multinível pode ser subdividido em inúmeros hexágonos menores, que representam planos de tensão de conversores trifásicos dois níveis, conforme exposto na Figura 5.1. Dessa maneira, é possível analisar a modulação vetorial de um conversor “n” níveis como um análogo da modulação vetorial dois níveis.

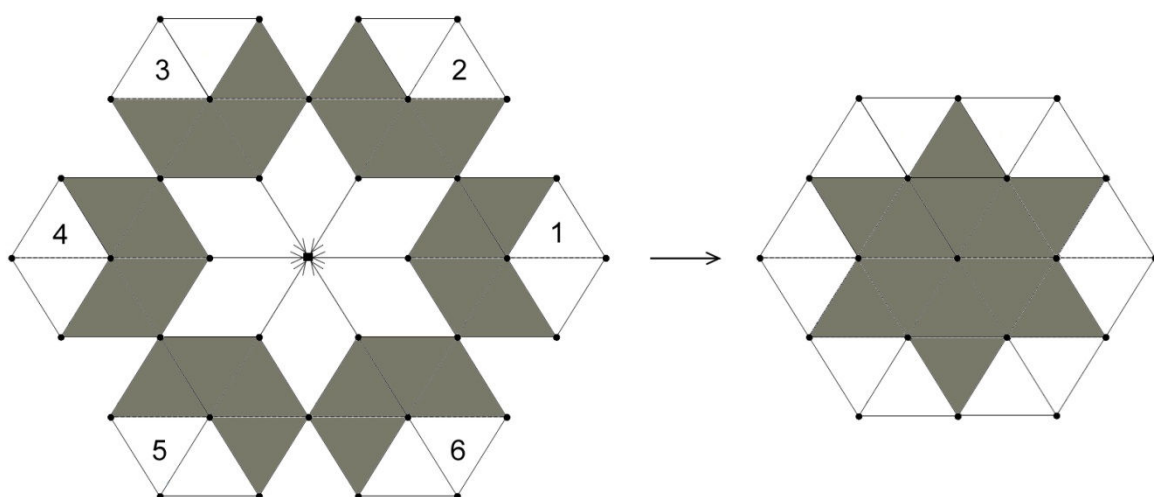


Figura 5.1 – Plano de tensões três níveis e sua formação por planos menores de dois níveis.

As tensões de saída são representadas nas coordenadas ortogonais alfa e beta de acordo com a equação (5.1).

$$\begin{bmatrix} \overrightarrow{u_\alpha} \\ \overrightarrow{u_\beta} \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} Va \\ Vb \\ Vc \end{bmatrix} \quad (5.1)$$

Todos os planos de tensões multiníveis são compostos por um total de planos menores 2 níveis (N_H) calculados por (5.2).

$$N_H = \left(\frac{n-1}{2} \right) \cdot 6 = \underbrace{6H^2 + 6H^3 + 6H^5 + \dots + 6H^{n-2}}_{\frac{n-1}{2}} \quad (5.2)$$

Onde H^x significa um plano de tensão de x níveis. Ao considerar a estrutura topológica NPC clássica cinco níveis, o total de planos hexagonais menores seria:

$$N_H = \left(\frac{5-1}{2} \right) \cdot 6 = 12 \text{ Hexagons} \Rightarrow \underbrace{6H^2 + 6H^3}_2$$

A Figura 5.2 mostra o plano de tensões cinco níveis (H^5) sendo composto por seis planos de tensões três níveis (H^3), os quais também são compostos por seis planos de tensões dois níveis (H^2). Além disso, os níveis topológicos $+V_{cc}/2$, $+V_{cc}/4$, 0 , $-V_{cc}/4$ e $-V_{cc}/2$ são definidos pelo algoritmo através dos índices 2, 1, 0, -1, -2, respectivamente.

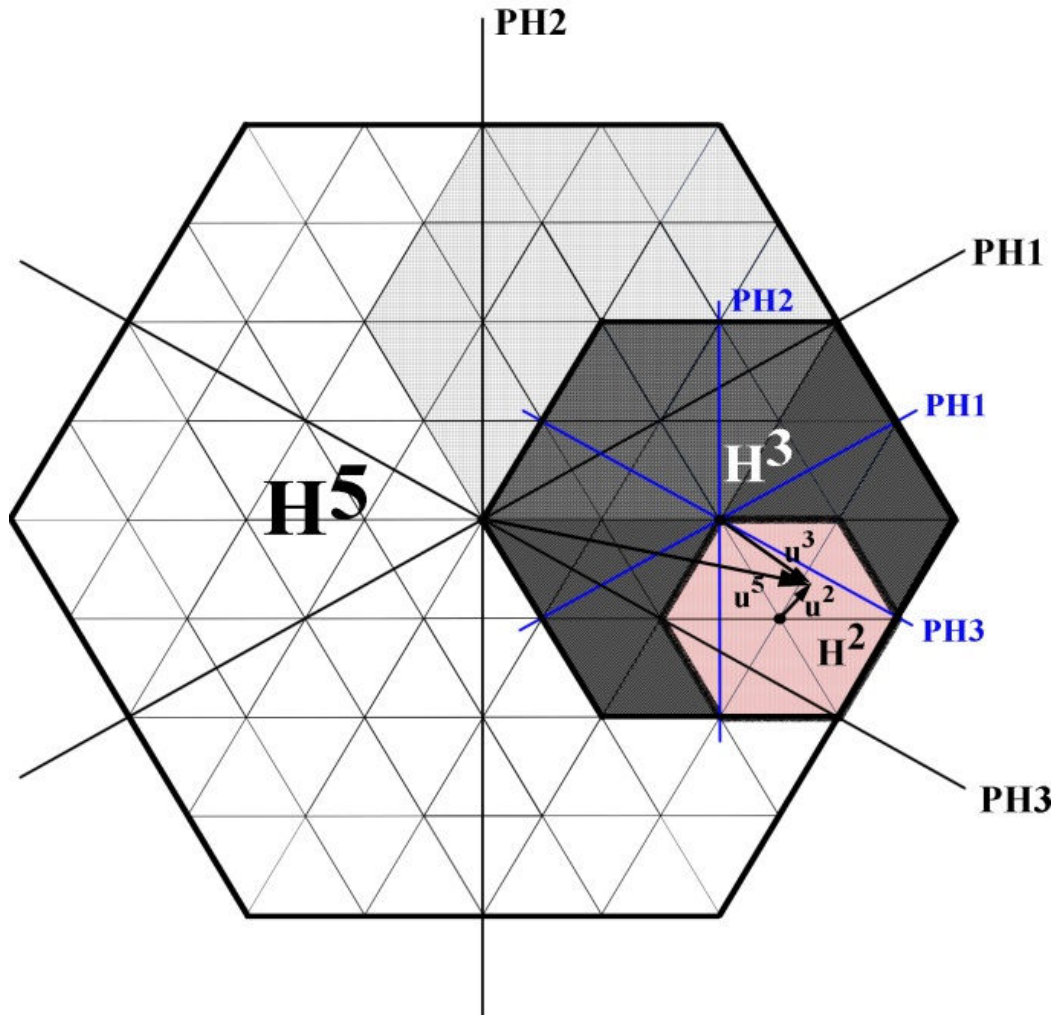


Figura 5.2 – Plano de tensões 5 níveis generalizado mostrando vetores transformados.

Como existem regiões de sobreposição onde sempre dois hexágonos se encontram, foram definidos três planos de seleção. Eles são caracterizados pela separação das áreas sobrepostas em duas partes iguais como mostrado na Figura 5.2. Veja a definição dos planos de seleção abaixo:

$$\text{PH1} \therefore \sqrt{3}\vec{u}_\alpha - \vec{u}_\beta = 0 \quad \text{PH2} \therefore \vec{u}_\beta = 0 \quad \text{PH3} \therefore \sqrt{3}\vec{u}_\alpha + \vec{u}_\beta = 0$$

Após a seleção do hexágono é feita uma mudança de referência do vetor espacial de tensão. No caso específico da Figura 5.2, o vetor espacial (u^5) é transformado no novo vetor (u^3), já referenciado ao plano hexagonal selecionado. Então, se faz uma nova

seleção interna ao encontrar o plano hexagonal dois níveis. Posteriormente, se transforma o vetor espacial (u^3) no vetor (u^2).

Para fazer a mudança do referencial dos vetores espaciais de tensão são utilizadas as equações (5.3) e (5.4).

$$\overrightarrow{u^x_\alpha} = \overrightarrow{u^n_\alpha} - \frac{V_{\max}^{H^y}}{2} \cdot \cos(\theta_{center}^{H^y}) \quad (5.3)$$

$$\overrightarrow{u^x_\beta} = \overrightarrow{u^n_\beta} - \frac{V_{\max}^{H^y}}{2} \cdot \sin(\theta_{center}^{H^y}) \quad (5.4)$$

Onde $x < y$, $V_{\max}^{H^y}$ é o vetor máximo do plano hexagonal com y níveis (H^y) e $\theta_{center}^{H^y}$ é o ângulo entre o centro do hexágono selecionado e o centro daquele que o contém. Na Figura 5.3 é apresentado um exemplo de seleção hexagonal e as transformações para um determinado vetor espacial de tensão.

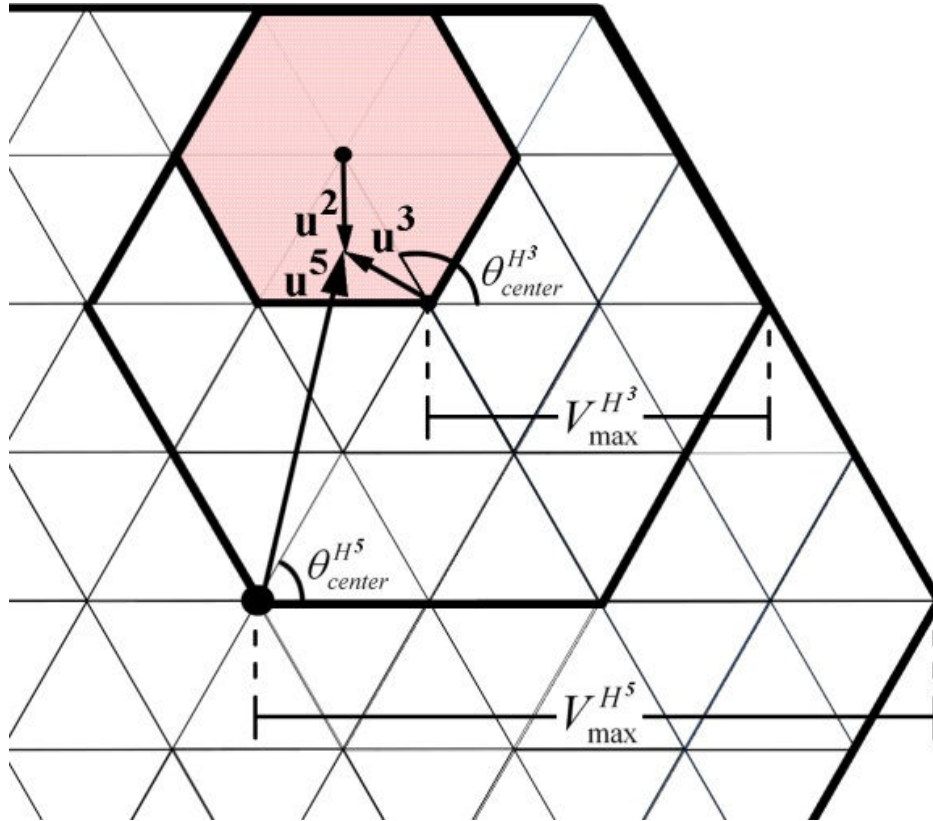


Figura 5.3 – Correção dos vetores espaciais referenciando-os aos planos hexagonais.

Analisando esse processo, o algoritmo é capaz de reduzir a complexidade na projeção geométrica ($2^n * 3$). Por exemplo, o total de possibilidades para encontrar os três vetores mais próximos em um conversor 9 níveis, necessários para formar o vetor resultante na modulação por largura de pulso, são 1536 possibilidades ($2^9 * 3$). Elas se reduzem para 384 possibilidades ($2^7 * 3$) no primeiro passo recursivo, para 96 possibilidades ($2^5 * 3$) no segundo passo, para 24 ($2^3 * 3$) possibilidades no terceiro passo e, por fim, se reduzem à escolha dos vetores dentre 6 possibilidades finais ($2^1 * 3$). Lembrando que cada passo recursivo se faz apenas 3 comparações baseadas em planos de seleção.

5.2 Razões cíclicas e seqüenciamento vetorial

A Figura 5.4 mostra como exemplo o plano de tensão dois níveis selecionados anteriormente na Figura 5.3, com a inserção dos estados topológicos de cada vértice.

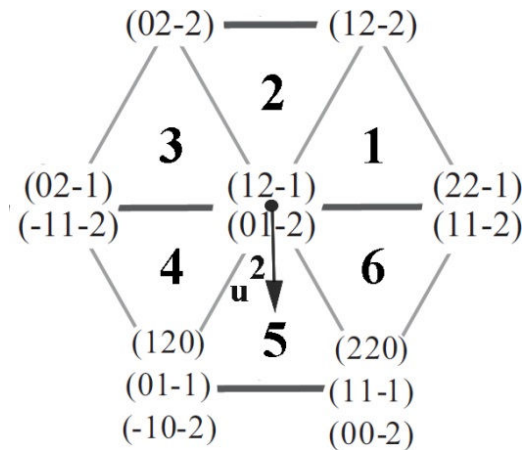


Figura 5.4 – Exemplo de plano de tensões dois níveis e seus estados topológicos.

Para a implementação do vetor referenciado no plano de tensão dois níveis (u^2), é apresentada na Figura 5.5 uma típica seqüência *SVPWM*. Tal como mostrado, a seqüência sempre se inicia (à esquerda) com um dos estados centrais do

hexágono (0 1 -2), progredindo para o outro estado central disponível (1 2 -1) e, por fim, retorna ao primeiro estado central já utilizado (à direita).

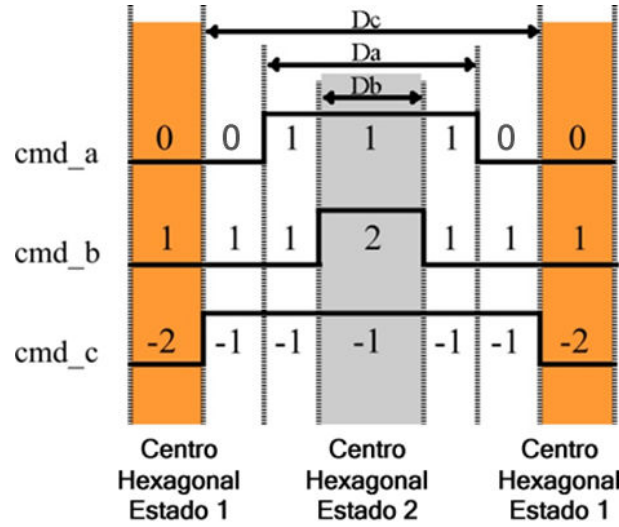


Figura 5.5 – Seqüenciamento *SVPWM* de exemplo dos estados topológicos e suas razões cíclicas.

Na Tabela 5.1 são apresentadas as equações para cálculo das razões cíclicas para cada setor do plano hexagonal 2 níveis.

Tabela 5.1 – Tabela para cálculo das razões cíclicas por setores do plano dois níveis.

Setores	Razões Cíclicas
1 e 4	$D_a = 1/2 \cdot (1 + (n-1) \cdot (\sqrt{6} \cdot u_\alpha + \sqrt{2} \cdot u_\beta))$ $D_b = 1/2 \cdot (1 - (n-1) \cdot (\sqrt{6} \cdot u_\alpha + 3 \cdot \sqrt{2} \cdot u_\beta))$ $D_c = 1/2 \cdot (1 - (n-1) \cdot (\sqrt{6} \cdot u_\alpha - \sqrt{2} \cdot u_\beta))$
2 e 5	$D_a = 1/2 \cdot (1 + (n-1) \cdot \sqrt{6} \cdot u_\alpha)$ $D_b = 1/2 \cdot (1 + (n-1) \cdot \sqrt{2} \cdot u_\beta)$ $D_c = 1/2 \cdot (1 - (n-1) \cdot \sqrt{2} \cdot u_\beta)$
3 e 6	$D_a = 1/2 \cdot (1 + (n-1) \cdot (\sqrt{6} \cdot u_\alpha - \sqrt{2} \cdot u_\beta))$ $D_b = 1/2 \cdot (1 - (n-1) \cdot (\sqrt{6} \cdot u_\alpha + \sqrt{2} \cdot u_\beta))$ $D_c = 1/2 \cdot (1 - (n-1) \cdot (\sqrt{6} \cdot u_\alpha - 3 \cdot \sqrt{2} \cdot u_\beta))$

5.3 Índice de Modulação e Saturação Hexagonal

O índice de modulação é a relação entre a componente fundamental da tensão de saída gerada pelo modulador (u_s) e a componente fundamental máxima, caracterizada pela operação com níveis quadrados, chamada de *six-step* para uma topologia dois níveis. A equação (5.5) define o índice de modulação em coordenadas *alfa* e *beta*:

$$M_i = \frac{\pi \cdot \sqrt{u_\alpha^2 + u_\beta^2}}{\sqrt{6}} \quad (5.5)$$

Para caracterizar completamente um vetor de saída, além do índice de modulação, é necessária a posição angular do vetor, definida pela arco-tangente dos vetores projetados nos eixos *alfa* e *beta*.

Uma característica importante dos conversores estáticos é a saturação hexagonal da tensão de saída que é determinada pelas retas que delimitam o plano de tensões do conversor. Como exemplo para efetuar a saturação dos vetores descritos no plano três níveis considerar-se-á que todos os possíveis vetores podem ser representados de acordo com a Figura 5.6.

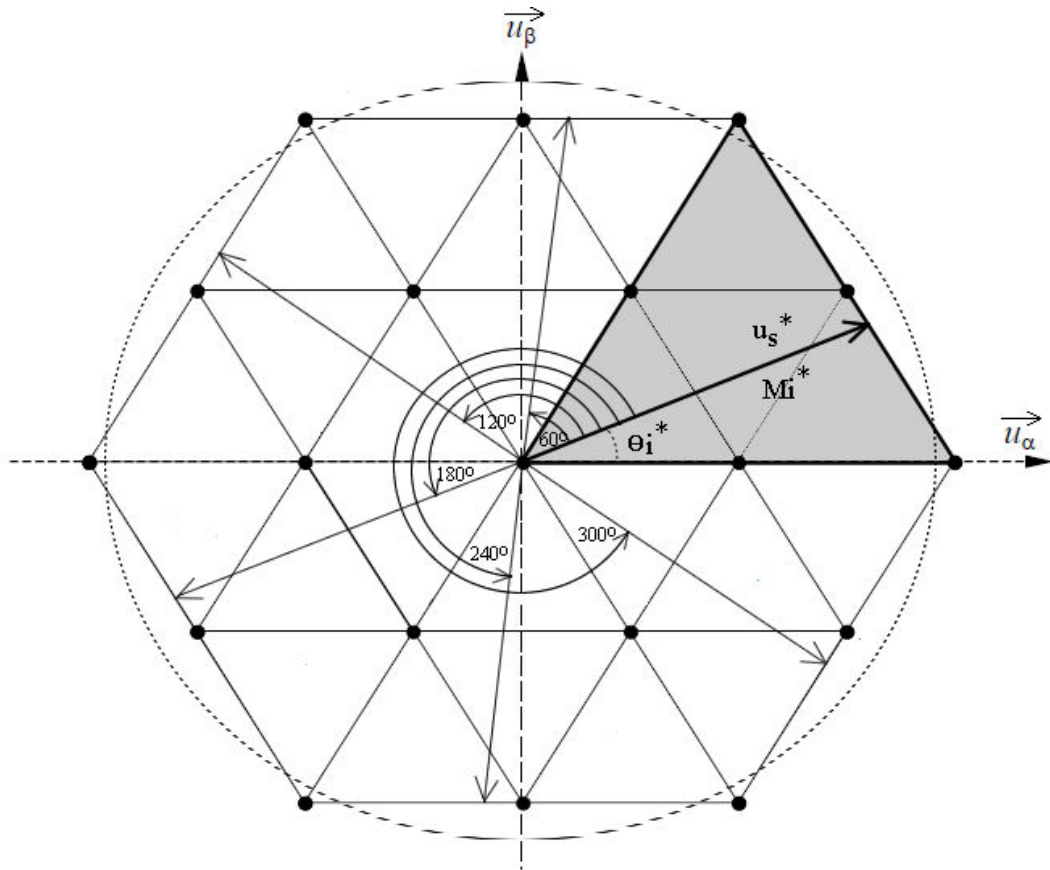


Figura 5.6 – Saturação hexagonal referenciado ao primeiro setor.

Ela mostra que qualquer vetor pode ser representado por um vetor disposto em sua área cinza. Dessa forma, para efetuar a modificação dos vetores que ultrapassem os limites do hexágono, primeiramente os vetores serão transformados em vetores análogos dispostos na área cinza, subtraindo de sua posição angular, o ângulo específico de seu setor (60° , 120° , 180° , 240° e 300°).

Após a transformação angular é necessário efetuar a saturação hexagonal na amplitude do vetor definido no plano de tensões n níveis desejado. A saturação pode ser feita diretamente nas coordenadas através das seguintes equações (5.6):

$$\begin{aligned}\vec{u}_\alpha^{n*} &= \frac{2 \cdot \vec{u}_\beta^n}{\sqrt{2} \cdot \vec{u}_\beta^n + \sqrt{6} \cdot \vec{u}_\alpha^n} \\ \vec{u}_\beta^{n*} &= \frac{2 \cdot \vec{u}_\alpha^n}{\sqrt{2} \cdot \vec{u}_\beta^n + \sqrt{6} \cdot \vec{u}_\alpha^n}\end{aligned}\tag{5.6}$$

5.4 Entrelaçamento Vetorial

O entrelaçamento da modulação pode ser implementado através da disposição defasada do sinal modulante (*Phase Disposition– PD*), da portadora (*Phase Shift Carrier – PSC*) ou por meio da modulação vetorial multinível. Vetorialmente, de acordo com Teixeira *et al.*, 2016, é necessário modificar o plano de tensões do conversor original, de forma a inserir os novos estados de comutação, resultado do entrelaçamento. Na Figura 5.7 é mostrado que cada estado topológico passa a ser representado pela combinação de novos estados, através da transformação do plano dois níveis no plano três níveis, onde, por exemplo, o vetor V_1 , antes, formado por estados simples em cada fase (1 0 0) e passa a ser formado por estados duplos (10 01 01).

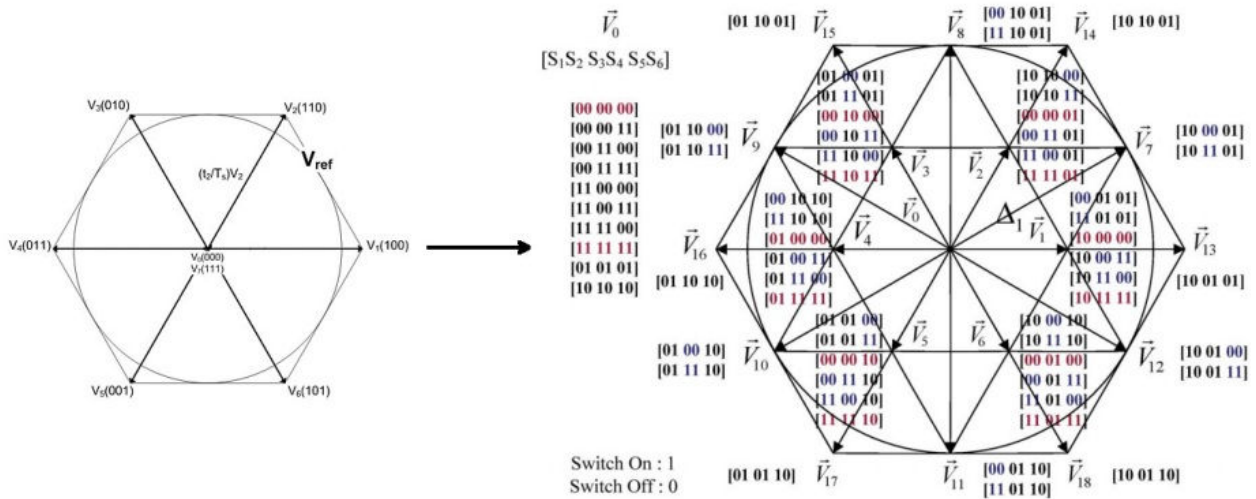


Figura 5.7 – Transformação do plano vetorial original no plano com duplo entrelaçamento.

Ao fazer a transformação acima, insere-se demasiada complexidade ao modulador, devido a grande quantidade estados formados. Além disso, o método de modulação fica

6 Resultados Simulação

Este capítulo apresenta os resultados preliminares de simulação do *IGBT* e das topologias propostas.

6.1 Simulação de IGBTs em série

A partir do modelo implementado no *simulink*, foram obtidos resultados que pretendem fundamentar comportamentalmente os efeitos que integram o balanceamento intrínseco natural. Nesse sentido, o resultado apresentado na Figura 6.1 corrobora com os comportamentos do experimento real apresentado *a posteriori* na Figura 7.13, onde o dispositivo que apresenta maior tensão tem seu sinal de *gate* adiantado em relação àquele que apresenta menor tensão de bloqueio. Em especial, apontam-se os seguintes efeitos:

- Diminuição da capacitância *gate*-emissor existente logo após sua saída do regime de acumulação para o regime de depleção, vinculada à tensão limítrofe superficial do canal *MOS* tipo *n* ($V_{ge} > V_{td}$), parâmetro este que é dependente da tensão de bloqueio, tal como mostrado na Figura 3.13.
- Disparo próprio que se inicia a partir da tensão limítrofe para entrada em condução ($V_{ge} > V_{th}$), resultando no aumento repentino da tensão *gate*-emissor. Este efeito é causado pelo aparecimento da capacitância negativa de gate e pela característica não linear da capacitância *gate*-coletor, ambos resumidos pela equação 3.11.
- Bloqueio próprio que se inicia a partir do momento que a corrente de deslocamento causada pela variação negativa da tensão na zona de depleção (típico efeito Miller), se sobrepõe a variação positiva de sua capacitância (comportamento não linear), resumidos pela equação 3.9.

Na Figura 6.5 é mostrada a tensão fase-fase, enquanto na Figura 6.6 a tensão fase-ponto neutro do barramento c.c. Inferi-se a respeito do número de níveis sendo respectivamente 17 níveis entre fases e 9 níveis entre fase e o neutro do barramento c.c.

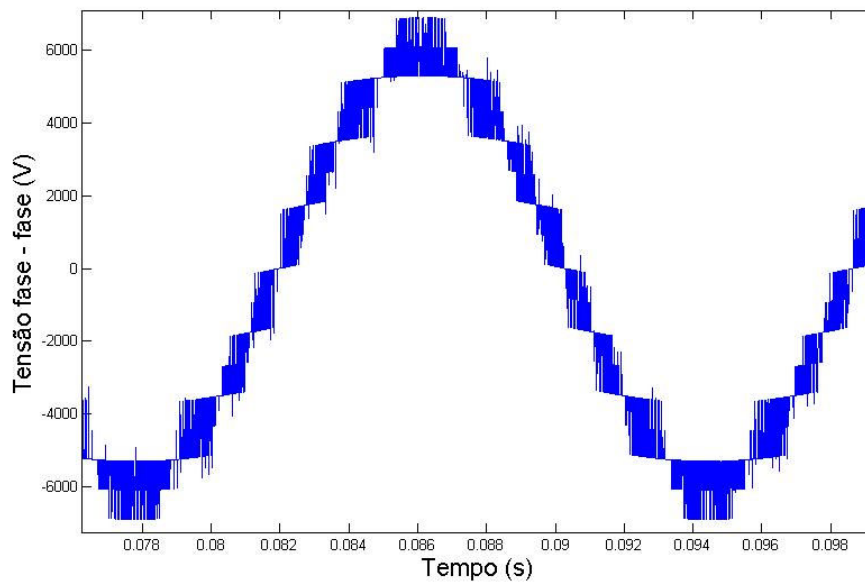


Figura 6.5 – Tensão fase-fase.

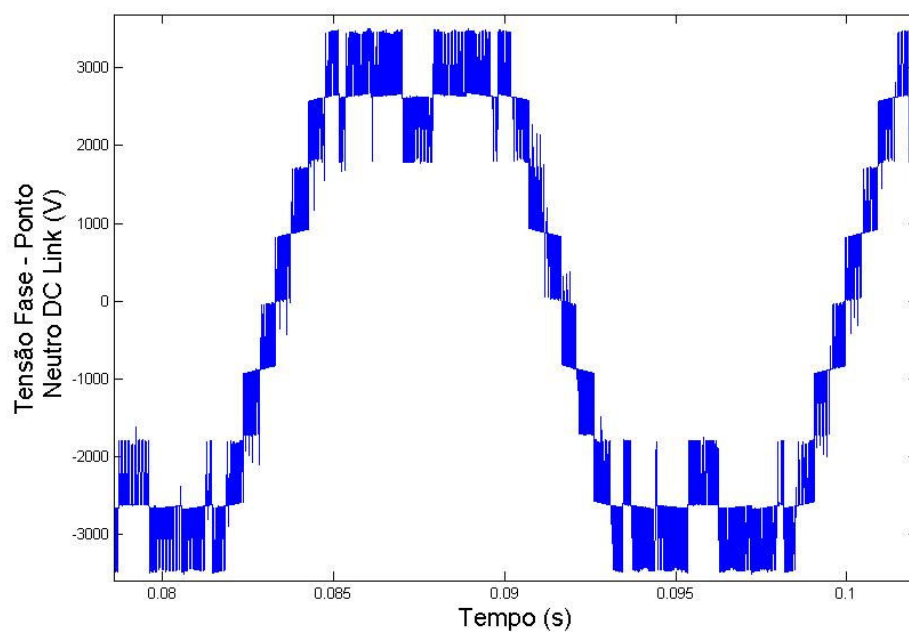


Figura 6.6 – Tensão fase-ponto zero do barramento c.c.

Para finalizar na Figura 6.7 mostra-se o conteúdo harmônico da tensão, o que evidência a duplicação da frequência de chaveamento de 10kHz para 20kHz, como era esperado teoricamente devido o efeito do entrelaçamento. Essa característica também é comprovada pelo conteúdo harmônico da corrente de saída mostrado na Figura 6.8. A distorção harmônica total computada foi igual a 3.65%.

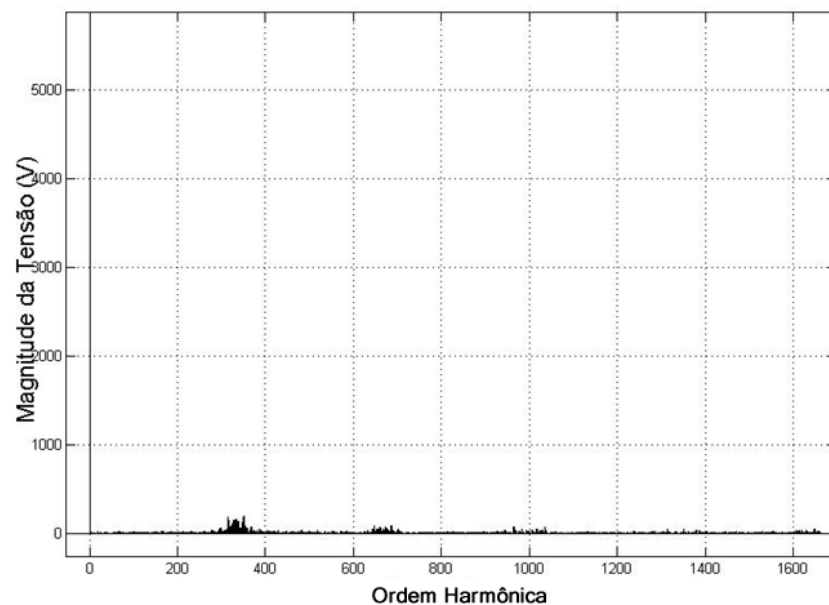


Figura 6.7 – Distorção Harmônica da Tensão Entre Fases.

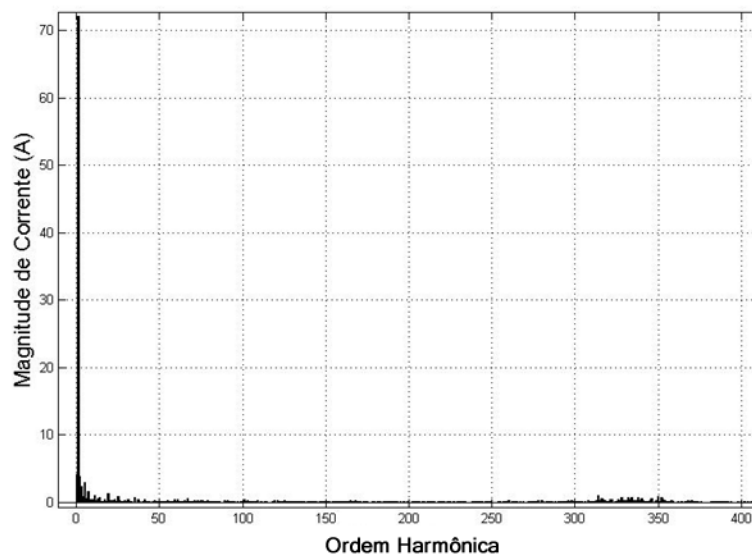


Figura 6.8 – Conteúdo Harmônico da Corrente de Fase A.

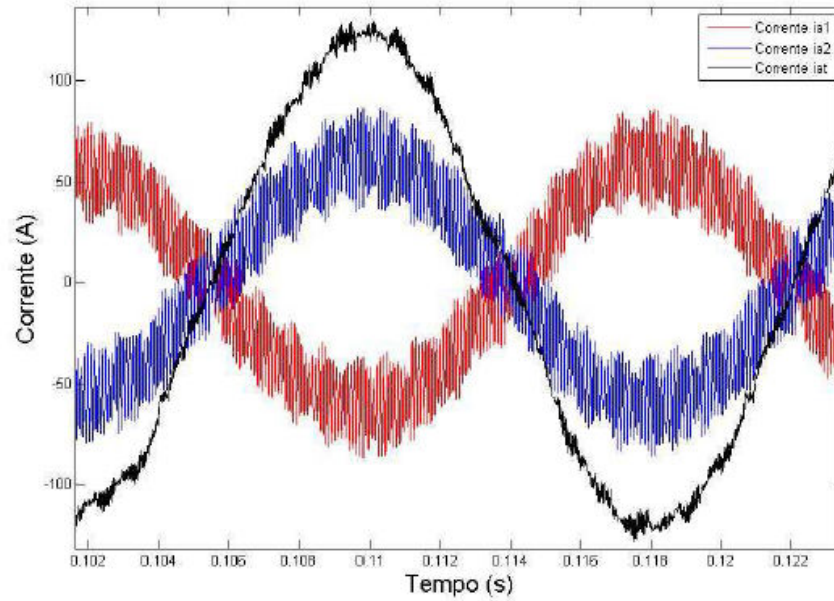


Figura 6.14 – Correntes de braço e de saída fase A – topologia entre-série-laçada-grampeada bidirecional.

6.5 Conclusão

Os resultados simulados confirmaram o correto funcionamento dos estados topológicos disponíveis, o aumento do número de níveis e a duplicação da frequência de chaveamento aparente na saída. Estes resultados consubstanciaram os benefícios teóricos da topologia proposta, quanto ao entrelaçamento através de indutor de saída, bem como comprovou a inexistência de estados topológicos proibidos que pudessem levar a uma condição de curto-circuito. Nesse sentido, considera-se que o primeiro passo para iniciar uma montagem experimental multinível foi efetuado com sucesso.

7 Resultados Experimentais

Neste capítulo serão apresentados os resultados obtidos através de uma montagem experimental que perfaz um nível (1200V) da estrutura topológica multinível entre-série-laçada. O objetivo principal é a validação da motivação primária do presente trabalho que é a associação série de *IGBTs* de baixa tensão. Portanto, diversos ensaios foram efetuados com diferentes tensões, correntes para os diversos semicondutores selecionados anteriormente.

7.1 Bancada Experimental e Protótipo

Uma bancada de testes foi montada de acordo com o esquema elétrico de potência mostrado na Figura 7.1, constituído por dois sub-módulos hexagonais, indutor de saída, transformador com duplo secundário e um retificador 12 pulsos alimentando um barramento c.c., cuja tensão final é 1200V. Já na Figura 7.2 é mostrada a montagem final.

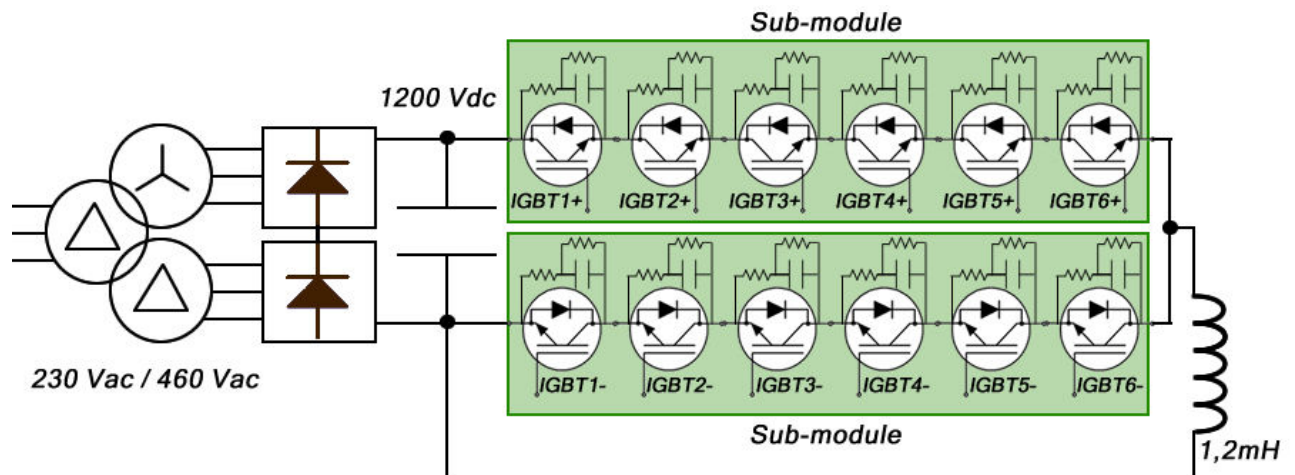


Figura 7.1 – Esquema elétrico de potência da bancada de testes.



Figura 7.2 – Bancada de testes real baseada no esquema elétrico de potência

Na Figura 7.3 são mostradas fotos do sub-módulo de potência hexagonal. Em sua vista superior pode-se verificar os seis conjuntos de dissipadores/*IGBTs*, os circuitos individuais de disparo, alimentados por transformadores de pulso concebidos por núcleos toroidais, bem como os dois laços isolados primários responsáveis pelos pulsos de corrente positivos e negativos no *gate*. Na vista inferior estão visíveis os circuitos *snubbers*.

7.2 Análise do Circuito de Disparo

A Figura 7.4 mostra o funcionamento do sistema de comando para o disparo sob a condição com tensão V_{ce} nula. Como previsto, se obteve o sincronismo perfeito entre todas as tensões $gate$ -emissor. Também são mostrados os pulsos primários de corrente comprovando o determinismo temporal dos resultados.

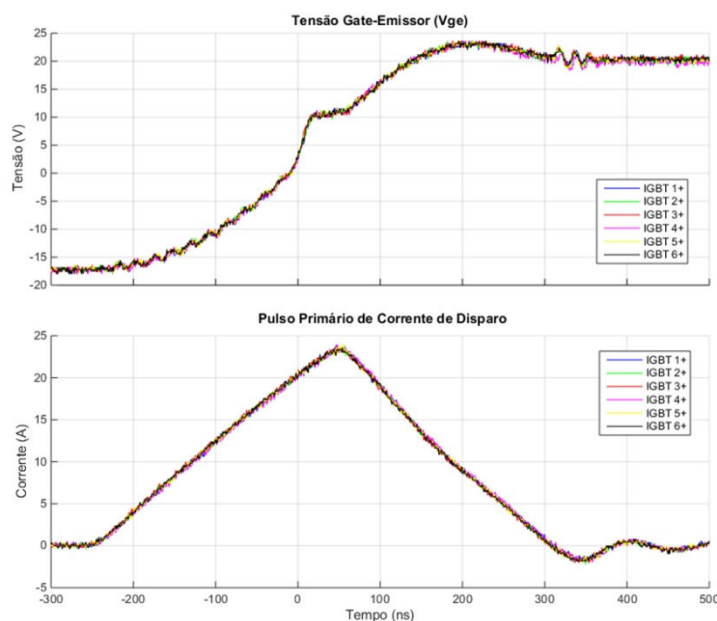


Figura 7.4 – Sincronismo perfeito a vazio entre as tensões $gate$ -emissor (V_{ge}) dos seis IGBTs conectados em série. Os pulsos de corrente primários são mostrados comprovando o determinismo temporal de cada evento, possibilitando sua exposição conjunta.

O comportamento do circuito de disparo é apresentado, de forma mais detalhada a seguir, sendo obtido através das medições representadas na Figura 7.5: da corrente e tensão do transformador de pulso (I_{tp} e V_{tp}); da corrente e tensão de gate (I_{ge} e V_{ge}); além da corrente e tensão de coletor (I_{ce} e V_{ce}). Especificamente, são apresentadas medições obtidas no IGBT 1+, modelo Infineon IKQ75N120CH3.

físicos, responsáveis pelo balanceamento intrínseco natural, na tentativa de rejeição dos desequilíbrios com o aumento da corrente de coletor. Os resultados demonstram um balanceamento transitório efetivo, mesmo sob uma condição de disparo crítica, já que o tempo de chaveamento é cerca de 60ns. Em conjunto, também existe a tendência ao aumento das diferenças estáticas nas tensões V_{ce} , com o aumento da corrente. Todavia, os circuitos *snubbers* cumprem seu papel no intuito de manter essas diferenças dentro de um patamar que não afete demasiadamente o comportamento nos transitórios, tal como obtido. Especialmente na Figura 7.19 também pode ser observado o comportamento de deslocamento de tensão do *IGBT 1+* por volta de 550ns cuja causa é extrínseca. Esse efeito é devido uma assimetria existente no circuito de comando, entre a trilha do circuito de potencia e as trilhas do circuito de disparo. Para amenizar tal distorção verificada tardiamente, todas as trilhas de disparo sofreram modificação, sendo substituídas por fios em par trançado, de forma a equalizar todos os circuitos de disparo.

Na Figura 7.20, Figura 7.21 e Figura 7.22 são mostradas as transições de bloqueio com correntes de 30A, 60A e 90A, respectivamente. Novamente infere-se uma maximização dos efeitos físicos responsáveis pelo balanceamento intrínseco natural com o aumento da corrente de coletor, resultando em ótimo equilíbrio dinâmico no transitório. Há também um aumento nas diferenças estáticas entre as tensões coletor-emissor devido ao aumento da corrente, como pode ser observado após o transitório de bloqueio. Claramente, alguns comportamentos físicos são dependentes da corrente como, por exemplo, a largura da região de depleção (Tominaga *et. al.*, 2011), resultando em maiores diferenças na tensão de bloqueio, quando comparado com um desligamento sem carga. Isso significa que o aumento das diferenças físicas intrínsecas resultará em um desequilíbrio de tensão estática ligeiramente maior, uma vez que sua limitação é imposta apenas por *snubbers* passivos durante o estado bloqueado (por exemplo, a Figura 7.18 mostra resultados dinâmicos satisfatórios durante o transitório de disparo, apesar do

O cálculo de perdas do análogo seriado proposto foi obtido através dos resultados de chaveamento apresentados na Figura 7.18 e Figura 7.21, e, portanto, com tensão de bloqueio de 1200V e corrente de coletor de 60A. Dessa forma, infere-se um transitório de disparo de cerca de 120ns e um transitório de bloqueio com cerca de 150ns. Fazendo o cálculo das perdas em série e equalizando linearmente a diferença das tensões de bloqueio e corrente dos experimentos, obteve-se uma perda de disparo de 0.0058J e de bloqueio de 0,0349J. Com base no *datasheet*, este semiconductor apresenta cerca de 1,6V para conduzir 60A, considerando os seis dispositivos em série (9,6V) gerariam uma perda continua de 2560W para a solução.

Portanto, as perdas de chaveamentos do análogo são cerca de 20 vezes menores enquanto as perdas de condução seriam 2 vezes maiores. Entretanto, como as perdas totais são dependentes da frequência de chaveamento e da razão cíclica, uma comparação mais completa se faz necessária para a elucidação ampla quanto ao antagonismo apresentado entre as perdas de chaveamento e condução de ambas as soluções.

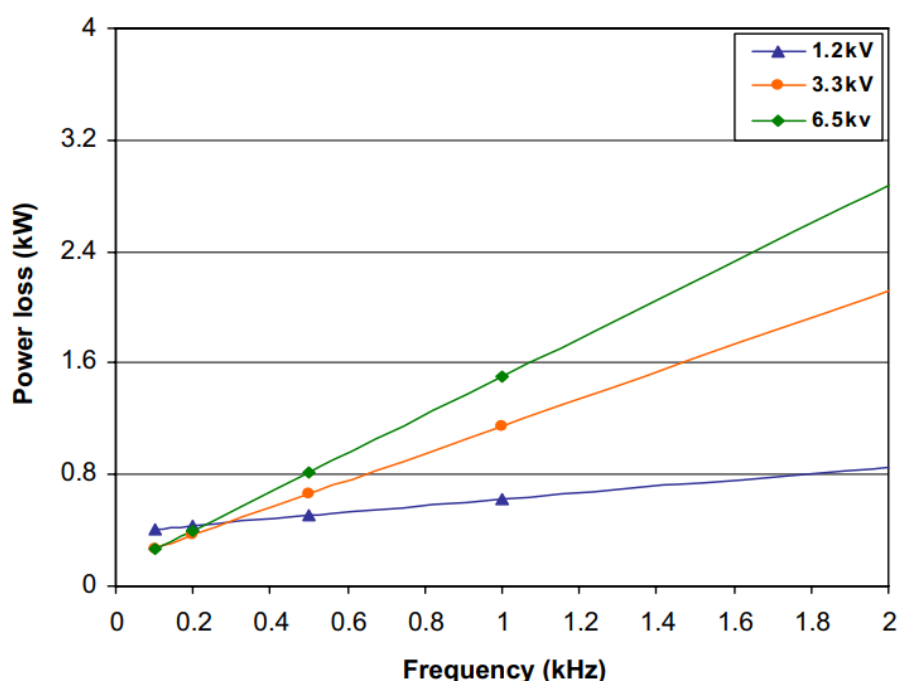


Figura 7.39 – Comparativo de perdas em dispositivos seriados em função da frequência de chaveamento considerando um razão cíclica de 50%

Neste sentido, a Figura 7.39 apresenta um estudo sobre os análogos seriados de semicondutores comerciais de 1,2KV, 3,3KV e 6,5KV, para as mesmas condições de tensões de bloqueio, em diversas frequências de chaveamento (Shamas *et. al.*, 2008). Através desse estudo, fica nítido o ponto de deflexão (por volta de uma frequência de chaveamento de 300 Hz) onde as perdas de chaveamento ganham maior peso, em detrimento das perdas de condução. Em especial, considerando que tipicamente conversores baseados em semicondutores de média tensão apresentam suas frequências de chaveamento entre 600Hz até 1000Hz, a solução proposta já se apresenta mais vantajosa mesmo na faixa de operação de seu concorrente, onde as perdas de condução são mais preponderantes.

7.8 Conclusão

Os resultados apresentados demonstram comportamentos interessantes e dependentes de fatores como tensão e corrente. Dentro do escopo de ensaios desenvolvidos os dispositivos de comportaram muito bem, com desequilíbrios estáticos limitados e incapazes de influenciar no compartilhamento dinâmico de tensão. Especialmente, considerando dispositivos ultra-rápidos e a simplicidade do sistema de disparo, considera-se que os resultados são muito promissores para o objetivo principal de encontrar solução de baixo custo e ainda efetiva. Esse fato está diretamente ligado ao balanceamento intrínseco natural que esteve presente em três dos quatro semicondutores ensaiados, corroborando com sua importância já que apenas o semicondutor (*NGTB50N*) apresentou pobre compartilhamento de tensão estática e dinâmica.

8 Conclusões

De forma geral, a presente tese apresentou uma solução integrada de conceitos que podem ser base para o desenvolvimento de uma nova classe de conversores multiníveis para média tensão. Classe que, ao lançar mão, principalmente, da associação em série de *IGBTs* de baixa tensão, pode tirar vantagem de seu melhor desempenho, sua capacidade de chaveamento em frequências mais elevadas, sua facilidade de montagem em placas de circuito impresso, sua inerente aplicação em topologias multiníveis, além de seu custo extremamente reduzido. Fatores positivos que foram sustentação para os estudos aqui apresentados.

A seguir serão feitas considerações mais pontuais para cada pilar desta tese onde se considera que foram dadas as maiores contribuições.

8.1 Topologias Entre-Série-Laçadas

Dentro da área do estudo de topologias, a plena integração dos conceitos de associações em série de semicondutores, topologias multiníveis, entrelaçamento topológico resultou em uma concepção híbrida inédita. Todavia, este conceito, denominado entre-série-laçado, não foi concebido por mera necessidade de ineditismo, mas sim para cumprir requisitos expressamente definidos que atendem a aplicação em série de *IGBTs* e visam equilibrar distorções entre custo e benefício inerentes em qualquer solução real.

Os resultados simulados confirmaram o correto funcionamento dos estados topológicos disponíveis, o aumento do número de níveis e a duplicação da frequência de chaveamento aparente na saída. Estes resultados consubstanciaram os benefícios teóricos da topologia proposta, quanto ao entrelaçamento através de indutor de saída, bem como comprovou a inexistência de estados topológicos proibidos que pudessem levar a uma

condição de curto-circuito. Nesse sentido, considera-se que o primeiro passo para iniciar uma montagem experimental multinível foi efetuado com sucesso.

8.2 Modulação Entrelaçada Generalizada

A modulação recursiva generalizada apresentada em Fortes *et al.*, 2011 foi estendida para a aplicação entrelaçada, constituindo solução inédita na literatura e confirmando sua generalidade e principalmente sua enorme facilidade de implementação. Ressalta-se a redução de complexidade em progressão geométrica e o entrelaçamento físico obtido através de planos análogos paralelos e seu inerente plano resultante entrelaçado, característica que torna o método independente do número de braços entrelaçados, diferentemente de outros métodos de modulação que se prestam a este fim.

8.3 Associação em Série de *IGBTs*

Sob uma visão holística quanto à viabilidade prática da associação em série de *IGBTs* de baixa tensão, esta tese apresentou a integração entre: *design* de potência otimizado; solução de disparo simples e de baixo custo; necessidade de atacar, primariamente, as causas dos desequilíbrios de tensão, e não diretamente seus efeitos; e os comportamentos físicos responsáveis pelo balanceamento intrínseco natural, introduzido neste estudo. Neste sentido os resultados comprovam que a solução integrada sob os pré-requisitos propostos, é viável, eficaz e de baixo custo, sendo capaz de equilibrar estática e dinamicamente as tensões entre os componentes seriados.

8.4 Modelagem de *IGBTs*

De forma inédita os efeitos físicos do disparo próprio, bloqueio próprio e capacitância negativa de *gate* foram correlacionados. Através de um conjunto de equações seus efeitos comportamentais foram resumidos e simulados analiticamente utilizando um simulador de uso geral. Dessa forma, foi possível o melhor entendimento do balanceamento intrínseco natural existente na associação em série de *IGBTs*, em contra ponto ao efeito negativo dos mesmos efeitos quando em associações em paralelo.

8.5 Propostas de Continuidade

Para delinear o prosseguimento da pesquisa sugerem-se os seguintes tópicos principais:

- Ainda é necessária a continuação dos estudos quanto a associação em série perante outras condições operacionais, como, por exemplo, sob temperatura de junção elevada e sobre condições de curto-circuito. Especialmente, o balanceamento intrínseco natural se baseia em efeitos físicos que são dependentes dessas condições operacionais, constituindo material vasto e rico para novos experimentos;
- O tema das topologias entre-série-laçadas deve seguir para experimentação completa e multinível passando para questões como perdas, tensões de bloqueio, otimização do número de dispositivos pelos níveis topológicos e etc;
- Vale evidenciar que o modulador recursivo multinível entrelaçado pode ser revisitado com objetivos específicos, como: balanceamento dos níveis de tensão do barramento c.c.; diminuição de perdas; diminuição de distorção

harmônica; etc. Portanto, existe uma vasta área para possíveis publicações considerando o ineditismo e os benefícios do método;

- Sobre a modelagem e simulação de IGBTs outros efeitos físicos podem ser implementados sobre o atual modelo em diversas aplicações, para além da associação série e do balanceamento intrínseco natural;

8.6 Artigos Publicados

Fortes, G. O., Mendes, M. A., & Cortizo, P. C. (2019). Integrated Solution for Driving Series-Connected IGBTs and Its Natural Intrinsic Balancing. *Energies*, 12(12), 2406.

Fortes, G. O., Mendes, M. A., & Cortizo, P. C. (2019). Solução Integrada para Disparo de IGBTs associados em série baseada no comando típico de tiristores. *Eletrônica de Potência – Sobraep*, 2019.

REFERÊNCIAS BIBLIOGRÁFICAS

Abbate, C., Busatto, G., &Iannuzzo, F. (2013).High-voltage, high-performance switch using series-connected IGBTs. *IJTE International Journal in IT Engineering*, Vol.01, Issue 01, 2321-1776.

Abe, Y., & Maruyama, K. (2002).Multi-series connection of high-voltage IGBTs. *Fuji Electric Journal*, 75(8), 1-4.

Abu-Rub, H., Holtz, J., Rodriguez, J., &Baoming, G. (2010). Medium-voltage multilevel converters—State of the art, challenges, and requirements in industrial applications. *IEEE Transactions on Industrial Electronics*, 57(8), 2581-2596.

Alishah, R. S., Nazarpour, D., Hosseini, S. H., &Sabahi, M. (2014). New hybrid structure for multilevel inverter with fewer number of components for high-voltage levels. *IET Power Electronics*, 7(1), 96-104.

ALSTOM © (2005). Standard Alsipa MV7000 PWM Strategies.

Anthony, P., McNeill, N., Holliday, D., Grant, D., & Hearn, G. (2011, August).A magnetically isolated gate driver for high-speed voltage sharing in series-connected MOSFETs. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on* (pp. 1-10). IEEE.

Avron, A. (2015). In a tesla model S, there is no IGBT packaging trick.Disponível em: <https://www.pntpower.com/on-tesla-electric-vehicles-semiconductor-packaging>.

Baliga, B. J. (2010). *Fundamentals of power semiconductor devices*. Springer Science & Business Media.

- Baliga, B. J. (2013). Analytical modeling of IGBTs: Challenges and solutions. *IEEE Transactions on Electron Devices*, 60(2), 535-543.
- Baker, R. H. (1978). U.S. Patent No. 4,270,163. Washington, DC: U.S. Patent and Trademark Office.
- Baraia, I., Barrena, J. A., Abad, G., Segade, J. M. C., & Iraola, U. (2012). An experimentally verified active gate control method for the series connection of IGBT/diodes. *IEEE Transactions on Power Electronics*, 27(2), 1025-1038.
- Barbosa, P., Steimer, P., Steinke, J., Winkelkemper, M., & Celanovic, N. (2005, September). Active-neutral-point-clamped (ANPC) multilevel converter technology. In *Power Electronics and Applications, 2005 European Conference on* (pp. 10-pp). IEEE.
- Basler, T., Lutz, J., Brückner, T., & Jakob, R. (2010, September). IGBT self-turn-off under short-circuit condition. In *10th International Seminar on Power Semiconductors*.
- Bernet, S. (2000). Recent developments of high power converters for industry and traction applications. *IEEE Transactions on Power Electronics*, 15(6), 1102-1117.
- Böhmer, J., Schumann, J., & Eckel, H. G. (2011, August). Negative differential miller capacitance during switching transients of IGBTs. In *Proceedings of the 2011 14th European Conference on Power Electronics and Applications* (pp. 1-9). IEEE.
- Böhmer, J., Schumann, J., Fleisch, K., & Eckel, H. G. (2013, September). Current mismatch during switching due to the self-turn-off effect in paralleled IGBT. In *2013 15th European Conference on Power Electronics and Applications (EPE)* (pp. 1-9). IEEE.
- Brehaut, S., & Costa, F. (2006, November). Gate driving of high power IGBT through a Double Galvanic Insulation Transformer. In *IEEE Industrial Electronics, IECON 2006-32nd Annual Conference on* (pp. 2505-2510). IEEE.

Bruckner, T., & Bemet, S. (2001). Loss balancing in three-level voltage source inverters applying active NPC switches. In Power Electronics Specialists Conference, 2001.PESC.2001 IEEE 32nd Annual (Vol. 2, pp. 1135-1140).IEEE.

Bruckmann, M., Sommer, R., Fasching, M., & Sigg, J. (1998, October). Series connection of high voltage IGBT modules. In Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. The 1998 IEEE (Vol. 2, pp. 1067-1072).IEEE.

Bruckner, T., Bernet, S., & Guldner, H. (2005). The active NPC converter and its loss-balancing control. IEEE Transactions on Industrial Electronics, 52(3), 855-868

Bueno, E. J., Cobrecas, S., Rodríguez, F. J., Hernández, A., Espinosa, F., Mateos, R., ... & López, F. (2005, November). Optimized design of a back-to-back NPC converter to be used as interface for renewable energies. In Industrial Electronics Society, 2005. IECON 2005. 31st Annual Conference of IEEE (pp. 6-pp).IEEE.

Carpaneto, M., Marchesoni, M., & Vaccaro, L. (2007, June). A new cascaded multilevel converter based on NPC cells. In Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on (pp. 1033-1038). IEEE.

Celanovic, N., & Boroyevich, D. (2000). A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters. IEEE Transactions on power electronics, 15(2), 242-249.

Celanovic, N., & Boroyevich, D. (2001). A fast space-vector modulation algorithm for multilevel three-phase converters. IEEE transactions on industry applications, 37(2), 637-641.

Choi, U. M., Blaabjerg, F., & Lee, K. B. (2015). Reliability improvement of a T-type three-level inverter with fault-tolerant control strategy. IEEE Transactions on Power Electronics, 30(5), 2660-2673.

Contreras, S. A. D., Cortizo, P. C., & Mendes, M. A. S. (2013). Simple control technique for interleaved inverters with magnetically coupled legs. IET Power Electronics, 6(2), 353-363.

Consoli, A., Musumeci, S., Oriti, G., & Testa, A. (1995, October). Active voltage balancement of series connected IGBTs. In Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS'95., Conference Record of the 1995 IEEE (Vol. 3, pp. 2752-2758). IEEE.

Courault, J., Lapierre, O. and Pouliquen, J. (1999).Industrial interest of multilevel converters. EPE 7th European Power Electronics Conf., Lausanne, Switzerland.

Cotorogea, M. (2009). Physics-based SPICE-model for IGBTs with transparent emitter. IEEE Transactions on power electronics, 24(12), 2821-2832.

Cougo, B., Meynard, T., & Gateau, G. (2011). Parallel three-phase inverters: Optimal PWM method for flux reduction in intercell transformers. IEEE transactionson Power Electronics, 26(8), 2184-2191.

Debnath, S., Qin, J., Bahrani, B., Saeedifard, M., & Barbosa, P. (2015). Operation, control, and applications of the modular multilevel converter: A review. IEEE transactions on power electronics, 30(1), 37-53.

Dickerson, J. & Ottaway, G. (1971).Transformerless power supply with line to load isolation.U.S. Patent n. 3,596,369,

Enjeti, P. N., Ziogas, P. D., & Lindsay, J. F. (1988, October).Programmed PWM techniques to eliminate harmonics-A critical evaluation. In Industry Applications Society Annual Meeting, 1988., Conference Record of the 1988 IEEE (pp. 418-430). IEEE.

Feng, H., Yang, W., Onozawa, Y., Yoshimura, T., Tamenori, A., & Sin, J. K. (2015). Transient turn-ON characteristics of the fin p-body IGBT. IEEE Transactions on Electron Devices, 62(8), 2555-2561.

Floricaud, D., Floricaud, E., & Gateau, G. (2008, November). Three-level active NPC converter: PWM strategies and loss distribution. In Industrial Electronics, 2008.IECON 2008. 34th Annual Conference of IEEE (pp. 3333-3338). IEEE.

Forest, F., Meynard, T. A., Laboure, E., Costan, V., Sarraute, E., Cuniere, A., & Martire, T. (2007). Optimization of the supply voltage system in interleaved converters using intercell transformers. *IEEE Transactions on Power Electronics*, 22(3), 934-942.

Fortes, G. O., Mendes, M. S., & Cortizo, P. C. (2011, November). Recursive multilevel modulation algorithm for generalization of the linear n-step operation mode. In *IECON 2011-37th Annual Conference on IEEE Industrial Electronics Society* (pp. 1995-1999). IEEE.

Gachovska, T., Hudgins, J. L., Bryant, A., Santi, E., Mantooth, H. A., & Agarwal, A. K. (2012). Modeling, simulation, and validation of a power SiC BJT. *IEEE Transactions on Power Electronics*, 27(10), 4338-4346.

Gachovska, T. K., Hudgins, J. L., Santi, E., Bryant, A., & Palmer, P. R. (2013). Modeling bipolar power semiconductor devices. *Synthesis Lectures on Power Electronics*, 4(1), 1-93.

Gateau, G., Meynard, T. A., & Foch, H. (2001). Stacked multicell converter (SMC): Properties and design. In *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual (Vol. 3, pp. 1583-1588)*. IEEE.

Gerster, C. (1994, February). Fast high-power/high-voltage switch using series-connected IGBTs with active gate-controlled voltage-balancing. In *Applied Power Electronics Conference and Exposition, 1994. APEC'94. Conference Proceedings 1994., Ninth Annual* (pp. 469-472). IEEE.

Gerster, C., Hofer, P., & Karrer, N. (1996, June). Gate-control strategies for snubberless operation of series connected IGBTs. In *Power Electronics Specialists Conference, 1996. PESC'96 Record., 27th Annual IEEE (Vol. 2, pp. 1739-1742)*. IEEE.

Gillet, C. C. (1963). U.S. Patent No. 3,325,719. Washington, DC: U.S. Patent and Trademark Office.

Gillet, P., Kallala, M., Massol, J., Leturcq, P. (1995). Analog solution of the ambipolar diffusion equation. *CR Acad. Sci. Paris*, 321, 53-59.

Ghlias, A. M., Pou, J., Agelidis, V. G., & Ciobotaru, M. (2013, November). Voltage balancing method using phase-shifted PWM for stacked multicell converters. In Industrial Electronics Society, IECON 2013-39th Annual Conference of the IEEE (pp. 6334-6339). IEEE.

Guennegues, V., Gollentz, B., Meibody-Tabar, F., Rael, S., & Leclerc, L. (2009, September). A converter topology for high speed motor drive applications. In Power Electronics and Applications, 2009. EPE'09. 13th European Conference on (pp. 1-8). IEEE.

Gurpinar, E., & Castellazzi, A. (2016, October). Novel multilevel hybrid inverter topology with power scalability. In Industrial Electronics Society, IECON 2016-42nd Annual Conference of the IEEE (pp. 6516-6521). IEEE.

Hammond, P. W. (1994). U.S. Patent No. 5,625,545. Washington, DC: U.S. Patent and Trademark Office.

Hava, A. M., Kerkman, R. J., & Lipo, T. A. (1998). A high-performance generalized discontinuous PWM algorithm. IEEE Transactions on Industry applications, 34(5), 1059-1071.

Hagiwara, M., & Akagi, H. (2009). Control and experiment of pulsewidth-modulated modular multilevel converters. IEEE Transactions on Power Electronics, 24(7), 1737-1746.

Hefner, A. R., & Blackburn, D. L. (1987). A performance trade-off for the insulated gate bipolar transistor: Buffer layer versus base lifetime reduction. IEEE transactions on power electronics, (3), 194-207.

Hefner, A. R., & Diebolt, D. M. (1994). An experimentally verified IGBT model implemented in the Saber circuit simulator. IEEE transactions on Power Electronics, 9(5), 532-542.

Hess, H. L., & Baker, R. J. (2000). Transformerless capacitive coupling of gate signals for series operation of power MOS devices. IEEE Transactions on power electronics, 15(5), 923-930.

Hiller, M., Krug, D., Sommer, R., & Rohner, S. (2009, September). A new highly modular medium voltage converter topology for industrial drive applications. In *Power Electronics and Applications, 2009.EPE'09. 13th European Conference on* (pp. 1-10). IEEE.

Holmes, D. G., & Lipo, T. A. (2003). *Pulse width modulation for power converters: principles and practice* (Vol. 18). John Wiley & Sons.

Holtz, J. (1977). Selbstgeführte Wechselrichter mit treppenformiger Ausgangsspannung für große Leistung und hohe Frequenz, "Siemens Forschungs- und Entwicklungsberichte, vol. 6 no. 3, pp. 164–171.

Holtz, J. (1992). Pulsewidth modulation-a survey. *IEEE transactions on Industrial Electronics*, 39(5), 410-420.

Holtz, J., Lotzkat, W., & Khambadkone, A. M. (1993). On continuous control of PWM inverters in the overmodulation range including the six-step mode. *IEEE transactions on power electronics*, 8(4), 546-553.

Hong, S., Chitta, V., & Torrey, D. A. (1999). Series connection of IGBT's with active voltage balancing. *IEEE Transactions on Industry Applications*, 35(4), 917-923.

Husken, H., & Stuckler, F. (2003, April). Fieldstop IGBT with MOS-like (tailless) turn-off. In *ISPSD'03. 2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs, 2003. Proceedings.* (pp. 338-340). IEEE.

IHS Research (2016). Medium voltage drives intelligence. <https://technology.ihs.com/>

Iwamuro, N., & Laska, T. (2017). IGBT history, state-of-the-art, and future prospects. *IEEE Transactions on Electron Devices*, 64(3), 741-752.

Ji, S., Lu, T., Zhao, Z., Yu, H., & Yuan, L. (2015). Series-connected HV-IGBTs using active voltage balancing control with status feedback circuit. *IEEE Transactions on Power Electronics*, 30(8), 4165-4174.

Lalili, D., Lourci, N., Berkouk, E. M., Boudjema, F., & Petzold, J. (2006). Simplified space vector pulse with modulation algorithm for three level inverter with neutral point potential control. *Research Journal of Applied Sciences*, 1(1), 19-25.

Laska, T., Munzer, M., Pfirsch, F., Schaeffer, C., & Schmidt, T. (2000). The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement potential. In 12th International Symposium on Power Semiconductor Devices & ICs. Proceedings (Cat. No. 00CH37094) (pp. 355-358). IEEE.

Leredde, A., & Gateau, G. (2011, June). Control of the DC link capacitor voltage on a new four-level SMC based topology. In Industrial Electronics (ISIE), 2011 IEEE International Symposium on (pp. 1851-1856). IEEE.

Lee, D. C., & Lee, G. M. (1997). Linear control of inverter output voltage in overmodulation. *IEEE Transactions on Industrial Electronics*, 44(4), 590-592.

Leturcq, P., Berraies, M. O., & Massol, J. L. (1996, June). Implementation and validation of a new diode model for circuit simulation. In Power Electronics Specialists Conference, 1996. PESC'96 Record., 27th Annual IEEE (Vol. 1, pp. 35-43). IEEE.

Lezana, P., Rodríguez, J., & Oyarzún, D. A. (2008). Cascaded multilevel inverter with regeneration capability and reduced number of switches. *IEEE Transactions on Industrial Electronics*, 55(3), 1059-1066.

Li, S., Tolbert, L. M., Wang, F., & Peng, F. Z. (2010, September). Reduction of stray inductance in power electronic modules using basic switching cells. In Energy Conversion Congress and Exposition (ECCE), 2010 IEEE (pp. 2686-2691). IEEE.

Lim, T. C., Williams, B. W., & Finney, S. J. (2011). Active snubber energy recovery circuit for series-connected IGBTs. *IEEE Transactions on Power Electronics*, 26(7), 1879-1889.

Lim, T. C., Williams, B. W., Finney, S. J., & Palmer, P. R. (2013). Series-connected IGBTs using active voltage control technique. *IEEE Transactions on Power Electronics*, 28(8), 4083-4103.

Liu, H., Jiang, J., & Luo, W. (2015). A Comparative Analysis of the Three-Level NPC and ANPC Converter Loss Distribution. *Journal of Electrical Systems*, 11(3).

Lu, L., Bryant, A., Hudgins, J. L., Palmer, P. R., & Santi, E. (2010). Physics-based model of planar-gate IGBT including MOS side two-dimensional effects. *IEEE Transactions on Industry Applications*, 46(6), 2556-2567.

Ma, C. L., Lauritzen, P. O., Lin, P. Y., Budihardjo, I., & Sigg, J. (1994, June). A systematic approach to modeling of power semiconductor devices based on charge control principles. In *Proceedings of 1994 Power Electronics Specialist Conference-PESC'94* (Vol. 1, pp. 31-37). IEEE.

Ma, L., Kerekes, T., Teodorescu, R., Jin, X., Floricau, D., & Liserre, M. (2009, September). The high efficiency transformer-less PV inverter topologies derived from NPC topology. In *Power Electronics and Applications, 2009.EPE'09. 13th European Conference on* (pp. 1-10). IEEE.

Matsui, K., Kawata, Y., & Ueda, F. (2000). Application of parallel connected NPC-PWM inverters with multilevel modulation for AC motor drive. *IEEE Transactions on Power Electronics*, 15(5), 901-907.

Malinowski, M., Gopakumar, K., Rodriguez, J., & Perez, M. A. (2010). A survey on cascaded multilevel inverters. *IEEE Transactions on industrial electronics*, 57(7), 2197-2206.

Manjrekar, M. D., & Lipo, T. A. (1998, February). A hybrid multilevel inverter topology for drive applications. In *Applied Power Electronics Conference and Exposition, 1998.APEC'98. Conference Proceedings 1998., Thirteenth Annual* (Vol. 2, pp. 523-529). IEEE.

Mazuela, M., Baraia, I., Sanchez-Ruiz, A., Echeverria, I., Torre, I., & Atutxa, I. (2018). Simple Voltage Balancing Method to Protect Series-Connected Devices Experimentally Verified in a 5L-MPC Converter. *IEEE Transactions on Industrial Electronics*, 65(5), 3699-3707.

Maurice, B., & Wuidart, L. (1999). Drive circuits for power MOSFETs and IGBTs. STMicroelectronics Application notes, www.st.com.

McGrath, B. P., Meynard, T., Gateau, G., & Holmes, D. G. (2007). Optimal modulation of flying capacitor and stacked multicell converters using a state machine decoder. *IEEE Transactions on Power Electronics*, 22(2), 508-516.

Meynard, T. A., & Foch, H. (1992, June). Multi-level conversion: high voltage choppers and voltage-source inverters. In *Power Electronics Specialists Conference, 1992. PESC'92 Record., 23rd Annual IEEE* (pp. 397-403). IEEE.

Meynard, T. A., Foch, H., Forest, F., Turpin, C., Richardeau, F., Delmas, L., Lefevre, E. (2002a). Multicell converters: Derived topologies. *IEEE transactions on Industrial Electronics*, 49(5), 978-987.

Meynard, T. A., Foch, H., Thomas, P., Courault, J., Jakob, R., & Nahrstaedt, M. (2002b). Multicell converters: basic concepts and industry applications. *IEEE transactions on industrial electronics*, 49(5), 955-964.

Muenster, P., Lexow, D., & Eckel, H. G. (2016, May). Effect of Self Turn-ON during turn-ON of HV-IGBTs. In *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management* (pp. 1-8). VDE.

Münster, P., Tran, Q. T., Lexow, D., & Eckel, H. G. (2016, September). Current imbalance affected by self turn-ON during turn-ON of paralleled HV-IGBTs. In *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)* (pp. 1-9). IEEE.

Münster, P., Schröder, R., Tran, Q. T., Gierschner, S., & Eckel, H. G. (2017, September). Influence of gate structures and electrical boundary conditions on self turn-on of HV IGBTs. In *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)* (pp. P-1). IEEE.

Nabae, A., Takahashi, I., & Akagi, H. (1981). A new neutral-point-clamped PWM inverter. *IEEE Transactions on industry applications*, (5), 518-523.

Nagel, H., Berge, C., & Aberle, A. G. (1999). Generalized analysis of quasi-steady-state and quasi-transient measurements of carrier lifetimes in semiconductors. *Journal of Applied Physics*, 86(11), 6218-6221.

Nguyen, T., Jeannin, P. O., Vagnon, E., Frey, D., & Crebier, J. C. (2010, February). Series connection of IGBT. In *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE* (pp. 2238-2244). IEEE.

Oberdieck, K., Schuch, S., & DeDoncker, R. W. (2016, September). Short circuit detection using the gate charge characteristic for Trench/Fieldstop-IGBTs. In *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)* (pp. 1-10). IEEE.

Ogasawara, S., Takagaki, J., Akagi, H., & Nabae, A. (1992). A novel control scheme of a parallel current-controlled PWM inverter. *IEEE Transactions on Industry Applications*, 28(5), 1023-1030.

Omura, I., Ohashi, H., & Fichtner, W. (1997). IGBT negative gate capacitance and related instability effects. *Ieee electron Device letters*, 18(12), 622-624.

Omura, I., Fichtner, W., & Ohashi, H. (1999). Oscillation effects in IGBT's related to negative capacitance phenomena. *IEEE transactions on Electron Devices*, 46(1), 237-244.

Onozawa, Y., Otsuki, M., Iwamuro, N., Miyashita, S., Miyasaka, T., & Seki, Y. (2005, October). 1200 V super low loss IGBT module with low noise characteristics and high di/dt controllability. In *Fortieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005*. (Vol. 1, pp. 383-387). IEEE.

Onozawa, Y., Otsuki, M., Iwamuro, N., Miyashita, S., Miyasaka, T., Seki, Y., & Matsumoto, T. (2007). 1200-V Low-Loss IGBT Module With Low Noise Characteristics and High dI_c/dt Controllability. *IEEE Transactions on Industry Applications*, 43(2), 513-519.

Palmer, P. R., &Githiari, A. N. (1995, June). The series connection of IGBTs with optimised voltage sharing in the switching transient.In Power Electronics Specialists Conference, 1995. PESC'95 Record., 26th Annual IEEE (Vol. 1, pp. 44-49). IEEE.

Palmer, P. R., Githiari, A. N., & Leedham, R. J. (1996). A comparison of IGBT technologies for use in the series connection.

Palmer, P. R., Joyce, J. C., Eng, P. Y., Hudgins, J., Santi, E., & Dougal, R. (2001). Circuit simulator models for the diode and IGBT with full temperature dependent features. In 2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No. 01CH37230) (Vol. 4, pp. 2171-2177). IEEE.

Palmer, P. R., Bryant, A. T., Hudgins, J., & Santi, E. (2002, October). Simulation and optimisation of diode and IGBT interaction in a chopper cell using MATLAB and Simulink. In Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting (Cat. No. 02CH37344)(Vol. 4, pp. 2437-2444). IEEE.

Palmer, P. R., Rajamani, H. S., & Dutton, N. (2004). Experimental comparison of methods of employing IGBTs connected in series. IEE Proceedings-Electric Power Applications, 151(5), 576-582.

Palmer, M. J., Johnson, R. W., Autry, T., Aguirre, R., Lee, V., &Scofield, J. D. (2012).Silicon carbide power modules for high-temperature applications. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2(2), 208-216.

Pandey, A., Singh, B., Singh, B. N., Chandra, A., Al Haddad, K., & Kothari, D. P. (2003). A review of multilevel power converters. Journal of the Institution of Engineers (India): Electrical Engineering Division, 86(MAR.), 220-231.

Peng, F. Z., & Lai, J. S. (1997). U.S. Patent No. 5,642,275. Washington, DC: U.S. Patent and Trademark Office.

Peng, F. Z. (2000). A generalized multilevel inverter topology with self voltage balancing. In Industry Applications Conference, 2000. Conference Record of the 2000 IEEE (Vol. 3, pp. 2024-2031). IEEE.

Perez, M. A., Bernet, S., Rodriguez, J., Kouro, S., & Lizana, R. (2015). Circuit topologies, modeling, control schemes, and applications of modular multilevel converters. IEEE transaction on power electronics, 30(1), 4-17.

Perrin, Y., Galisultanov, A., Fanet, H., & Pillonnet, G. (2018). Optimal Charging of Nonlinear Capacitors. IEEE Transactions on Power Electronics, 34(6), 5023-5026.

Piazzesi, A., & Meysenc, L. (2004, June). Series connection of 3.3 kV IGBTs with active voltage balancing. In 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No. 04CH37551) (Vol. 2, pp. 893-898). IEEE.

Pierret, R. F. Semiconductor Device Fundamentals, ISBN: 0-201-54393-1, 1996, Addison-Wesley Publishing Company.

Pinheiro, H., Botterón, F., Rech, C., Schuch, L., Camargo, R. F., Hey, H. L., ...& Pinheiro, J. R. (2005). Modulação space vector para inversores alimentados em tensão: uma abordagem unificada. Sba: Controle & Automação Sociedade Brasileira de Automatica, 16(1), 13-24.

Kang, X., Caiafa, A., Santi, E., Hudgins, J. L., & Palmer, P. R. (2003). Characterization and modeling of high-voltage field-stop IGBTs. IEEE Transactions on Industry Applications, 39(4), 922-928.

Keller, C., Jakob, R. and Salama, S. (2001). Topology and Balance Control of Medium Voltage Multilevel Drives. EPE 9th European Conference, Graz, Austria.

Kieferndorf, F., Basler, M., Serpa, L. A., Fabian, J. H., Coccia, A., & Scheuer, G. A. (2010, March). A new medium voltage drive system based on ANPC-5L technology. In Industrial Technology (ICIT), 2010 IEEE International Conference on (pp. 643-649). IEEE.

Khomfoi, S., Tolbert, L. (2005). Multilevel Power Converters Book. The University of Tennessee. Chapter 31.

Kong, S. T., Ngwendson, L., Sweet, M., & Narayanan, E. S. (2008, May). A study of the influence of technology on the negative gate capacitance in 1.2 kV IGBTs. In 2008 20th International Symposium on Power Semiconductor Devices and IC's (pp. 177-180). IEEE.

Kouro, S., Malinowski, M., Gopakumar, K., Pou, J., Franquelo, L. G., Wu, B., J. I. (2010). Recent advances and industrial applications of multilevel converters. IEEE Transactions on industrial electronics, 57(8), 2553-2580.

Krug, D., Bernet, S., Fazel, S. S., Jalili, K., & Malinowski, M. (2007). Comparison of 2.3-kV medium-voltage multilevel converters for industrial medium-voltage drives. IEEE Transactions on Industrial Electronics, 54(6), 2979-2992.

Rashid, M. H. (Ed.). (2017). Power electronics handbook. Butterworth-Heinemann.

Rech, C., & Pinheiro, J. R. (2007). Hybrid multilevel converters: Unified analysis and design considerations. IEEE Transactions on Industrial Electronics, 54(2), 1092-1104.

Rodríguez, J., Bernet, S., Wu, B., Pontt, J. O., & Kouro, S. (2007). Multilevel voltage-source-converter topologies for industrial medium-voltage drives. IEEE Transactions on industrial electronics, 54(6), 2930-2945.

Rodríguez, J., Bernet, S., Steimer, P. K., & Lizama, I. E. (2010). A survey on neutral-point-clamped inverters. IEEE transactions on Industrial Electronics, 57(7), 2219-2230.

Saeedifard, M., & Irvani, R. (2010). Dynamic performance of a modular multilevel back-to-back HVDC system. IEEE Transactions on power delivery, 25(4), 2903-2912.

Salmon, J., Ewanchuk, J., & Knight, A. M. (2009). PWM inverters using split-wound coupled inductors. IEEE Transactions on industry applications, 45(6), 2001-2009.

Shammas, N. Y. A., Withanage, R., & Chamund, D. (2006). Review of series and parallel connection of IGBTs. *IEE Proceedings-Circuits, Devices and Systems*, 153(1), 34-39.

Sanchez, S., Risaletto, D., Richardeau, F., Meynard, T., & Sarraute, E. (2013, November). Pre-design methodology and results of a robust monolithic Inter Cell Transformer (ICT) for parallel multicell converter. In *Industrial Electronics Society, IECON 2013-39th Annual Conference of the IEEE* (pp. 8198-8203). IEEE.

Mendes, M. A. S. (2000). Técnicas de modulação por largura de pulso vetorial para inversores multiniveis. UFMG. CPDEE. Tese de doutorado, No 9, 2000.

Schweizer, M., Lizama, I., Friedli, T., & Kolar, J. W. (2010, November). Comparison of the chip area usage of 2-level and 3-level voltage source converter topologies. In *IECON 2010-36th Annual Conference on IEEE Industrial Electronics Society* (pp. 391-396). IEEE.

Sheng, K. (2010). Design, Modelling and Application of the IGBT. VDM Verlag Dr. Müller.

Sheng, K., Williams, B. W., & Finney, S. J. (2000). A review of IGBT models. *IEEE transactions on Power Electronics*, 15(6), 1250-1266.

Simonot, T., Crébier, J. C., Rouger, N., & Gaude, V. (2010, September). 3D hybrid integration and functional interconnection of a power transistor and its gate driver. In *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE* (pp. 1268-1274). IEEE.

Soeiro, T. B., Schweizer, M., Linner, J., Ranstad, P., & Kolar, J. W. (2011, May). Comparison of 2- and 3-level active filters with enhanced bridge-leg loss distribution. In *Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on* (pp. 1835-1842). IEEE.

Song, Q., Liu, W., Li, X., Rao, H., Xu, S., & Li, L. (2013). A steady-state analysis method for a modular multilevel converter. *IEEE Transactions on Power electronics*, 28(8), 3702-3713.

Stockmeier, T. (2008, May). From Packaging to "Un"-Packaging-Trends in Power Semiconductor Modules. In Power Semiconductor Devices and ic'S, 2008. ISPSD'08. 20th International Symposium on (pp. 12-19). IEEE.

Technavio Research (2019, Jun). Medium Voltage Motors Market by End-users, Product, and Geography - Global Forecast and Analysis 2019-2023. <https://www.technavio.com>

Teixeira, C. A., McGrath, B. P., & Holmes, D. G. (2016). A state machine decoder for phase disposition pulsewidth modulation of three-phase coupled-inductor semi-bridge converters. IEEE TransactionsonIndustryApplications, 52(3), 2378-2386.

Tominaga, S., Urushibata, H., Fujita, H., Akagi, H., Horiguchi, T., Kinouchi, S. I., & Oi, T. (2011, August). Modeling of IGBTs with focus on voltage dependency of terminal capacitances. In Proceedings of the 2011 14th European Conference on Power Electronics and Applications (pp. 1-9). IEEE.

Ueda, F., Matsui, K., Asao, M., & Tsuboi, K. (1995). Parallel-connections of pulsewidth modulated inverters using current sharing reactors. IEEE Transactionson Power Electronics, 10(6), 673-679.

Vafakhah, B., Salmon, J., & Knight, A. M. (2010). A new space-vector PWM with optimal switching selection for multilevel coupled inductor inverters. IEEE Transactionson Industrial Electronics, 57(7), 2354-2364.

Vemuganti, H. P., Sreenivasarao, D., & Kumar, G. S. (2017). Improved pulse-width modulation scheme for T-type multilevel inverter. IET Power Electronics.

Venkataramanaiah, J., Suresh, Y., & Panda, A. K. (2017). A review on symmetric, asymmetric, hybrid and single DC sources based multilevel inverter topologies. Renewable and Sustainable Energy Reviews, 76, 788-812.

Yang, X., Zhang, J., He, W., Long, Z., & Palmer, P. R. (2018). Physical investigation into effective voltage balancing by temporary clamp technique for the series connection of IGBTs. *IEEE Transactions on Power Electronics*, 33(1), 248-258.

Yang, L., Fu, P., Yao, X., & Wang, J. (2014, September). A module based self-balanced series connection for IGBT. In *2014 IEEE Energy Conversion Congress and Exposition (ECCE)* (pp. 1953-1958). IEEE.

Yang, X., Otsuki, M., & Palmer, P. R. (2014). Physics-based insulated-gate bipolar transistor model with input capacitance correction. *IET Power Electronics*, 8(3), 417-427.

Wang, F. (2002). Sine-triangle versus space-vector modulation for three-level PWM voltage-source inverters. *IEEE transactions on industry applications*, 38(2), 500-506.

Wintrich, A., Nicolai, U. and Tursky, W. (2011). *Application Manual Power Semiconductors*, Semikron International GmbH, 2011.

Zhang, F., Yang, X., Ren, Y., Feng, L., Chen, W., & Pei, Y. (2017). A hybrid active gate drive for switching loss reduction and voltage balancing of series-connected IGBTs. *IEEE Transactions on Power Electronics*, 32(10), 7469-7481.

Zhang, J., Palmer, P., Zhang, X., & He, W. (2014, October). Analysis of an effective voltage sharing method for IGBTs connected in series. In *IECON 2014-40th Annual Conference of the IEEE Industrial Electronics Society* (pp. 1261-1269). IEEE.

